

IBM PC/XT
维修丛书

JSJ

单、彩色/图形显示适配器

试验所

0.7

8

《计算机科学技术与应用》编辑部

二 IBM 单色、彩色/图形显示适配器剖析

唐华栋 编 王春元 校

§2-1 显示子系统概述

CRT 显示器（又称“监视器”）是微机系统信息输出的重要设备，也是实现人机对话的主要工具，它既可以显示键盘输入的命令和数据，又可将结果数据变成字符或图形显示出来。特别是带键盘的显示器，键盘部分作为输入设备，CRT 部份作为输出设备，两者组合在一起，可以方便地进行人机对话。在 IBMPC/XT 中，键盘和显示器虽是独立的，但它们都是系统必不可少的基本外部设备，联合使用实现人机对话。

和常规的 I/O 子系统一样，显示子系统应包括 CRT 显示器和 CRT 显示适配器二部份。CRT 显示器的屏幕显示一般都采用和家用电视机类似的光栅扫描方式。采用这种扫描方式的原因是：妨碍这种方式发展的存储器价格业已下降；光栅扫描技术日趋完善，当用家用电视机作为微机的显示器时，接口简单，因而可以降低整个系统的价格。所谓光栅扫描方式，就是在水平偏转和垂直偏转的同步信号控制下，电子束在屏幕上从左到右，从上到下有规律地扫描，在屏幕扫描期间，电子束强度受视频信号的影响而变化，在水平回扫和垂直回扫期间，由消隐电路抑制电子束，使得回扫线不会在屏幕上显示出来。图 2-1 为光栅扫描示意图。

这里需要指出，尽管 CRT 显示器和家用电视机在屏幕显示的原理上都采用光栅扫描方式，但家用电视机的水平扫描和垂直扫描是固定的，由其内部行频和帧频振荡器产生，同时水平同步信号和垂直同步信号是从视频信号中分离出来的，因此还需要水平和垂直分离电路等。在 CRT 显示器中，视频信号、水平同步扫描和垂直同步扫描均由 CRT 显示适配

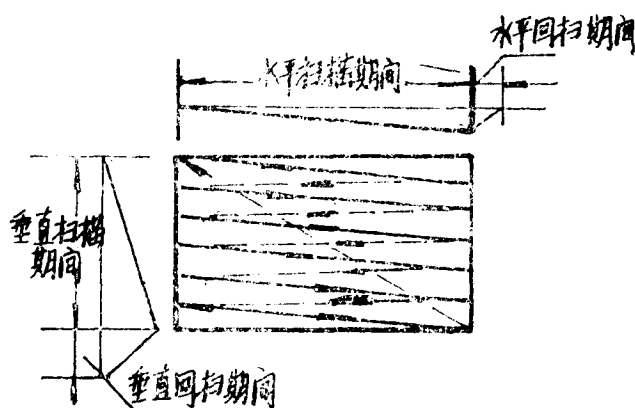


图 2-1 光栅扫描示意图

器产生。对于单色显示器来说，若未加入水平同步扫描和垂直同步扫描信号，屏幕上是无光栅扫描线的。因此只要恰当地控制视频信号、水平和垂直扫描信号，经 CRT 显示器就可以显示字符或图形。图 2-2 为单色显示器方框图。

CRT 显示适配器是系统和 CRT 显示器的接口，它的主要功能是控制显示器的光栅。

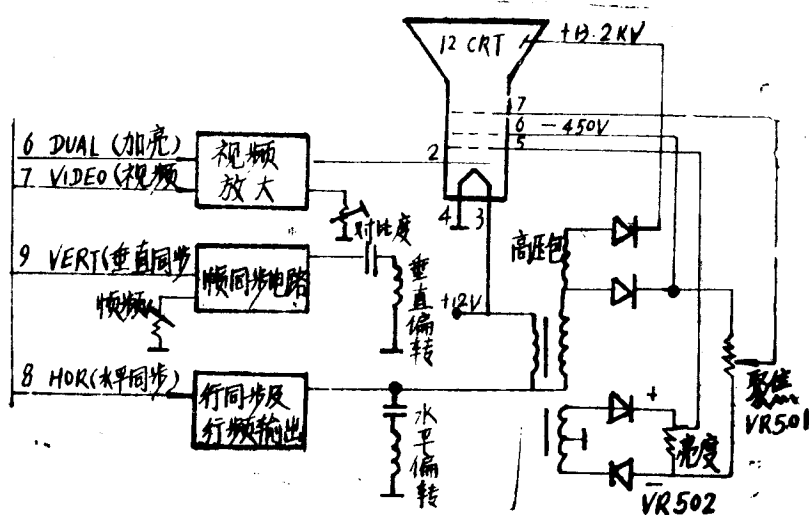


图 2-2 IBM 单色显示器方框图

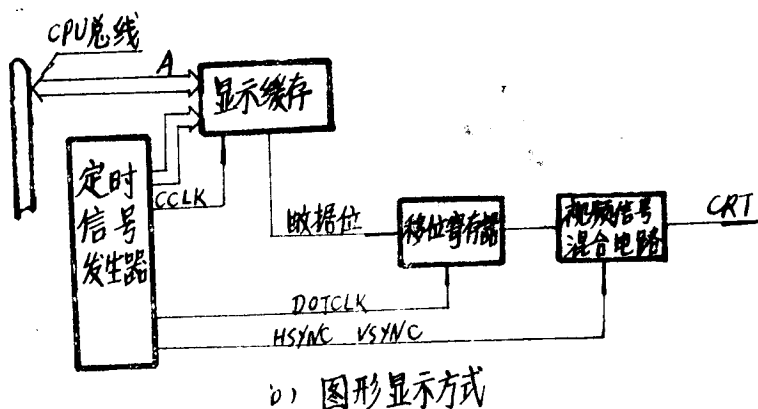
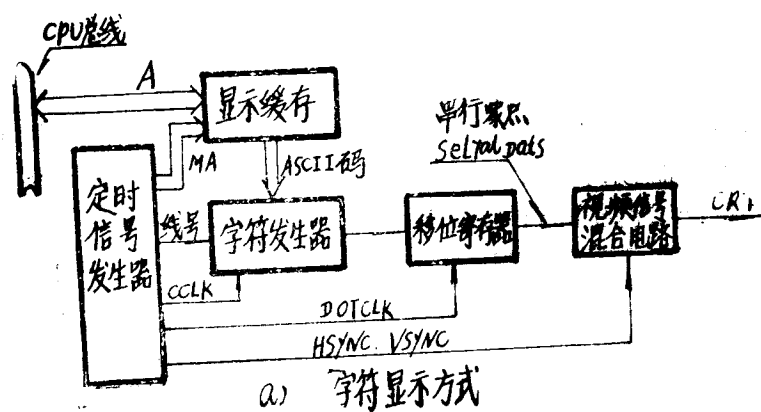


图 2-3 显示适配器两种控制方式

从显示的功能来看, CRT 显示适配器的功能可分为两大类:一类是字符显示,另一类是图形显示。虽然字符显示也是用点图的方法来显示的,但在结构上是不同的。图 2-3 表示这两种显示方法的框图。

§2-2 IBM 单色显示适配器

§2-2-1 IBM 单色显示适配器的主要性能指标

- 1、一帧屏幕大小为 25 行×80 列字符。
- 2、每个字符区大小为 9×14 点,字符区中的字符为 7×9 点。
- 3、可显示 256 种 ASCII 编码的字符点阵。
- 4、每个输出字符均由各自的显示属性,如闪烁、增辉(加亮)、反视频(即白底黑字)、下横线等。
- 5、视频象点频率为 16.257MHZ(时间 61.51ns)。
- 6、水平扫描频率为 18.432KHZ(周期 54.253μs)。
- 7、垂直扫描频率为 50HZ(周期20ms)
- 8、水平分辨率为 720 线,垂直分辨率为 350 线。

§2-2-2 IBM 单色显示适配器的组成

图 2-4 是 IBM 单色显示适配器的逻辑框图,包括下述主要部件:

1、MC6845CRT 控制器芯片:它是整个控制逻辑的核心。CRTC 的主要功能是产生字符及其属性缓存的刷新地址码(MA10—MA0)和光标地址、字符发生器的光栅线地址(RA3—RA0),并且产生视频显示所需要的水平扫描、垂直扫描和显示允许信号等。水平和垂直定时时间、显示缓存地址和光标地址全部由 CPU 编程,CRTC 所有输出信号由字符时钟 CCLK 同步。

2、字符缓存及属性缓存各 2K 字节:屏幕显示的每个字符都具有一个相应的属性,字符代码存入显示缓存器偶地址单元,属性代码存入奇地址单元。4K 字节缓存正好分别存放 $80 \times 25 = 2000$ 个待显示的字符码及其对应的属性码,亦即整个屏幕的字符信息。字符及属性编码见图 2-5。从图可见,字符可具有闪烁、增辉和反视频显示(白底黑字)等属性。

显示缓存器地址是双端口存取的,它们既可以被 CPU 访问,以便让 CPU 分别送入需要显示的字符代码和属性代码,又可以被 CRTC 所访问,让 CRTC 逐一地按顺序读出其中的字符和属性,字符码经字符锁存器选址字符发生器中相应的字符点阵,然后送入移位寄存器,再把他们转换成显示器所需要的视频信号。字符的属性经属性锁存器送入译码处理,CPU 与显示缓存之间数据通过数据收发器和输入输出缓冲器进行传送。

3、字符发生器:字符发生器是一个容量为 8KB 的只读存储器,保存 256 个不同的字符点阵,256 个字符大体可分如下几类:

- 16 个专用的游戏符号(编码 00H~0FH)
- 16 个用于文字处理编辑操作的符号(编码 10H~1FH)
- 96 个常用 ASCII 字符(编码 20H~7FH)

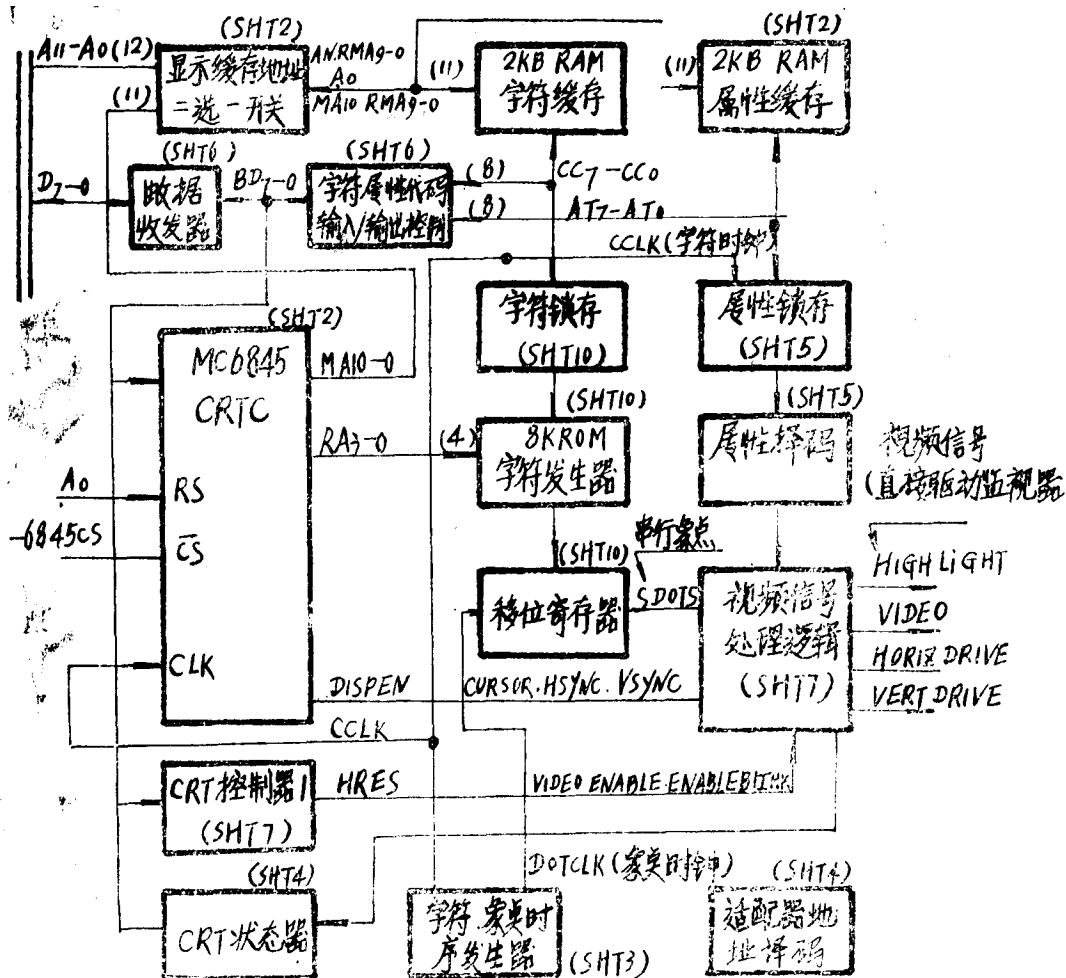
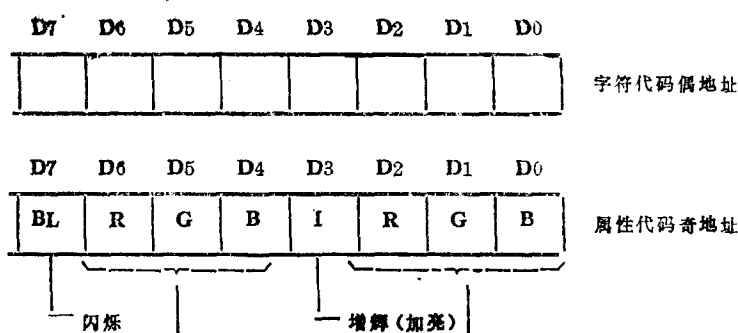


图 2-4 IBM 单色显示适配器逻辑框图



底色(背景)B	显示色(前景)F	显示效果
0 0 0	0 0 0	不显示(黑)
0 0 0	0 0 1	加下横线
0 0 0	1 1 1	黑底白字
1 1 1	0 0 0	白底黑字 (反视频显示)

图 2-5 字符及属性编码

- 48 个外语字符 (编码 80H~AFH)
- 48 个商用图形符号 (B0H~DFH)
- 16 个常用希腊字母 (编码 E0H~EFH)
- 15 个常用科学符号 (编码 F0H~FEH)

4、移存寄存器：CRTC 对显示缓存的访问是以字节为单位的，通过高速并行——串行移位寄存器，将字符发生器读出的一个字节点阵模型变成八位串行输出，这样显示缓存的速度可以降低，移位寄存器用象点时钟打入。

5、时序发生器：适配器中有两个基本时钟：一是象点时钟 DOTCLK，作为移位寄存器的移位定时，反映了象点的速率，它是由 16.257MHZ 晶振产生，同时作为时序发生器的基准频率。另一个是字符时钟，由象点时钟经九分频获得，字符时钟频率 CCLK 为 1.8MHZ。CRTC 所有定时、二选一地址开关和显示缓存的控制、锁存器打入等都是 CCLK 同步，它反映了一个字符的速率。

6、CRT 控制口1：这是一个用于控制显示器工作的寄存器，指明使用高分辨率显示方式允许视频输出和闪烁。其控制字节各位含义如图 2-6 所示。

使用时，为保证正确的初始化，系统加电后必须首先向单色 CRT 控制口1发出 01H 命令，以置高分辨率模式，否则，CPU 将不访问显示器。

7、CRT 状态口：如图 2-7 所示，此状态口反映当前显示器的状态。每当 CPU 需要输出显示一个新的字符时（即往字符缓存器中现行光标位置上写入一个字符的代码和属性时），必须先用输入指令取回一个状态字节，判断 CRT 是否处于水平回扫状态。若是，

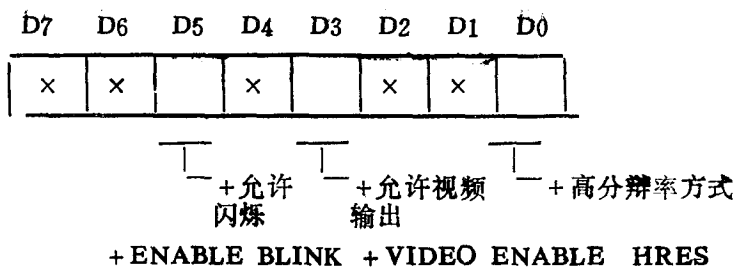


图 2-6 单色 CRT 控制口1的控制字节

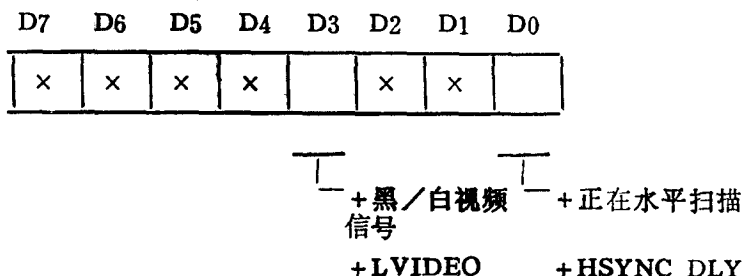


图 2-7 CRT 状态字节

则向字符/属性存储器中写入字符及其属性，否则等待。图 2-8 是输出显示一个字符的流程图。

8、视频信号合成电路：它是适配器中视频信号处理逻辑部件，也是与 CRT 显示器的接口界面。视频信号处理逻辑的输入信号不仅来自于移位寄存器输出端的视频象点信号和 CRTC 的光栅扫描信号，而且受到字符属性和 CRT 控制口 1 的控制。视频象点和光栅扫描与有关的属性等组合处理后，最后形成直接驱动单色显示器所需要的视频输出信号、亮度信号、水平扫描信号和垂直扫描信号。

图 2-9 是 IBM 单色显示适配器与单色显示器的接口信号，适配器通过一个 9 芯的 D 型插座与监视器相连接。

9、适配器地址译码电路：本电路提供显示缓冲器的内存地址空间和 CRTC、CRT 控制口 1 和 CRT 状态口的 I/O 地址选择。CPU 访问显示缓存的起始地址是 B0000H，容量为 4K 字节，字符缓存在偶地址单元，属性缓存在奇地址单元。由于显示缓存是双端口的，CPU 和 CRTC 都可以访问，而 CRTC 和 CPU 的定时使用不同的频率。因此当 CPU 访问显示缓存时，至少插入一个等待状态，其由 I/O READY 信号采样来保持和 CPU 同步。显示缓存作为系统存储空间的一部分，因此也可以以 DMA 方式读取。

适配器中 I/O 地址的分配如表 2-1 所示。

§2-2-3 IBM 单色显示适配器的工作过程

(1) CPU 在显示器水平回扫期间，通过数据总线把欲显示的字符码及其属性码分别送字符缓存和属性缓存；

(2) MC6845 CRTC 芯片在字符时钟同步下，一方面产生行同步、帧同步等信号送

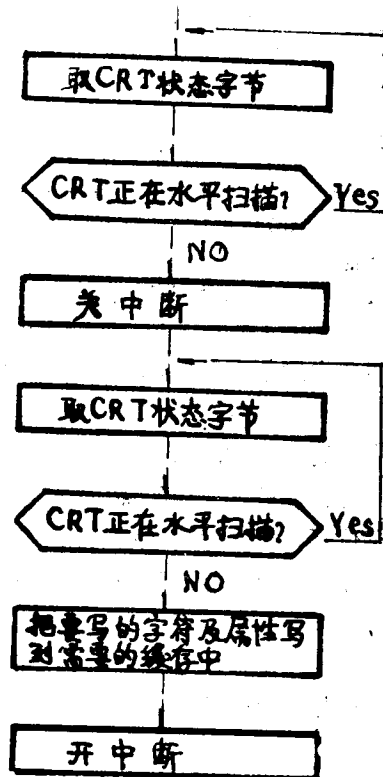


图 2-8 输出显示字符的流程

IRM 单色显示 适配器	1	Ground	IBM 单色显 示器
	2	Ground	
	3	Not Used	
	4	Not Used	
	5	Not Used	
	6	+Intensity	
	7	Video (61.51ns)	
	8	+Horizontal (54.253μs)	
	9	- Vertical (20ms)	

图 2-9 单色显示适配器与显示器的接口

表 2-1 单色显示适配器 I/O 地址分配

地址 I/O	寄 存 器 功 能
3B4	6845 地址寄存器
3B5	6845 数据寄存器
3B8	CRT 控制寄存器
3BA	CRT 状态寄存器

到视频信号处理逻辑，另一方面产生刷新地址码读出缓存器中的字符码及其属性，以刷新屏幕上的字符；

(3) 以缓存器中读出的字符码和 6845CRTC 提供的扫描线序号为地址，读出字符发生器中的字符点阵，同时对字符属性进行一定的译码处理；

(4) 字符点阵读出后送入移位寄存器，然后逐位移出到视频信号处理逻辑中，在有关的属性、光栅扫描和控制器信号等组合处理后，形成视频输出信号、亮度信号和水平、垂直扫描信号直接驱动单色显示器。

§2-2-4 MC6845 CRT 控制器芯片 (CRTC)

1. CRTC 的主要功能

MC6845CRTC 是 CPU 和 CRT 光栅扫描显示器之间接口的核心部件。提供了控制 CRT 显示器的定时信号，主要功能包括：

(1) 产生显示缓冲存储器的刷新地址 MA13—MA0。可以刷新多达 16K 字节的显示缓存。若一帧屏幕为 25×80 个字符，14 条刷新地址可以寻址 8 页屏幕字符，因而可以进行多页面的存贮和显示。本适配器使用 MA10—MA0 可以刷新 2048 个显示缓存。

(2) 为字符 ROM 提供字符行光栅地址 (RA4—RA0)。这五条行地址线，使它可以显示高达 32 条扫描线的复杂符号。本适配器使用 R3—R0，并置每字符区的光栅扫描线为 14。

(3) 提供光栅扫描显示器的水平同步信号 HSYNC、垂直同步信号 VSYNC、光标信号 CURSOR 和显示允许 DISPEN。

该 CRTC 既可以支持字符显示也可以支持图形显示，并可以实现硬件的屏幕滚动 (按字符或行或分页滚动)。

所有的水平、垂直定时、刷新地址、光栅地址、光标地址均是可编程的，使用 CRTC 使显示器接口软、硬件减少到最低程度，并具有其灵活性。

图 2-10、11 分别是 MC6845CRTC 芯片的引脚及其内部框图。

2. CRTC 的组成及其引脚作用

CRTC 由可编程的水平和垂直定时发生器、刷新和光栅地址发生器、光标和光笔逻辑、CPU 总线接口控制电路所组成。CPU 总线接口控制电路和 CPU 时钟同步，面向显示器的控制信号由外部字符时钟 CCLK 定时。

其中面向 CPU 的接口信号有：

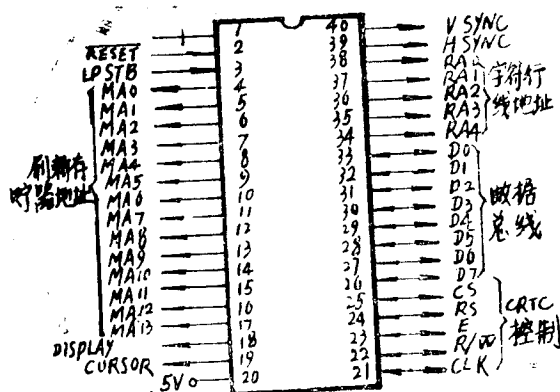


图 2-10 MC6845CRTC 芯片引脚图

- (1) 双向数据总线 D7—D0 允许数据在 CPU 与 CRTC 内部寄存器之间传送;
- (2) 片选 $\overline{CS}$: 选中 CRTC, 以便读或写内部寄存器;
- (3) 寄存器选择: RS = 0 选择索引寄存器, RS = 1, 选择 18 个内部数据寄存器中索引寄存器所指的内部任一数据寄存器;

(4) 允许 E: 使数据能输入到 CRTC 或从 CRTC 输出。

(5) 读/写 R/W 决定对内部寄存器是读还是写;

(6) 复位 RESET: 复位 CRTC, 清除所有内部寄存器内容。

面向显示器的控制信号有:

- (1) 显示缓存的刷新地址 MA13—MA0;
- (2) 字符 ROM 的光栅地址 RA4—RA0;
- (3) 水平同步 HSYNC: 该信号决定显示的水平位置;
- (4) 垂直同步 VSYNC: 该信号决定显示的垂直位置;
- (5) 显示允许 DISPEN: 指示 CRTC 正在向显示缓存寻址;
- (6) 光标 CURSOR: 当内部光标寄存器内容和现行刷新地址相等时, 由此引脚将光标显示送到视频信号处理逻辑;
- (7) 光笔选通输入 LPSTR: 当光栅扫描到光笔内光敏元件时, 光笔发出 LPSTR, 同时将现行刷新地址 (光笔所指的行和字符位置) 存入光笔寄存器, 以便由 CPU 读出;
- (8) CRTC 时钟 CLK: 使所有 CRT 控制信号同步, 在字符显示时, 此信号由外部字符时钟 CCLK 提供。时钟的负跳变有效。

3. CRTC 内部数据寄存器及其编程

CRTC 内部有一个索引寄存器和十八个数据寄存器。索引寄存器是一个 5 位只写寄存器, 它的内容作为十八个数据寄存器的地址 (或称指针), 在编程时, 每次向某数据寄存器中写参数之前, 先要在索引寄存器中写入相应的地址码。CPU 向数据寄存器写入的参数将按索引寄存器中的指针值送到 CRTC 相应的数据寄存器中。通常, 这是在显示器初始化的时候完成的。这十八个寄存器中 R0、R1、R2 和 R3 用作控制水平同步, R4、R5、R6、R7、R8 和 R9 用作垂直同步的控制, R10—R17 用于辅助控制 (如光标、刷

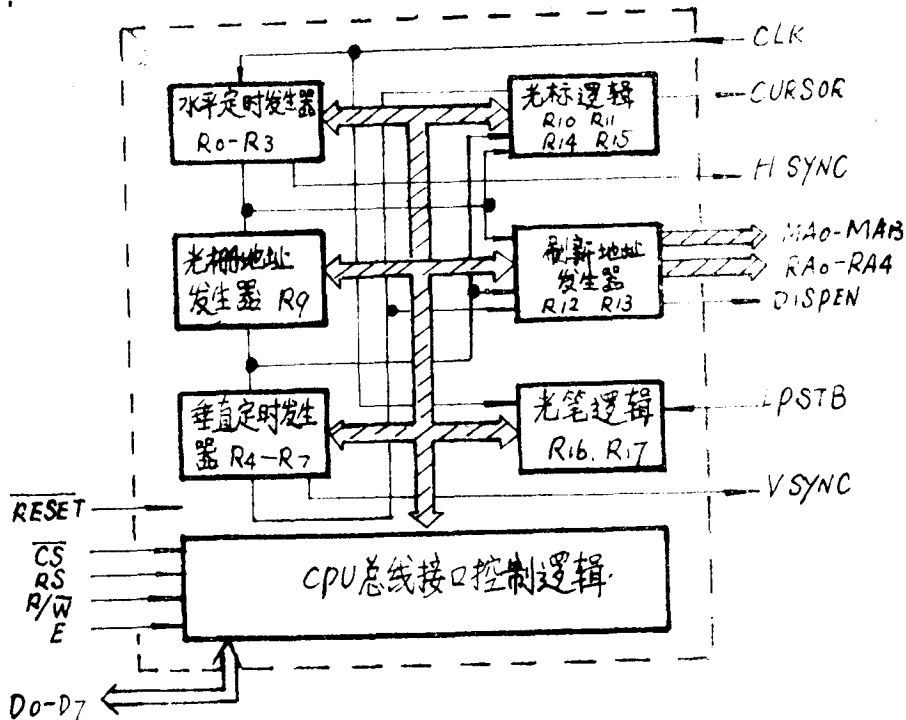


图 2-11 6845 芯片内部框图

新、光笔)。R0—R13 为只写数据寄存器，R14和R15为读/写数据寄存器，R16和R17为只读数据寄存器。通常 R0—R15 在初始化编程时固定下来。CRTC 在字符时钟CCLK作用下，其内部符合电路不断将计数器的内容与可编程的数据寄存器(R0—R15)的内容相比较，从而使 CRTC 输出相应的显示器控制信号。

下面分别介绍数据寄存器，同时在表 2-2 中给出了 IBM 单色显示适配器的初始化编程参数。

R0 一水平总字符数。即每一行(包括回扫时间在内)的字符总长度，单位为字符，实际上它决定了一次水平扫描的总时间(包括水平回扫时间)。编程内容 Nht 应为水平总字符数减 1 (因字符从 0 开始编号)。

R1 一每行显示的字符数。

R2 一以字符为单位的水平同步位置。它确定了在一行中哪个位置上发出同步信号。以调节画面在屏幕上左右的位置。

R3 一水平同步脉冲的宽度(4位)。也是以字符为单位。

R4 一垂直总字符行数(7位)。单位为字符行(包括回扫)编程内容为实际内容减 1。

R5—垂直总扫描线调整(5位)。单位为扫描线。垂直扫描线时间由 R4 和 R5 决定，其中 R5 起调节作用。

R6—垂直显示字符行数(7位)。即幕屏上显示的字符行数。

R7—垂直同步位置(7位)。它与 R2 相似，但编程单位是字符行。

R8—光栅扫描方式(2位)。这两位只写寄存器控制光栅扫描的方式。初始化选用的10

表 2-2 MC6845 用于单色显示器 25×80 屏幕的初始化参数编程

寄存器 编 号	寄存器名称	寄存器位数								单位	实际内容	编程参数		注释	
		7	6	5	4	3	2	1	0			十进制	十六进制		
R0	水平总字符数									字符	Nht+1	Nht	97	61	实际98
R1	水平显示字符数									字符	Nha	Nhd	80	50	
R2	水平同步位置									字符	Nhad	Nhsp	82	52	
R3	水平同步脉冲宽度	///	///	///	///					字符	Nhsw	Nhsw	15	0F	
R4	垂直总字符行数	///								字符行	Nvt+1	Nvt	25	19	实际26
R5	垂直总扫描线调正	///	///	///						扫描线	Nadj	Nadj	06	06	
R6	垂直显示字符行数	///								字符行	Nvd	Nvd	25	19	
R7	垂直同步位置	///								字符行	Nvsp	Nvsp	25	19	
R8	光栅扫描方式	///	///	///	///	///	///			—	—		02	02	
R9	每行字符最大扫描线地址	///	///	///						扫描线	Nsl	Nsl	13	0D	
R10	光标显示方式和光标起始地址	///	方式							扫描线			11	0B	
R11	光标终止地址	///	///	///						扫描线			12	0C	
R12	刷新存储器起始地址(高位)	///	///										00	00	
R13	刷新存储器起始地址(低位)												00	00	
R14	光标存储器地址(高位)	///	///										00	00	
R15	光标存储器地址(低位)												00	00	
R16	光笔位置	///	///												
R17	光笔位置														

为正常的不隔行光栅扫描方式。

R9—每行字符的最大扫描线地址。共 5 位。它定义字符的高度，其值是每行字符扫描线数减 1。

以上 R0—R9 确定了整个屏幕的显示格式，这些参数的物理意义的示意图见图 2-12 所示。

R10、R11—这两个寄存器设定了光标的显示方式和光标的形状。其中 R10 的第 6、5 两位是光标显示方式，是确定光标有无和闪烁快慢。00 为显示光标但不闪烁；01 为不显示光标；10 为光标闪烁频率是垂直半帧速率的 1/16；11 为光标闪烁频率是垂直半帧速率的 1/32。R10 和 R11 的低 5 位确定了光标的起始线和终止线的位置。如图 2-13 所示。

R12 和 R13——显示缓存起始地址（高 6 位和低 8 位组成）。它用来决定每次垂直扫描开始时，显示缓存的首地址，又称页顶寄存器。修改其内容，可实现按字符、行或页的硬件滚动。

R14 和 R15——光标的存储地址（高 6 位和低 8 位组成）用来存放光标的现行显示缓存的地址。CPU 读取这两个寄存器的内容，可以了解到光标在屏幕上的位置，以指示出下

图 2-12 光栅显示扫描方式

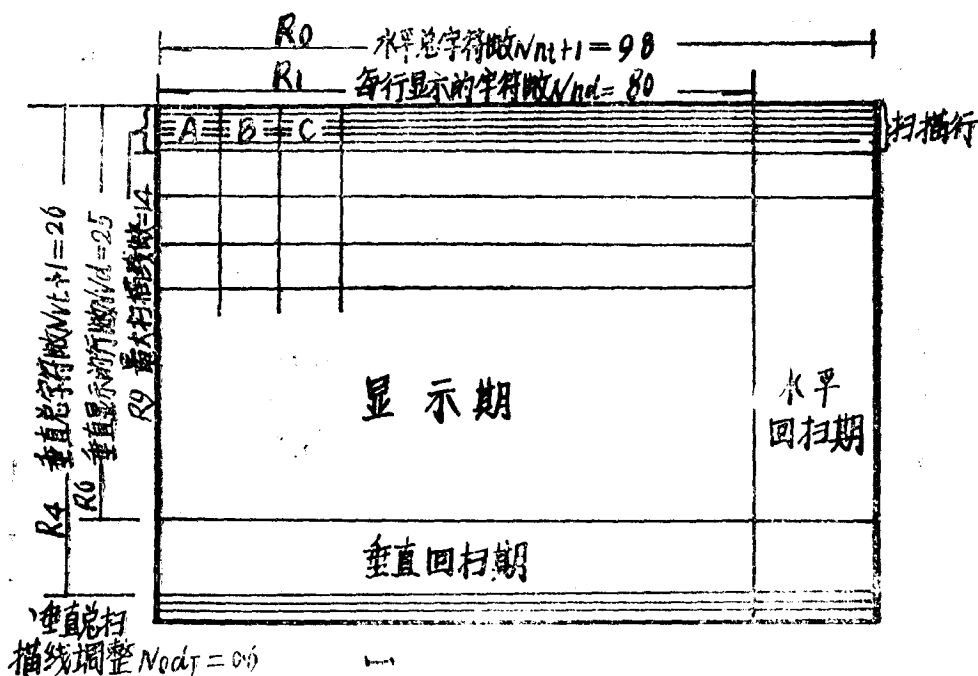
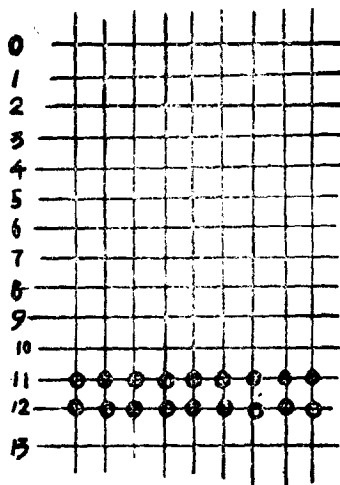


图 2-12 6845 扫描参数值在CRT屏幕上的物理意义

一个字符存放在显示缓存的哪个单元。当现行刷新地址和其内容一致时, CRTC 按 R_{10} 、 R_{11} 输出光标 CURSOR 信号。

R_{16} 和 R_{17} ——光笔位置(高 6 位和低 8 位组成)。当 CRTC 接收到光笔选通 LPSTB 信号时, 现行刷新地址存入 R_{16} 和 R_{17} , 以便 CPU 读取。



光标起始位置: $R_{10}=0B$

光标终止位置: $R_{11}=0C$

图 2-13 光标显示控制

下面根据规定的指标来选择各定时参数, 即 CRTC 中各可编程寄存器的编程值。

对单色显示器而言,为满足人的视觉要求,帧频选为 50HZ (20ms)。行频也要受一定的限制。若选行频为 18.432KHZ (54.253μs),则每帧的扫描线数为 $20\text{ms} \div 54.253\mu\text{s} \approx 370$ 。当显示字符区格式为 9×14 点阵模型时,每字符行为 14 条扫描线,于是:

$R4 = \text{总水平扫描线} / \text{每字符行线数} = 370 / 14 = 26$ (字符行)

$R5 = 6$ (扫描线)。

取每帧显示的字符行数 $R6 = 26$ (字符行)

取每行显示的字符数 $R1 = 80$ (字符)

$R0$ 的选择应使 $R1$ 占一行总长度的 80% 左右,本适配器选 $R0 = 98$ 。由此可得到字符时钟 $\text{CCLK} = \text{行频} \times 98 = 18.432\text{KHZ} \times 98 = 1.806\text{MHZ}$ (即 $\text{TC} = 553.6\text{ns}$); 光点时钟 $\text{DOTCLK} = 1.806\text{MHZ} \times 9 = 16.257\text{MHZ}$ 。(晶体振荡频率)。

其余的参数,如 $R3$ 的数值需视显示器而定,一般取数微秒。如取 $R3 = 15$,则水平同步脉宽为 $15 \times 553.6\text{ns} = 8.3\mu\text{s}$, $R2$ 和 $R7$ 的数值应在电路配试时由试验决定,使图象位于屏幕的正中。表 2-2 具体给出了 IBM 单色显示适配器中 CRTC 的初始化编程参数。

4 CRTC 接口信号定时

图 2-14 为 CRTC 的水平定时图。字符时钟周期为 $\text{TC} = 553.6\text{ns}$,其负跳变有效。水平总字符数 $\text{Nht} + 1$ 为 98。水平光栅扫描周期 TSI 为 $54.253\mu\text{s}$,其中显示时间的字符数 Nhd 为 80。 $\text{MA13} - \text{MA0}$ 的起始地址由 $R12$ 、 $R13$ 的内容决定。第 82 个字符位置作为水平同步位置,其水平同步脉宽为 15 个 TC 。

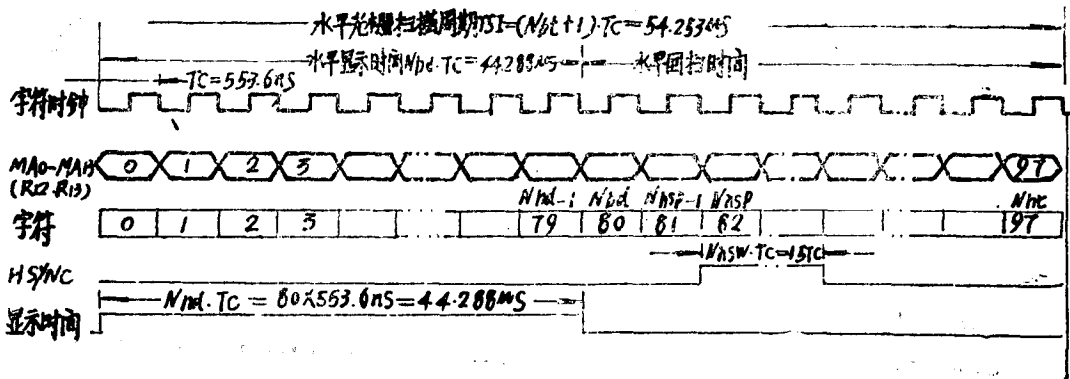


图 2-14 CRTC 水平定时

图 2-15 为 CRT 屏幕字符寻址显示缓存的示意图。其说明了显示缓存 $\text{MA13} - \text{MA0}$ 及光栅地址 ($\text{RA4} - \text{RA0}$) 和屏幕字符位置的相互关系。屏幕上 0 行 0 列的显示缓存地址由 $R12$ 、 $R13$ 决定,水平显示字符从 0 到 $\text{Nhd} - 1$ 。每字符行光栅扫描线地址从 0 到 NSI ,垂直显示字符行从 0 到 $\text{Nvd} - 1$,共显示字符行 $\text{Nvd} = 25$ 。

现回过头来讨论显示缓存的访问冲突及屏幕字符卷行两个问题。

我们知道, CRTC 按固定的速率依次读出显示缓存的内容,以便对屏幕进行刷新,而 CPU 则可能随机访问显示缓存,这里就存在 CPU 和 CRTC 两个访问请求发生冲突的可能。为了解决显示缓存的访问冲突这个矛盾,一般采用以下三种方法:

(1) CPU 随机访问 就是说, CPU 对显示缓存的访问可以发生在任何时候,并马上就能得到响应。这是最简单的解决方法,即规定 CPU 的访问优先于 CRT 的访问。处理机

访问时,若光栅扫描处于回扫(即消隐期间),当然不会产生问题,但是如果在显示期

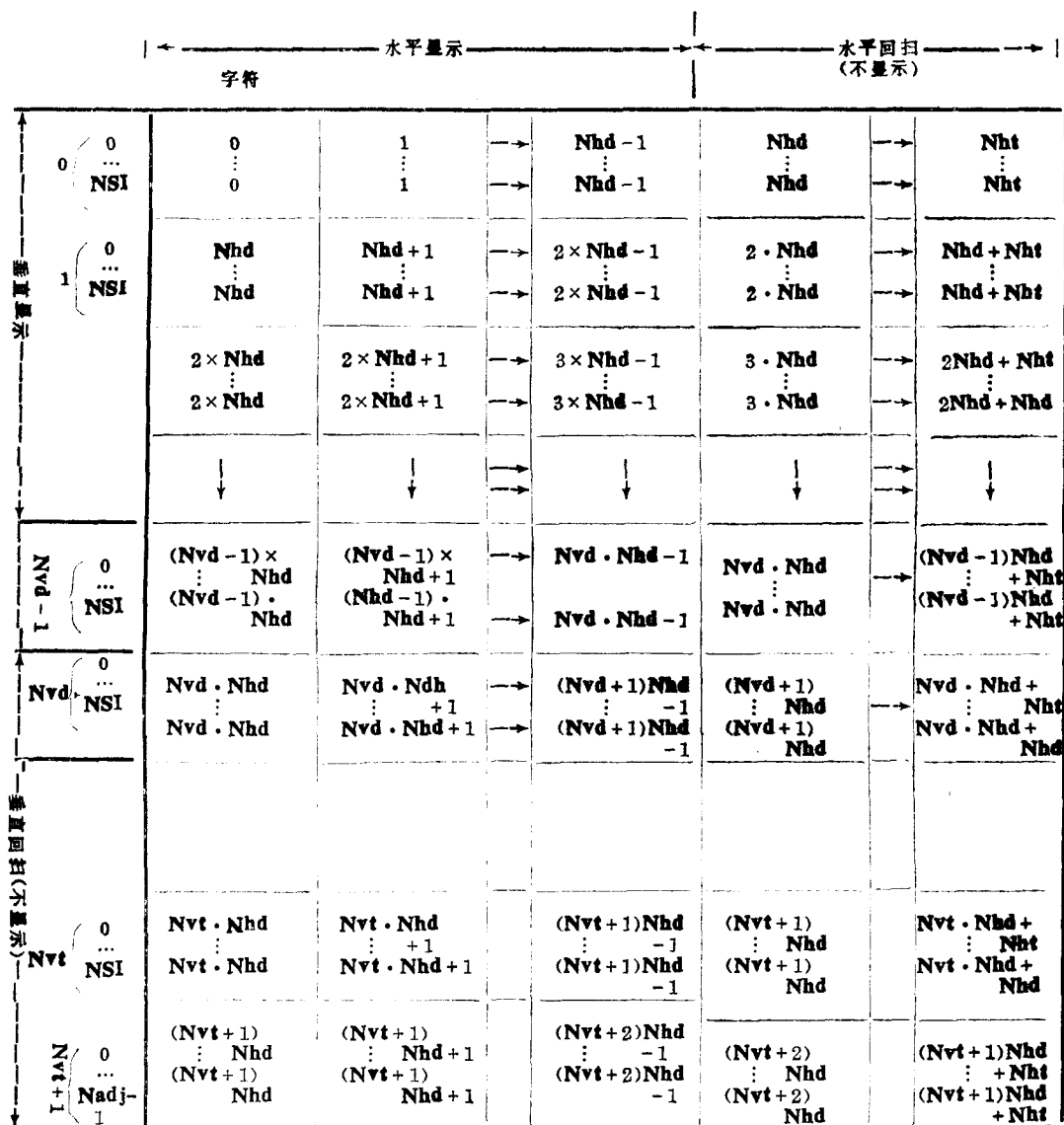


图 2-15 CRT 寻址显示缓存示意图

间,特别是CPU频繁地进行整帧内容更新时,就会对画面产生明显的干扰,因此这种方法只能用于CPU对显示缓存访问频率较低的情况,当然整帧内容更新的情况是很少的,所以在实际使用中,CPU访问产生的影响并不是一个严重问题。

(2) CPU在消隐期间访问显示缓存。在消隐期,CRTC可以完全不对显示缓存进行访问,这时将访问权转给CPU,此时若CPU访问显示缓存,可以对显示毫无影响。这是最常用的方法。我们这里也是选用这种方法。其唯一缺点是限制了CPU对显示缓存的访问时间。

(3) 分时访问的方法。这是最高级的方法。这种方法只能用于象6800、6502系列,每条指令都有固定周期的机种。将每个字符时钟周期分为两半,一半分配给CPU访问,一半分配给CRTC访问,所以不存在显示缓存的争用问题,双方都以透明方式访问。它

的缺点是线路较为复杂,要求显示缓存的速度较高。

现在讨论硬件实现卷行问题。为了获得稳定的画面,屏幕画面应与显示缓存的地址相对应。屏幕上显示的第一行的第0号字符的地址作为显示缓存刷新的起始地址,它由R12、R13的内容决定。CRTC从这一个起始地址值开始计数,以后屏幕上各字符的地址从此地址开始递增。屏幕上所显示的字符部分对显示缓存来说,也许可以说表现为一个窗口,只要将CRTC中的显示起始位置修改一下,就可以实现屏幕硬件滚动。当修改起始地址的数量和一行字符数目成整数倍时,就实现了硬件卷行。如果第一个被显示的字符的起始地址为AM0,每行中显示字符数为Nhd,则卷行后用下标1标记,则 $AM1 = AM0 + Nhd$ 。下面来讨论本适配器是怎样实现的。显示缓存容量为2K字节,屏幕上字符在显示缓存中是以首尾相连方式安排的。即第一帧字符 $25 \times 80 = 2000$ 个字符,在0000~2047的显示缓存中占0000~1999。此时页顶地址0000被放在R12、R13页顶寄存器中,当显示内容超过一帧(25行),显示第26行时,开始卷行,原第一行将被卷起,原来第二行的内容应放在第一行,以后各行也同样向上平移,此时CRTC页顶寄存器的内容要修改为0080,卷起两行以后,页顶寄存器为0160,这时一帧的末地址将不是 $1999 + 160 = 2079$,而是 $2079 - 2048 = 0031$ 。这就是显示缓存为实现卷行的首尾相连的安排。这样就要求CRTC在字符填满一帧后,在垂直回扫时,给CRTC的页顶寄存器提供下一个帧字符在显示缓存的起始地址。

§2-2-5 IBM 单色显示适配器逻辑电路分析

图2-16是IBM单色显示适配器逻辑原理图。它是从总逻辑图按功能部件画的,因此读者可以较清楚地了解各功能部件信号的流向及其在适配器的作用。图中虚线框内逻辑由于比较复杂,故单独画在其相应逻辑原理图中,图中还指出该逻辑所对应的逻辑图号,用SHTX表示,以便对照。总逻辑图请读者见IBM单色显示适配器逻辑图。

图中CPU与适配器之间数据传送需经过三态数据收发器U23隔离,CPU和显示缓存之间字符或属性码的传送还需经输入和输出缓冲器(U19-U22)。地址总线A3-A0经过驱动器U60形成BA3—BA0。供其内部使用。

1 适配器 RAM、I/O 端口选择逻辑电路

现先分析适配器RAM、I/O选择逻辑原理图,见图2-17。其作用是产生显示缓存和I/O端口的选中信号。

输入信号来自系统总线:A19—A4、BA3—BA0、-MEMW、-MEMR、-IOW、-IOR、AEN及I/O CLOCK (4.77MHz)。

输出信号如下:

-CPUMSEL (CPU选中显示缓存):CPU在存储器访问周期,若寻址A19—A15为 $B \times \times \times \times$ 时,由3—8译码器U51输出-CPUMSEL。

-RDGATE CC (允许读字符码)和-RDGATE AT (允许读属性码):-CPUMSEL和-MEMR、BA0经2—4译码器U42,分别输出-RDGATE CC和-RDGATE AT。这两个信号分别作为字符和属性码输入缓冲器(U21和U20)的允许信号,以允许将显示缓存偶地址中的字符码或奇地址中的属性码读入CPU。

-6845CS (6845芯片选中):当CPU寻址I/O地址A9—A3=3B0—3B7时,由3—

8. 译码器 U52 输出 -6845CS, 送 6845 的 -CS 端。

6845E (允许 6845): -IOW 或 -IOR 信号经系统时钟 I/O CLOCK 同步产生 6845E, 送 6845 的 E 允许端, 允许数据从 CPU 写入 6845 或从 6845 读入到 CPU。

-SEL1 (CRT 控制口 1 选中和 -STATUS (CRT 状态口选中): -SEL1 是控制口 I/O 地址 3B8 选中信号, 作为 CRT 控制口 1 U58 的打入脉冲, -STATUS 是状态口 I/O 地址 3BA 选中信号, 作为 CRT 状态口 U60 的使能控制信号。

-DATAGATE (数据总线使能): 当访问显示缓存 $B \times \times \times$ 或适配器 I/O 端口 3B

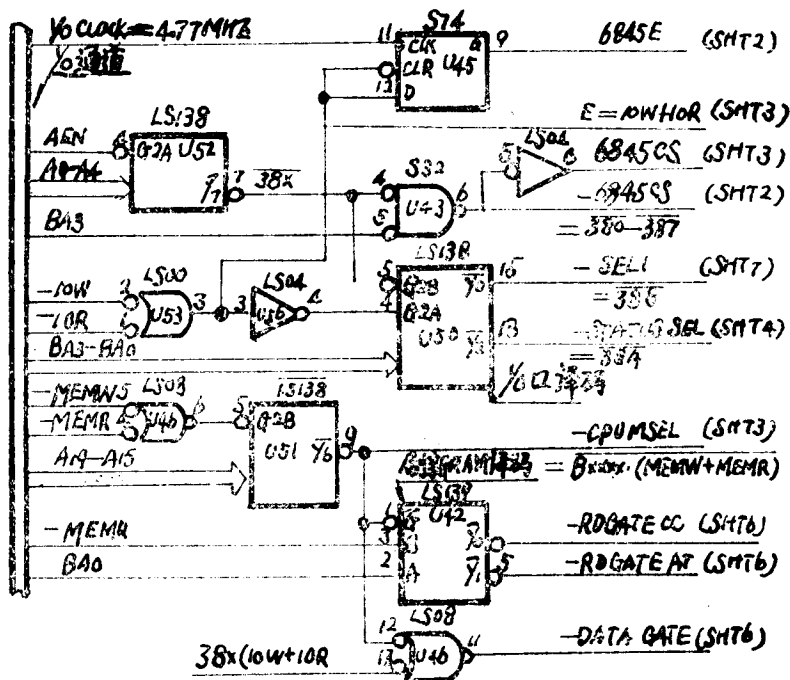


图 2-17 适配器 RAM I/O 选择逻辑(SHT4)

×时由 U46 或门输出 -DATAGATE, 以允许数据收发器, 使 CPU 和显示缓存或 CRT I/O 的端口交换数据。

上述八种信号的逻辑公式见表 2-3。

2 字符定时逻辑电路

该逻辑电路完成二个功能: 一个是为字符/属性锁存器、字符发生器、属性译码寄存器和移位寄存器提供显示字符象点所需要的时序信号。另一个是在 CPU 访问显示缓存时, 向适配器二选一地址选择电路 (U16—U18)、字符/属性的输入/输出缓冲器 (U19—U22) 和显示 RAM 提供与 CPU 同步的读/写等控制信号。字符定时逻辑电路包括一个 16.257MHz 晶体振荡器, (以该频率作为象点时钟)、一个九分频电路 (U1), 再加上为产生字符显示的时序门电路 (U6 和 U100) 和与 CPU 同步的控制电路。如图 2-18 所示, 现分别叙述如下:

(1) 字符显示时序信号。图 2-19 为字符显示时序图。当 CRT 控制口 1 选择高分辨率方式, 并保持跨接线 J1 断开位置, 双四选一数据选择器 U24—7 脚产生周期为 $TD =$