



硬件电路分析

新技术业务部

汉口车站路10号

序

本书是对Apple II个人电脑电路作一详尽的分析，其中包括了由最早到最近的主逻辑电路板（Rev.0至RFI Rev.D），另外也包含了目前的二件式（two-piece）键盘及较早的单件式键盘。

读者对象包括工程师、技术人员、学生及业余爱好者。各章分成二部份：概说及细节电路分析。共八章；第一章系说明书中正文及图形所用的符号及一些术语，本章中亦包含了名词的语汇表。第二章叙述了Apple II电脑的方块图。

细节的描述是从第三章开始。第三章及第四章包涵了系统时钟及部份的视讯电路。第五章将解释记忆系统，而第六章则针对6502微处理器及系统总线；第五及六章中的概说部份系用以解释4116RAM及6502微处理器，所以读者对这些装置不需任何预先的知识。

键盘及其他的电路板上I/O系在第七章中予以讨论，而第八章中的主题则为视讯显示（包括图形及文字显示）。由于Apple的电路中，有一大部份是用以产生视讯讯号，所以我们在附录A中简介了视讯技术。

附录B中收集了所有已知的Apple II母板及键盘的电路修改。本书正文描述了最近的Apple II电路，而附录B则叙述最近的Apple和所有较早的电路间的差异。附录C中包含了一些母板和键盘图，这些图适用于所有的电路版本。本书之结尾为一个参考文献表。

Winstpn D. Gayler

编者识：为了尽量提供大的图，许多图系置于书后的折叠页中，这些图将以星号直接标于正文中图号后，例如图3-4*表示图3-4系位于书后。

目 录

第 1 章	导言.....	1
	本书的对象——章节的安排——你应知道的事——电路的变更——IC及讯号术语——波形——研究工作——名词汇表	
第 2 章	APPLE II 的方块图.....	9
	基本结构及总线——记忆体——输入/输出——视讯——电源供应器——总结	
第 3 章	时钟讯号产生器及水平时序.....	16
	概说——细节电路分析——总结	
第 4 章	视讯时序.....	25
	概说——细节电路分析——总结	
第 5 章	记忆系统.....	32
	4116——概说——细节电路分析——总结	
第 6 章	6502及系统总线.....	48
	概说——细节电路分析——总结	
第 7 章	电路板上的I/O.....	74
	概说——细节电路分析——总结	
第 8 章	视讯显示.....	91
	概说——细节电路分析——总结	
附录A	视讯技术.....	124
	基本视讯显示——广播标准——色彩——过度描扫——总结	
附录B	APPLE II 电路的变更.....	132
附录C	APPLE II 电路图.....	143
附录D	参考文献.....	145

第1章

导 言

你是否想知道你的Apple II电脑的电路工作细节？或许你正在着手设计一个周边装置或作某些调整，也许你需要修理一台Apple，也许你只是对电路如何工作感到好奇。

本书一开始只是了解Apple II的硬件，最初的目的是了解电路或如何去调整电路，但由此而获得的知识很快就能应用于其他目的中，所以我们得以进一步地发展本书的计划，其结果是对Apple II的主电路板及键盘作一完整的描述及分析。在本章导言中，我们将介绍本书的组织并解释一些名词及符号。

本书的对象

本书是为工程师，技术人员，学生及有极大兴趣的业余爱好者而写的。工程师和业余爱好者可利用所描述的电路及时序图（timing diagram）作设计周边装置或调整电路的预备工作，而技术员则可利用时序图帮助修理工作，其中波形图在用示波器作检查工作时特别方便，至于学生则可将Apple II当作一个实际的电路设计例子。在大多数情况中，我们将说明设计的理由，所有的读者皆可利用这些说明进一步了解Apple II的工作情形。

章节的安排

第二章将描述Apple II母板的方块图，其中我们将介绍诸如「地址多工器」（address multiplexer）及「视讯地址产生器」（video address generator）等名词，并使用于各方块图中。第二章中也包括对电源供应器的一个简短的电路描述及讨论。

第三章至第八章构成本书的主体。每一章将以电路的某一功能为主题并作详细分析，各章皆分成二部份：概说及详细电路分析。概说部份将解释电路概念，它通常也包含方块图及简化的时序图，如果你这是新的材料，你可能只读概说部份而在需要特殊细节时才去阅读详细电路分析部份，另外一方面，你可能早已熟悉Apple II的硬件，在这种情形下，你可能直接跳到电路分析部份而略过概说部份。

第三章的材料是主振荡器（master oscillator），时钟讯号产生器及视讯地址产生器的水平部份。对数位电路而言，时钟讯号特别重要，而由于它参与视讯电路之工作，故在Apple II上尤其重要。

第四章将叙述视讯地址产生器的垂直部份，本章中也包涵了视讯同步，消隐及色彩脉冲讯号。

Apple II中的RAM (random access memory) 是由微处理机及视讯产生器所共用，此共用技术将在第五章中描述，另外本章亦将对4116动态RAM (dynamic RAM) 作一简介。

第六章首先对6502微处理机硬体作一简介，然后描述6502在Apple中所用的周期类型 (cycle type)，其中包括读取周期，写出周期，RAM周期，ROM周期，I/O周期及键盘周期，另外还有中断及DMA (direct memory access)。

第七章所描述的是Apple II电路板上的I/O装置 (on-board I/O devices)，例如卡式I/O (cassette I/O)，游戏I/O及喇叭。本章也包括对目前二件式 (two-piece) 键盘的描述。

视讯产生器将在第八章中描述，读者将在本章中学到硬体如何在软体控制下产生文字 (text)，LORES及HIRES。

附录A是对视讯讯号技术的简介，若你对视讯讯号如同步，消隐及色彩脉冲不熟悉，那么你可能需要阅读此一部份，如此或许会增加你对三，四及八章的了解。

附录B的主题是Apple II电路的演变；最近的电路 (RFI母板，Rev.D) 系陈述于本书正文中，而由最早的Apple II (Rev.O) 到目前为止的变化则在附录B中说明。本附录中亦包括和较早电路不同的波形画法，另外附录中也描述了较老的单件式 (single-piece) 键盘。

附录C中叙述Apple II所有版本的图形符号。

在本书之末，我们列了一些参考资料，这是依照各章顺序而排的。

你应当知道的事

本书的读者应当熟悉TTL如门电路，移位暂存器及多工器。在阅读时，你可能需要一本TTL手册，如参考1.2。你并不需对4116RAM或6502微处理机熟悉，这些在第五和第六章中将会描述，但你应对微处理机和微电脑结构有些基本知识，另外当然你应对二进制和十六进制熟悉，至于Apple II方面，你应当对Apple II Reference Manual (参考1.1) 熟悉。

电路的变更 (REVISIONS)

自从1977年Apple II开发以来，它曾历经数次电路变更，此变更将在附录B中详细讨论，本章中我们只对变更作一总结，并建立一些有关术语以应用于全书中。

Apple II的母板共有二类：非RFI (早期的母板) 及RFI (最近为降低无线电频率干扰所设计的母板)。

非RFI板母的编号为820-0001-XX，其中XX为修订号码。第一个非RFI母板为Revision 0，此处我们简称为Rev.0，它仅具有四种III-RES色彩，另外Rev.0也没有色彩消除器 (color killer) 及电源开启重设电路。

Revision 1是下一代的电路，其中加了二种HIRES色彩而成为目前的六种，另外它也

加入了色彩消除器及电源开启重设电路，此外还有一些细节的小变更。Revision 2, 3, 4 具有和Rev. 1 同样的电路，本书中我们将他们归之于Rev. 1。

下一个重大的改变发生在Revision 7, 其中记忆体跳越区(jumper block)不再使用，另外字母产生器的IC也改变了。

再来的大改变就是RFI母板了，它的编号为820-0044-XX，其中XX为修订号码。到目前为止（到Rev. D），此板的所有变更在功能上都相同，故我们都归之于RFI。

电路编号可在母板左缘或在6502 IC下找到，细节可参阅附录B。表1-1中列有母板电路编号和上述术语的对照关系：

表 1-1 母板电路编号

	Part No.	Revision
Non-RFI	820-0001-00	Rev. 0
	820-0001-01 820-0001-02 820-0001-03 820-0001-04	Rev. 1
	820-0001-07 & up	Rev. 7
RFI	820-0044-01 820-0044-C 820-0044-D	RFI

IC 及 讯 号 术 语

母板上的IC是根据它们在某一X—Y格子上的位置而标出的，格子座标则是由板左缘A到K的字母和前缘1到14的数字而组成的（图1—1*）。在每个IC中，各别的门或部份系由此门输出的接脚号码所指出，例如，正文中的「正反器B10—9」表示一个在座标B10上IC中的正反器，此正反器的Q输出端在第九脚。

讯号也是应用类似的术语，例如，讯号「C11—4」是IC C11上第四脚的讯号。在Apple电路图上，有些讯号已有正式名字，「LD194」即为一例。当某一讯号上方有短横时（如CAS），这表示此讯号系以低状态为启动状态(active low)，另外所有的讯号名字皆以大写字母印出。

波 形

当我们说某一讯号是在低状态时，这表示它约为0V，而当我们说它在高状态时，它约为4或5V。真正的电压大小随着不同的逻辑族，负载及电源电压而有所不同。对典型的74LSXX逻辑族而言，低输出将小于0.5V而高输出则大于2.7V。此同一族的电路可接受低于0.8V的输入为低状态及高于2.0V为高状态，而0.8至2.0V中间的电压则为未定状态。

当我们说一个IC的输出是高阻抗时，这表示此IC不推动任何讯号也不明显地对任何讯号线构成负载。高阻抗状态是三态逻辑电路的第三态；此三态为：低，高及高阻抗。有时我们将高阻抗状态称为闭止(off)状态，闭止状态可允许其他的IC进入启动状态并推动同一讯号线。

波形在垂直方面并不依照比例尺来绘，而是如图1—2上画的分三个状态，此图的其余部份系表示状态转换时的各种符号。

操 作

本书的操作包含二个主要步骤：纸上分析及实验证实。在第一步骤中，我们分析电路图并确定电路动作及时序波形，第二步骤中，所绘的波形将被带入实验室并应用频率计数器，示波器，逻辑分析仪及光笔记录器加以证实。

上述二个步骤首先被应用于Revision 3 非RFI Apple II上，后来则施行于Rve.0, Rev.7及RFI Apple上。单件式及二件式键盘波形亦经证实，故本书中所有Apple II电路波形皆已经实验室证实。

三个逻辑状态。

未定状态（即废讯）。

在A和B中讯号进入低状态。

在C和D中讯号进入高状态。

在E和F中讯号由稳定进入高阻抗状态。

在G和H中讯号由高阻抗进入稳定状态。

在I和J中讯号稳定，其他地方则未定。

在K和L中讯号稳定，其他地方则为高阻抗状态。

在M和N中讯号由高阻抗进入未定状态。

在O和P中讯号由高阻抗进入高状态。

正方向的尖锐跳动。

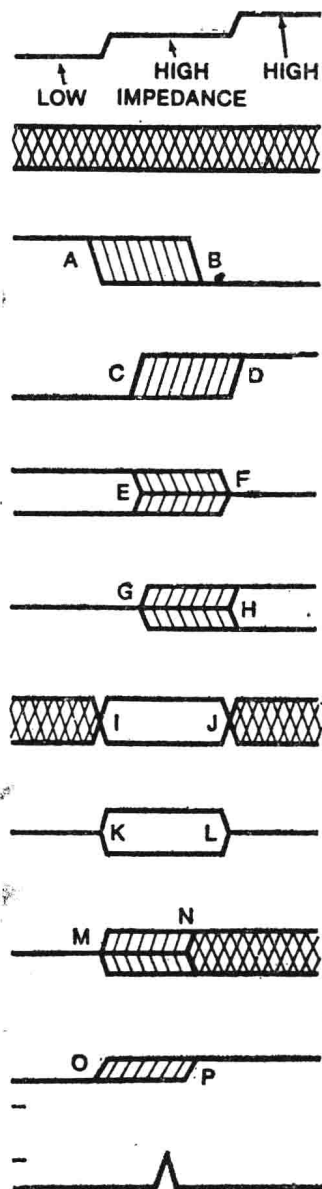


图1—2 波形符号

名 词 汇 表

ac——交流电。

存取时间 (access time) ——将信息送入存储器或从存储器取出所需的时间。

以高状态为启动状态 (active high) ——高状态代表逻辑状态 1。

以低状态为启动状态 (active low) ——低状态代表逻辑状态 1。

AN——呼叫器 (annunciator)。

结构 (architecture) ——方块图。

ASCII——美国信息交换标准代码，此系电脑或周边装置所用的七位元八位元码。

消隐讯号 (blanking) ——视讯讯号的一部份，在回扫时可关闭扫描电子束。

弓形连线 (bow tie) ——具有弓形线样式的PC铜箔板，可经切割而分离电路。

缓冲器 (buffer) ——在两段线路之间实现隔离的逻辑元件。

脉冲 (burst) ——见色彩脉冲 (color burst)。

总线 (bus) ——可连接数个电路元件的一组讯号线。

位元组 (byte) ——八位元。

CAS——行地址激发 (Column Address Strobe) (将行地址送入4116 RAM的激发讯号)

时钟讯号 (clock) ——一个经常重复的讯号，其边缘系用来增加计数器及正反器的输出。

CLR——清除讯号 (clear)。

色彩脉冲讯号 (color burst) ——约为3.579545 MHz讯号的九个周期。出现于合成视讯中水平同步脉波之后，其作用在于使TV接收器中的色彩电路同步。

色彩消除器 (color killer) ——彩色电视机中的一个电路，它可在接收到黑白讯号之后使色彩电路无效，其目的在消除黑白影像中的色彩杂讯及淡色，另外这也是Apple II中可在文字显示方式中移去色彩脉冲讯号的电路。

组合逻辑电路 (combinatorial logic) ——只包含门的电路。

补码 (complement) ——二态逻辑中的相反状态。

合成视讯 (composite video) ——含包影像讯号，同步及消隐讯号的视讯讯号。

CRT——阴极射线管，监视器 (monitor) 或终端机通常都含有CRT。

CTRL——控制 (control)。

De Morgan定理 —— $\overline{A \cdot B} = \overline{A} + \overline{B}$ 及 $\overline{A + B} = \overline{A} \cdot \overline{B}$

dc——直流电。

DMA——直接存取记忆；周边设备可不经微处理机而直接存取系统主记忆体的能力。

不予理会 (don't care) ——其状态不影响电路动作的讯号。

动态——正确的动作依连续时钟讯号或序列讯号而有所不同。

EPROM——可洗去及可与程式的ROM。

均衡脉冲 (equalizing interval) ——在垂直同步脉波前及后的视讯波形。

降缘 (falling edge) ——由高至低的讯号转移。

FCC——联邦通讯委员会 (Federal Communications Commission)

铁心 (ferrite bead) ——可经缠绕而成电感的环形或圆柱形磁性材料。

拿取 (fetch) ——由记忆体中读取。

场 (field) ——电子束所扫描的一个完整CRT面。

固体 (firm ware) ——具有软件功能的硬件。

标记 (flag) ——出现了特定情况的讯号，例如开或关，预备完毕或预备未完成，中断或清除等。

帧 (frame) ——扫描电子束在CRT上所显示的一个完整图像；可能包含一个以上的场。

废讯 (garbage) ——未定状态或未稳定的数据。

尖锐跳动 (glitch) ——在逻辑讯号中的一个短而尖的电压改变。

高状态 (high) ——约 4 V 的讯号电压。

高位数 (high-order) ——代表二进位数中较大值的位元。

HIRES——高分辨率 (high resolution) ,

保持时间 (hold time) ——时钟讯号边缘后的一段时间，在此时间中，正反器或其他需时钟的IC之输入数据必须维持稳定。

彩度 (hue) ——色彩的色度 (红、蓝等等)。

H_z——赫兹 (每秒周期数)。

IC——集成电路。

INH——禁止 (inhibit)。

交错 (interlace) ——二个或更多场的线在CRT面上交织以形成视讯回扫。

I/O——输入/输出。

IRQ——中断要求。

K或k——千 (kilo) (处理ohm, hertz时系×1000，而处理记忆时系×1024)。

KBD——键盘。

LORES——低分辨率。

低状态 (low) ——约为0V的讯号电压。

低位数 (low-order) ——二进位数中代表较小值的位元。

LSB——最低位元。

亮度 (luminance) ——彩色电视讯号的亮度或黑白部份。

M——百万 (Mega) (×1,000,000)。

屏蔽 (mask) ——使之停止别一操作的某些部分。

母板 (mother board) ——主要的逻辑电路板，扩展电路板可插于其上。

ms——0.001秒。

MSB——最高位元。

以负为真 (negative true) ——以低电位代表逻辑1。

NMI——非屏蔽式的中断。

非交错的 (non-interlaced) ——每一屏幕只由一个场组成的视讯, (见交错的)。

非屏蔽性的 (non-maskable) ——不能置之不理。

nS—— 10^{-9} 秒。

闭止 (off) ——三态逻辑中的高阻抗状态。

开启 (on) ——三态逻辑的低阻抗状态 (0 或 1)。

OP码——指令码; 指令的一个位元组。

开集极 (open collector) ——具有二种状态的逻辑输出: 低 (约0V) 及高阻抗。

过度扫描 (overscan) ——由于电子束之扫描超过CRT的边缘而失去图像讯号。

PC——印刷电路。

PDL——操纵杆 (paddle)。

周期 (period) ——频率的倒数。

像点 (pixel) ——图像的元素。

以正为真 (positive true) ——以高电位代表逻辑 1。

PROM——可写程式的ROM。

RAM——随机存取记忆体。

RAS——列地址激发讯号 (将列地址送入4116RAM的激发讯号)。

RDY——准备完毕。

恢复 (refresh) ——经由连续的时钟讯号而将动态RAM的数据维持在正确值。

REPT——重复 (repeat)。

RES——复位 (reset)。

回扫 (retrace) ——电子束在显示一条线后回至CRT的左边, 另外电子束在显示一个场之后回至CRT顶端亦称之。

RF——无线电频率。

RFI——无线电频率干扰。

升缘 (rising edge) ——由低到高的讯号转移。

ROM——只读记忆体。

R/W——读/写。

纯度 (saturation) ——视讯讯号中的色彩纯度 (红较粉红更纯)。

饱和 (saturation) ——线性装置 (例如运算放大器) 在其线性范围以外工作。

锯齿波 (serration) ——在垂直同步脉波中数个窄脉波中的一个, 此波系在垂直同步脉波中维持水平同步。

准备时间 (setup time) ——在时钟讯号缘前的一段时间, 在此时间之内正反器或其他需时钟的IC之输入数据需稳定。

Soft 5 ——将讯号提升至TTL的高状态电压。

软体开关 (soft switch) ——一个可在软件控制下加以设定或重设的暂存器, 此暂存器可作为一个控制硬体的开关。

焊点 (solder pad) ——印刷电路板上可焊接跳线的板。

STB——激发 (strobe)。

副载波 (subcarrier) ——调制主载波的载波, 而副载波本身则由所传送的讯号加以调

变（如视讯讯号中的色彩讯号）。

SW——开关。

sync——同步。

传送接收器 (transceiver) ——一个变向的缓冲器。

TTL——电晶体——电晶体逻辑族。

UART——通用非同步传送/接收器。

V——电压。

Vbe——半号体管中基极和射极间的电压，对于向前偏压的晶体管而言，此电压约为0.6V。

等待状态 (wait-state) ——插进微处理机正常周期中的一个额外时钟周期，通常用来适应长存取时间的周边设备。

\$ ——表示一个十六进位，如 \$ C0FF。

μ S—— 10^{-6} 秒。

ϕ ——相位。

+ ——逻辑中的OR。

• ——逻辑中的AND。

- ——逻辑中的NOT ($A = \text{NOT } A$) 。

第2章

Apple II 的方块图

本章中，我们将描述 Apple II 的方块图。对大多数读者而言，此种材料或许不新，但它们仍可作为复习的材料，而且当读者阅读过这些材料后，我们就可以用同样的语言来讨论后面各章了。

我们将讨论各方块及 Apple 主要功能中的讯号路线。Apple II 的方块图示于图 2—1 * 中。

基本结构及总线(BASIC ARCHITECTURE AND BUSES)

乍看之下，Apple II 的基本结构似乎是一个标准的单板 (single board) 微电脑，但其中有数项较不寻常的特点，而我们将在讨论中一一指出。

微 处 理 机

Apple II 的心脏是 6502 微处理机 (图 2—1 中的 A)，此为一个八位元 (bit) 的处理机，这表示它工作的数据量为八位元或一位组 (byte)。6502 可直接对 64K 位元组的记忆体定址，即它可输出一个十六位地的址。

6502 的输入/输出 (I/O) 动作系记忆体映射式 (memory-mapped)，这就是说 I/O 或周边 (peripheral) 装置和记忆体共用同样的 64K 位址空间，而不是如 8080 般另外提供 I/O 位址空间。除了八条数据线及十六条地址线外，6502 还有数条时钟 (clock) 及控制线；这些部份将很快被讨论到。

总 线

Apple II 中有三种主要的总线：十六位的地址总线，八位的数据总线及控制总线。这些总线贯穿整部电脑并出现于八个周边 I/O 接端 (connector)。

位址——6502 的十六条地址线是由一个三态驱动器 (threestate) (图 2—1 中的 B) 而予以缓冲 (buffered)，此驱动器可驱动地址总线，另外此驱动器也可经控制总线中之 $\overline{DMA}$ 讯号而予以关闭 (将其置于高阻抗状态)； $\overline{DMA}$ 的功能将很快被讨论到。

数据总线——在写出周期 (write cycle) 中，6502 的八条数据线系传送接收器 (transceiver) C 而缓冲，而数据总线经此传送接收器驱动。在读取周期中 (read

cycle), R/W (read/write) 讯号可将传送接收器C的驱动方向予以反向而使数据由数据传向6502。

控制总线——主要的控制总线讯号包括中断 (interrupt), 准备完毕 (ready), 复位 (reset), 读/写 (read/write), $\overline{\text{DMA}}$ 及时钟 (clock) 线。周边装置可用二条中断线通知6502以获得即时的处理, 这二条线中的第一条为 $\overline{\text{IRQ}}$ (interrupt request), 6502可选择性地将此线置之不理 (即屏蔽 (mask)); 第二条线为 $\overline{\text{NMI}}$ (non-maskable interrupt), 此线不能置之不理。6502必须对其作处理。

较慢的周边装置在取数据并置于总线上时, 它可利用准备完毕线以暂时停止6502的动作, 而重设线则可让任何与其连接的装置重设其他和重设线相连的装置。

我们已提过读/写线, 其功用是控制数据总线上数据传送的方向; 数据的读取是由记忆体或I/O装置传至6502, 而写出则是由6502传至记忆体或I/O装置。

直接存取记忆 (direct memory access' DMA) 系指周边装置可不经微处理而机直接和系统的记忆体交换数据。在DMA周期中, $\overline{\text{DMA}}$ 线将关闭总线驱动器B而让DMA装置将其自己的位址置于总线上, 此时传送接收器C并不驱动数据总线, 所以总线可在DMA装置和系统记忆体间传送数据。

时钟——系统时钟是控制总线上数据和地址传送时序 (timing) 的关键, 另外Apple中视讯产生等功能必须用到时钟讯号。时钟讯号是由晶体振荡器D所产生的, 此振荡器所产生的约14MHz的讯号经时钟讯号产生器T而产生系统时钟讯号。这样的时钟讯号 (约1MHz) 送至6502后, 6502即可用它来定对总线的存取时间, 而记忆体及I/O装置也将用此同一讯号以保持总线的存取和6502同步。

读取或写出动作可在1MHz时钟的一个周期内完成。6502执行一个程式的方式是逐个执行程式的指令, 而执行各指令所需时间为时钟周期的整倍数。在各时钟周期中, 6502可能对总线作写出动作, 读取动作或作某些内部工作。各指令系由这些周期类型 (cycle types) 所组成, 其中最短的指令为二个时钟周期而最长则为七个。

6502, 总线及中断和DMA等主题将在第六章中讨论, 而时钟产生器则在第三章中讨论。

记 忆 体

Apple II母板上提供了二种类型的记忆体: ROM (只读记忆体, read only memory) 及RAM (随机存取记忆体, random access memory); 母板上可放置12K的ROM及48K的RAM。

ROM

母板上可置入六个2K的ROM (E), 而地址解码器F可将高地址位元解码器以提供六个ROM的各别晶片选择讯号, 低地址位元则直接和ROM连接。在ROM的读取周期中, ROM的数据输出直接置于数据总线上, 图2·2·即显示一个ROM的读取周期中主要的地址及数据路线。第六章中将讨论ROM周期的细节。

RAM

母板上可放置48K总线的RAM (G)，各别的RAM位置的读/写动作由地址总线上的地址来选择的。地址总线在和RAM连接前将先经过地址多工器H，而RAM的数据输入(DI)则直接和数据总线连接，此外这亦是RAM写出周期的数据来源。图2—3•所显示的是RAM写出周期中的主要地址及数据线路。

在RAM的读取周期中，RAM的数据输出(DO)系存于镇定器I中，然后此数据将经数据多工器J而传至数据总线。图2—4•所示为RAM读取周期中主要的地址和数据线路。RAM周期的细节将在第五和第六章中讨论。

输入 / 输出

电路板上的I/O

一部电脑可能具有大量的记忆体及一个快速的处理器，但除非此电脑可与人类或其他机器通讯，否则它将毫无用处，此通讯功能即为电脑I/O(输入/输出)设备。在Apple II中，一些最常用的I/O装置系位于母板上，这电路板上的I/O装置包括喇叭，卡式I/O，游戏I/O及键盘(K)。虽然电路板上的I/O并非只有Apple用，但它仍是Apple II上的一项特点。

I/O的写入动作——电路板上I/O的各别选择线系由地址解码器F来提供，6502处理器即利用此地址线对电路板上I/O作写出的动作而不使用数据总线。例如，6502可能定下某一地址以启动一种I/O功能，而以另一地址将同一功能关闭。这些都是特殊位置的地址而行使功能，但并不使用数据总线。

I/O的读取动作——当6502需要从电路板上I/O装置读取资料时就需要用到数据总线流排。大多数电路板上I/O装置只提供一个位元，位元7，此单数据位元(D7)系以如图2—1•的方式直接和数据总线连接。键盘是一个例外，因为它提供七个数据位，图2—5•所示为键盘读取周期中的地址和数据线路。当6502读取键盘时，键盘数据系经过多工器J；键盘周期系在第六章中叙述。

软体开关——软体开关是一个可让Apple成为它自己硬体的输出位置，此开关可在软件控制下设定各种显示方式的视讯电路，它们的名字如文字方式，混合方式，第二页及HIRES方式即是应用。

电路板上的I/O将在第七章中仔细讨论，而第五章和第八章中也将讨论此软体开关。

扩展 I/O

除了电路板上的I/O外，我们还需要扩展，为了达成此一需求，Apple II母板上提供有八个50只接脚的接口槽(图2—1•中的L)；位址，数据及总线流排皆出现于各接头上，另外各接头也由地址解码器中各接上一条选择线，此选择线可降低各接口卡上所需的地址解码电路，Apple II的此一特性将在第六章中详细讨论。

视 讯 (VIDEO)

Apple的视讯输出包含了在显示器或电视机上显示的文字及图形讯号。视讯讯号所需的高频部份是无法由6502微处理机直接产生的（若你对视讯讯号不熟，此时你可能需要参考附录A），所以需要特殊的硬体以产生Apple的视讯输出。当然6502的软体控制可使硬体产生特殊的文字及图形样式。

荧幕上所显示的样式系由6502所产生，而样式本身则以数据形式存于Apple的RAM中。视讯电路由RAM中读取数据，将其转换为视讯格式并由视讯输出端送出以显示于显示器上。6502和视讯电路对RAM的存取动作系属于分时的（time-shared）；在一个6502周期的前半部中，视讯电路由RAM中读取数据，而在后半部中则由6502担任对RAM的读取或写入动作。

在下面各节中，我们将讨论图2—1*中视讯电路的各方块图。

视 讯 产 生 器

视讯产生器M可以系统时钟讯号为参考讯号而产生一个十五位元的视讯位址，此一视讯位址系由六个水平位元及九个垂直位元所组成。此位址以递增顺序连续改变并且每秒约重复六十次，每次重复中垂直位址都将有262个不同的值，而对每一不同的垂直位址，水平位址将历经65个计数值。

水平和垂直扫描可选择荧幕上任何一点，各荧幕点的高度为一条扫描线的高度而宽度则约为1微秒（microsecond），视讯信号也包含荧幕上未出现的点，因为它们出现于水平或垂直消隐讯号内。

荧幕上各位置对应于唯一的一个视讯信号，我们很快就会知道，CRT中的扫描电子束系和视讯信号同步的。视讯信号的功用之一就是告诉其他硬体部份目前电子束所在的荧幕位置，其他的硬体部份即就拿适当的字母或图形符号以显示于此位置上。

图2—1*中有一条由视讯产生器至时钟讯号产生器的回授线路（feedback），此回授讯号可在每一水平扫描线发生时将系统时钟讯号延迟140nS以简化色彩图形的产生，此部份将于第三章中讨论。

记 忆 映 射 器 (Memory Mapper)

视讯位址和储存荧幕数据的记忆位址并非一一对应的，所以视讯位址必须转换成记忆体位址以取得正确的荧幕数据，此功能即由记忆映射器N来完成，即输入荧幕位置至映射器，映射器之输出即为对应的记忆位置。

记忆映射器可在软体开关控制下映射到不同的记忆位址区，例如，在HIRES的显示方式中，视讯位址所对应的记忆体范围就和文字显示方式所对应的不同。

图2—6*所示为在一个视讯周期中Apple内的线路；视讯位址进入记忆映射器，然后输

出记忆体位址。在视讯周期中地址多工器H将映射器的输出连接至RAM的地址输入,而RAM的输出数据则存于锁定器I中,此数据随即输入至视讯产生器P。

视 讯 产 生 器

视讯产生器是将锁定数据转换成视讯数据送入混频器 (mixer) Q, 在混频器中, 视讯数据将与同步及色彩脉冲讯号混合以产生合成视讯输出。

视讯产生器的转换过程是由软件开关来控制, 例如在LORES显示方式中, 视讯产生器处理数据的方式就和文字显示方式不同。

同 步 讯 号 产 生 器

同步讯号产生器R利用视讯位址以产生同步, 色彩脉冲 (color burst) 及消隐讯号, SYNC及COLOR BURST是在混频器Q中混合。合成视讯输出的同步部份使CRT的扫描电子束可和视讯信号同步, 而色彩脉冲部份则使显示装置的色彩电路和Apple的内部色彩参考时钟讯号同步。消隐讯号系和视讯产生器连接, 它可在水平及垂直消隐间隔内强迫视讯讯号回扫。

电 源 供 应 器

Apple II具有一个交变电源供应器 (switching power supply), 它可对母板, 键盘及扩展I/O接头提供+5V, +12V, -5V及-12V的电压。交变电源供应器的特点在于高效率及较小的体积, Apple的电源供应器设计也消除了原来的重型线电压变压器 (line transformer)。ac线输入经整流后将转换成高频ac, 然后此高频ac将经一小型变压器而藕合至电源的次极 (secondary)。

基 本 原 理

图2—7为电源供应器的简化图; 桥式整流器CR1负责交流输入的整流, 所产生的直流电经C1而予以滤波, 此直流电将在Q3开启时形成一道电流流经变压器TR1的初级圈 (primary winding), 而晶体管Q3则是高频率开关。在各周期中, 当Q3开启时, 能量系储存于TR1中, 而当Q3闭止时, 此能量即藕合至次级圈并使电流流经输出负载。

设计中提供了经Q3基极而控制其导通的电路, 此控制电路的工作电位是由TR1的第二个初级圈提供。

在次级圈方面, 由整流二极管及滤波电容可得到四种dc输出电压。

稳压 (regulation) ——晶体管Q4是作为感测+5V输出的比较器, 而电阻R15及Zener二极管CR19则由+12V输出处得到一个参考电压, 此参考电压是加于Q4之基极, Q4之射极则经R20而和+5V输出连接。当Q4导通时, 一道电流将流经LED, 此LED系为光耦合器 (optical coupler) AR1的一部份, 而所发射的总光量则为+5V输出电压的函数。若+5V

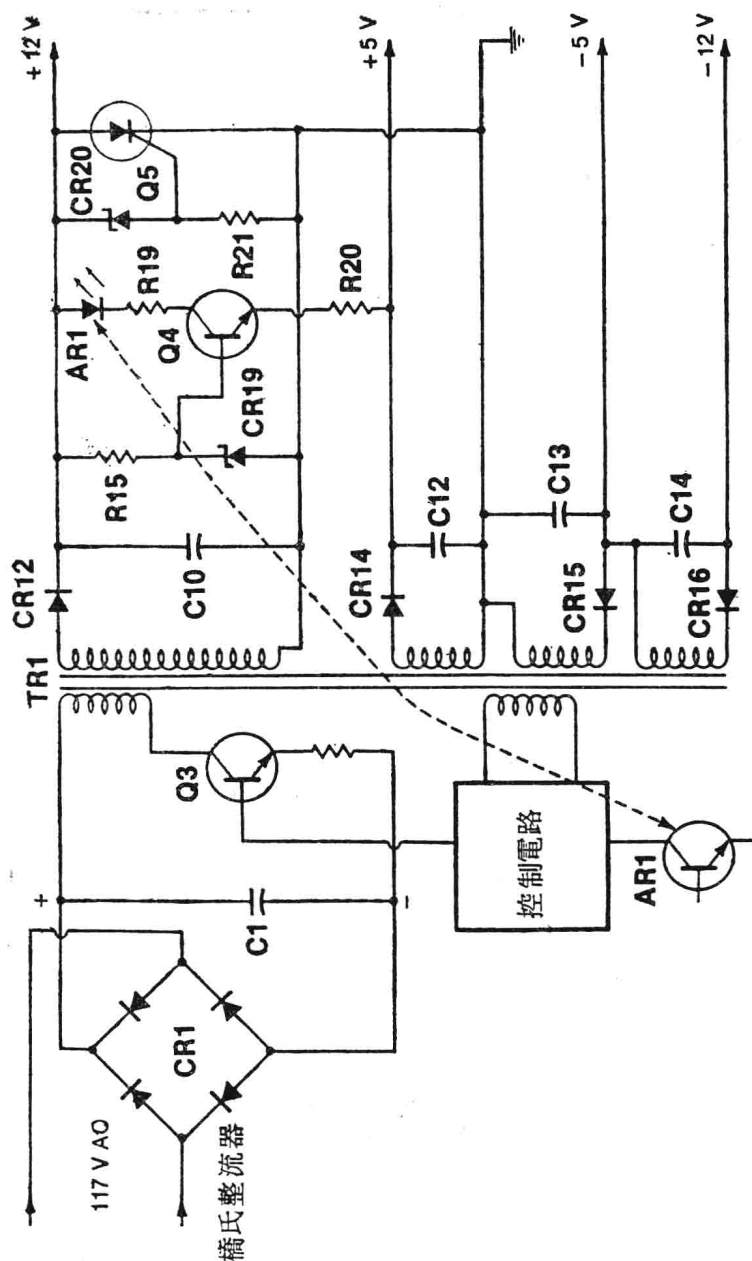


圖 2-7 電源供應器的簡化圖

輸出降低，Q 4 的導通將增加而使 LED 發射更多的光，此光將耦合至 AR 1 的光電晶體部份而另其導通量增加，此時經控制電路，回授將使 Q 3 送更多的能量至 TR 1，而所產生的結果是增加 +5V 的電壓輸出另外 3 個電壓將根據 +5V 輸出而取得穩壓效果。

過高電壓 (overvoltage) —— 若有任何錯誤造成過高的電壓，在 12V 輸出處所增加的電位將使 Zener 二極管 CR 20 導通，這將使的控整流器 Q 5 的 閘為正而使 Q 5 導通。Q 5 的導通將 +12V 輸出短路至地而關閉整個電源供應。

完整的電源供應圖系示于圖 C—23* 中。注意：此圖系直接由 Apple II Reference Ma-