

MC68000 系列逻辑组件使用说明

中国科学院成都计算机应用研究所情报室 译

Motorola · 1984

试验所

译 序

这套MC68000系列逻辑组件使用说明是根据美国Motorola公司在1984年提供的英文版全文译出的。与在此之前我们所见到的国内有关MC68000系列的资料相比，这本使用说明比较详细完整，肯定能对国内从事有关这方面工作的人员有所帮助，所以我们组织力量译出作为较新的情报资料提供给广大读者。

参加这本资料翻译和校对工作的有颜莹、罗运民、彭应唐和吴浣尘，全书统一由吴浣尘校阅。

目 录

AN—810	采用两块MC6821的MC68000双16位端 口	(1)
AN—815	采用MC6847的MC68000彩色图形显 示	(9)
AN—816	MC68000的软件刷新存贮器插件	(12)
AN—817	采用MC6850的MC68000异步通 信	(18)
AN—819	用于使用MC68000的多外设系统的优先特性向量中断	(22)
AN—831	采用DMA的IEEE—488总线 接 口	(28)
AN—851	莫托洛拉公司的MC6845CRTC简化视频显示控 制 器	(63)
AN—854	MC68230并行接口/定时器提供高效打印机接口	(98)
AN—867	没有等待状态的高性能MC68000L12系 统	(104)
AN—880	MC68451 MMU所用的评价工 具	(109)
AN—881	MC68000微处理器的双端口ROM	(117)
AN—882	两台MC68000 MPU为基础的系统间的双同步协议和双同步数据链路	(130)
AN—886	采用MC68121 IPC和MC6844 DMAC的高速数据通信链路	(180)
AN—899	采用MC68681 DUART的MC68000系统中的终端接口、打印接口 和后台打印方法	(188)
AN—824A	使用MC6844DMA控制 器的MC68000DMA	(228)
AN—895	使用带有MC6809E的MC267X CRTEST	(238)
AN—897	MC68008最小配置系统	(317)

A—N810 采用两块MC6821的MC68000

双16位端口

MC6821外设接口适配器(PIA)是有两个8位端口的40个引脚的器件。每个端口有它自己的控制寄存器并可以根据逐位输入或逐位输出的原理配置。

在MC68000微处理器总线上配置两个PIA可以得到两个16位端口。MC68000能以高达2兆赫兹的有效速率同时访问16位数据,它适合使用新式A/D或D/A变换器时作处理之用。MC68000还适合用于包含有并行输入或输出和高数据通过率的先进外部设备。

异 步 操 作

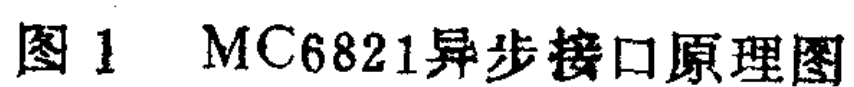
在图1上示出MC68000/MC6821异步接口原理图。典型的时序在图2给出。MC68000的边沿插头标志信号应符合MEX68KDM设计模块总线引脚的分配(EXORciser总线)。异步接口担负三个主要任务:

- 当正在寻址PIA时进行检测
- MC68000总线周期同本地E时钟同步
- 控制数据流进/出PIA

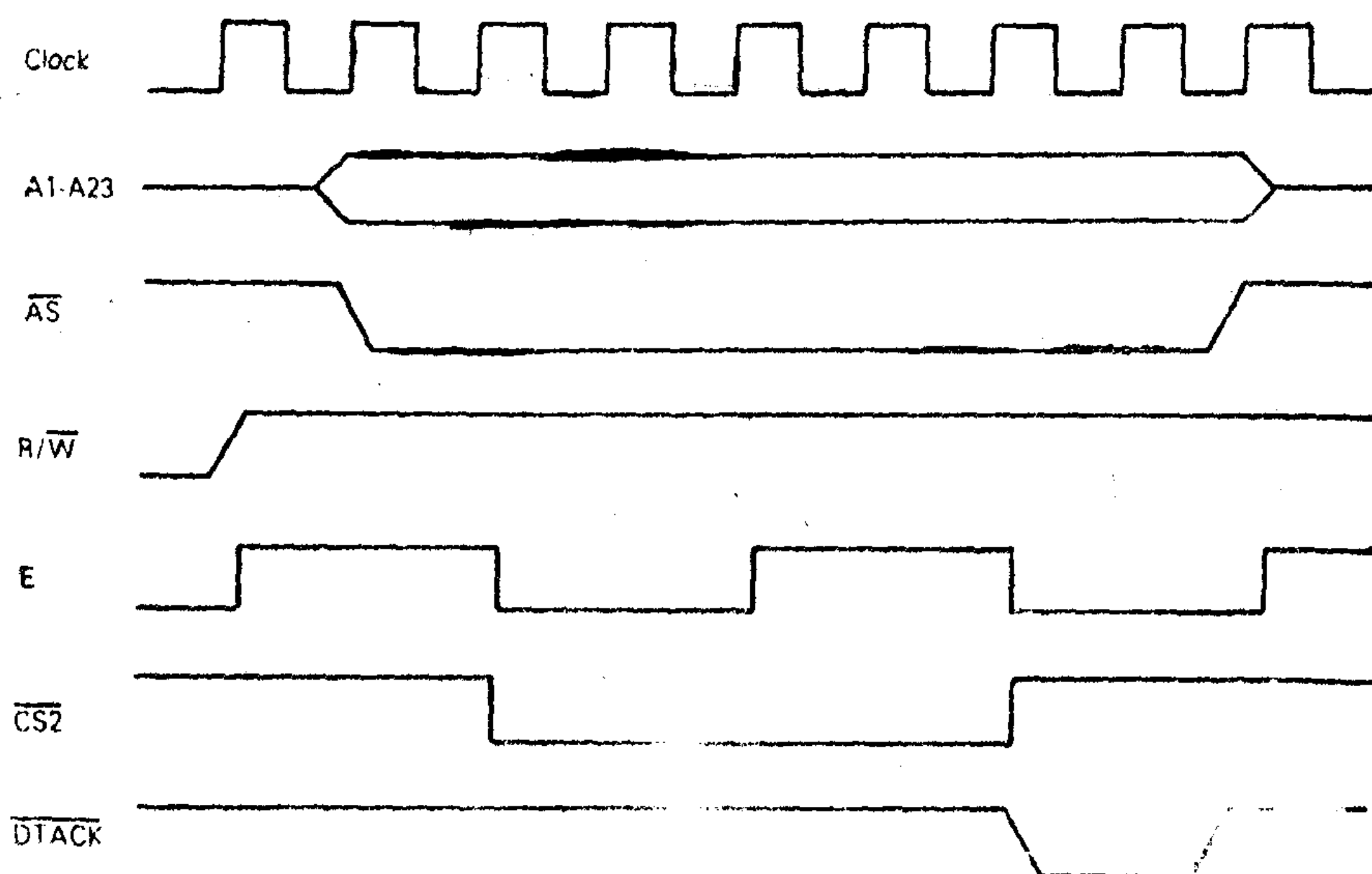
总线缓冲—缓冲器U1, U2, U3, U16, U17, U18和U19是所有的微处理器总线缓冲器/驱动器,它们使设计与MEX68KDM设计模块兼容。别的缓冲方案可能比较合适别的用途。特别是,缓冲器U5, U6, U7和U8将在数据总线不倒相的系统中提供足够的数据总线缓冲。

地址译码—两个PIA分配在\$18000—\$18007单元,如图3的存储器变换所示。地址线A5—A9(U9A)和地址线A10—A14(U9B)的“或非”同地址线A15(U11A)和 $\overline{AS}$ (U11B)相“与”从而产生片选信号(CS)。测试和置“1”操作指令(TAS)用一个不可分的读—修改—写总线周期。因此,如果用户希望在任何PIA寄存器上执行这条指令,应当用 $\overline{UDS} + \overline{LDS}$ 代替地址译码中的 $\overline{AS}$ 。如果不在这些单元执行TAS指令, $\overline{AS}$ 应用于译码网络,以便获得尽可能快的访问时间。

地址线A1和A2分别控制寄存器选择两个PIA的RS0和RS1。地址线A3和A4分别驱动每个PIA上的CS1和CS0。利用更多地址线的其它寻址方案是可能的,只有A1, A2和CS的功能是固定的。



读周期(有代表性的)



写周期(有代表性的)

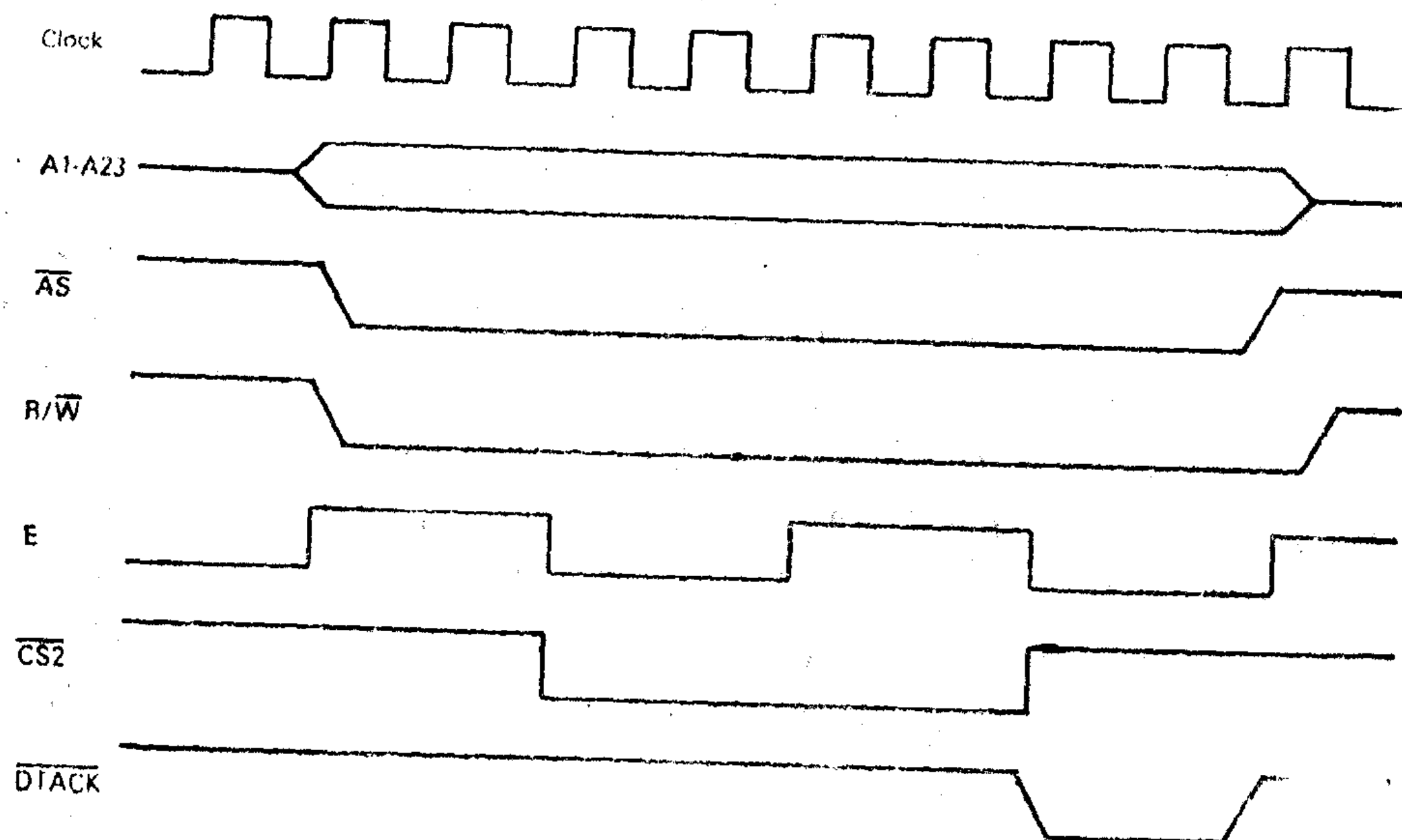


图2 异步接口时序图

18000	外部设备地址/DDR, A边
18001	
18002	CRA
18003	
18004	外部设备地址/DDR, B边
18005	
18006	CRB
18007	

图 3 存储器映射

使能同步装置——触发器U13A和U13B使MC68000存储器存取周期与使能(E)同步, 使能(E)使所有M6800系列外设运行。实质上, 这个电路只在下一个E的上升沿之前有足够的建立时间时才允许片选信号通过两个PIA。最初, CS为低电平, 因为这个器件未被选中。U13A的下一个Q输出为低, U13B的Q输出为高, 因为CS驱动两个触发器的清零输入端, 这样保持U12B的输出为高($\overline{CS}$ 加在两个PIA上), 即PIA未被选中。在选中这个器件后(CS变高), E的第一个下降沿为U13A的Q输出高电平计时, 迫使U12B输出变低, 使能两个PIA。这样允许E的整个半周期在E的上升沿之前建立。在E的下一个下降沿, U13A的Q输出为低电平。这样把 $\overline{CS2}$ 从两个PIA(经过U12B)移去, 锁存出现在总线(U5, U6, U7, U8)上的数据, 并通过一个集电极开路缓冲器(U4A)返回DTACK给MC68000。这样就结束MC68000存储器存取周期。

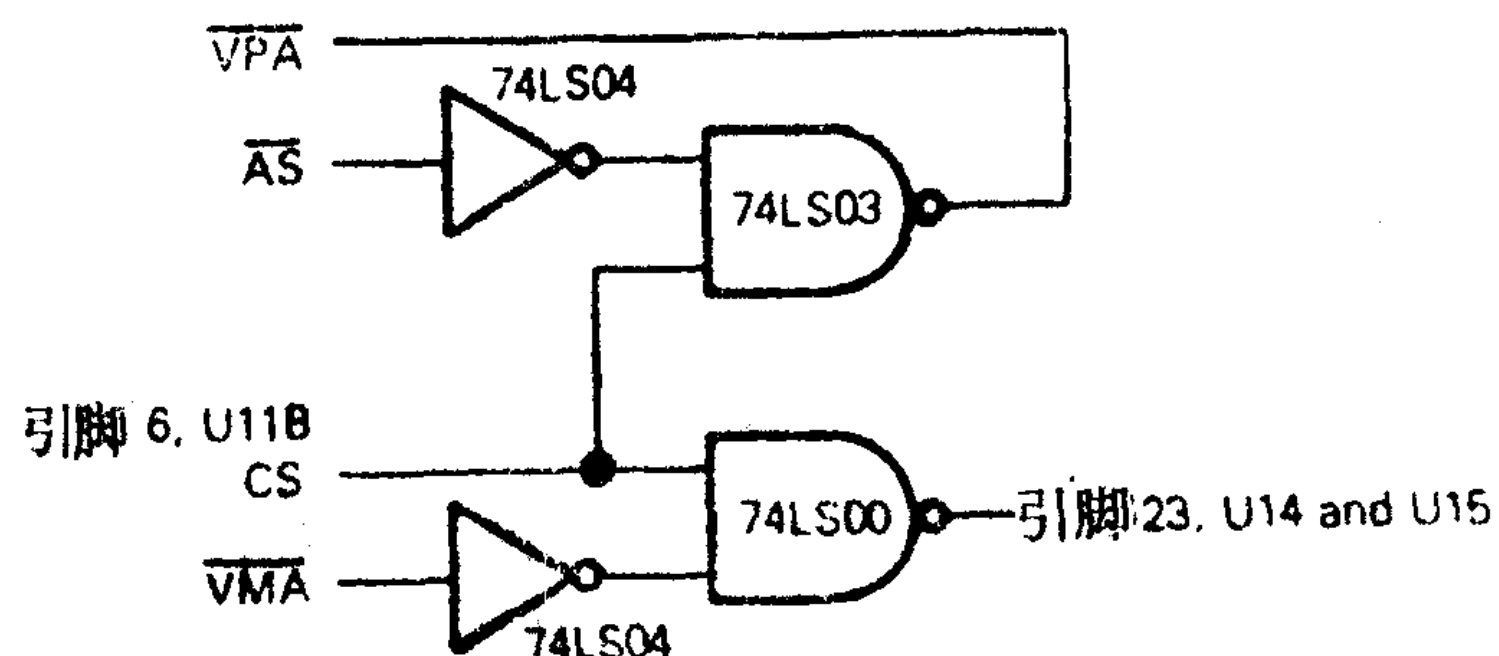
如果采用两兆赫兹的E信号, 有50%占空系数时, 最好情况将得到875ns的存取周期时间, 最坏情况为1375ns的存取周期时间。

总线缓冲启动——门U12A和U10D协调进/出PIA的双向数据线上的数据流。这些门构

成布尔方程式 $R/\overline{W} \cdot CS$ (U12A的引脚3), 它是数据流经U16, U17, U18和U19进/出PIA的门。允许数据通过锁存器U5和U7从PIA流到MC68000总线。还有, 信号 $R/\overline{W} \cdot CS$ (U10D的引脚8) 允许数据通过锁存器U6和U8从MC68000总线传送至PIA。锁存器U5, U6, U7和U8保证在整个MC68000周期内有效数据在总线上, 正好不在PIA被选中时。

同 步 运 行

MC68000可直接应用M6800外设控制总线控制M6800的同步部件。这条总线由使能(E)有效存储器地址 ($\overline{VMA}$) 和有效外设地址 ($\overline{VPA}$) 组成。用图4电路替换图1的U13, U12B和U4A可以使两个16位端口同步工作。当检测到片选信号时, 通过一个集电极开路的NAND门返回有效外设地址 (VPA) 及线或信号。当处理器响应 $\overline{VMA}$ 时, 就选定PIA (在U12B的引脚6)。在这种情况下, 由MC68000提供使能 (E) 信号, 其频率为系统时钟的 $1/8$ 。MC68000必须使 $\overline{VMA}$ 与E内部同步, 所以这个方法不能象异步接口那么快的访问。



注意: 当使用 $\overline{VMA}$ 时, 应该断开AS, 使CS译码 (图1, U11B) 及其输入处于有效状态。

图4 同步接口线路

软 件 说 明

因为高位和低位数据选通 (UDS, LDS) 在地址译码中都不使用, 不能访问单独一个P

IA。然而，MC68000中的字操作必须从偶数地址开始访问。所以，用户一定要注意在有偶数地址的PIA寄存器中寻址。如果希望单个访问，应该把地址线A3移位到地址译码网络上，并且LDS经一个反相器再加到U14的CS1上。同样，UDS经过一个反相器再加在U15的CS1上。这样就可得到图 5 的存贮器变换结果。

外 部 控 制 线

图 1 上PIA的外部控制线（CA1，CA2，CB1，CB2）的配置和标号是为每个被编程来供交接操作之用的16位输入端口（每个PIA的A边）及16位输出端口（B边）的。这些控制线还可能有其它配置。最合乎要求的配置将决定于所连接的外部设备类型和应用场合。图1配置的典型初始化程序在图 6 中给出。

18000	外部数据/DDRA	(U15)
18001	外部数据/DDRA	(U14)
18002	CRA	(U15)
18003	CRA	(U14)
18004	外部数据/DDRB	(U15)
18005	外部数据/DDRB	(U14)
18006	CRB	(U15)
18007	CRB	(U14)

图 5 另一个存贮器映射

操 作 方 式

PIA可以按两种基本方式中的一种工作，轮询或中断驱动。当有比较多的外设在线路上时，轮询方式可能使执行时间开销过长。于是中断方式往往是有吸引力的另一方案。有许多方法运行中断驱动系统，特别是在有 7 级中断优先权的MC68000上能够处理多达192个独立的用户中断向量。MC68000/MC6821接口产生 4 级中断请求线，它们可以得到非常灵活适用的中断，不管使用的优先权方案如何，也不管把PIA配置为 8 位端口、16位端口还是两种端口的组合。

32 位 端 口

如果允许地址线A1驱动RS1，地址线A2驱动RS0，那么两个PIA的外部数据寄存器 将占据从 \$18000开始的存贮器的 4 个连续单元。这些单元可以用作32位输入或输出端口。控制寄存器A被安排在 \$18004单元，控制寄存器B在 \$18006单元。要记住这后两个寄存器各个的宽度都是16位，如图 7 所示。用像

```
MOVE.L $18000, D0
```

那样的长字属性操作码可以访问32位端口。

结 束 语

两个PIA为MC68000提供一个极好的并行I/O端口，它们可以容易地接到标准异步总线上。如果采用B个串联器件，PIA可以以高于1.0兆赫兹的有效速率进行访问。

报告21 MC68000 ASM REV=1.0莫托洛拉公司1978年

```
2
3          ※
4          ※
5          ※
6      0001B000 PDATA    EQU    $18000  外设数据寄存器A单元
7      00018004 PDATB    EQU    $18004  外设数据寄存器B单元
8      00018000 DDRA      EQU    $18000  数据方向寄存器A单元
9      00018004 DDRB      EQU    $18004  数据方向寄存器B单元
10     00018002 CRA       EQU    $18002  控制寄存器A单元
11     00018006 CRB       EQU    $18006  控制寄存器B单元
12     00000000 DIRA      EQU    $18000  输入时置位所有16A
13     0000FFFF DIRB      EQU    $FFFF  输出时置位所有16B
14     00002525 INITA     EQU    $2525  CRA初始化的值
15     00002525 INITB     EQU    $2525  CRB初始化的值
16     00000000 ACDRA     EQU    $0000  通过CRA访问DDRA值
17     00000000 ACDRB     EQU    $0000  通过CRB访问DDRB
18          ※
19          ※
20          ※
21 000000 33FC0000
      0001B002 MOVE.W    #ACRA, CRA  打开DDRA (16位)
22 00000B 33FC0000
      0001B000 MOVE.W    #DIRA, DDRA  A边作为输入端
23 000010 33FC2525
```

0001B002 MOVE.W #INITA, CRA 信号交接方式, 允许中断

24 00001B 33FC0000

0001B004 MOVE.W #ACDRB, CRB 打开DDRB (16位)

25 000020 33FCFFFF

0001B004 MOVE.W #DIRB, DDRB B边作为输出端

26 00002B 33FC2525

0061B006 MOVE.W #INITB, CRB 信号交接方式, 允许中断

27 ※

28 ※

图 6 初始化子程序

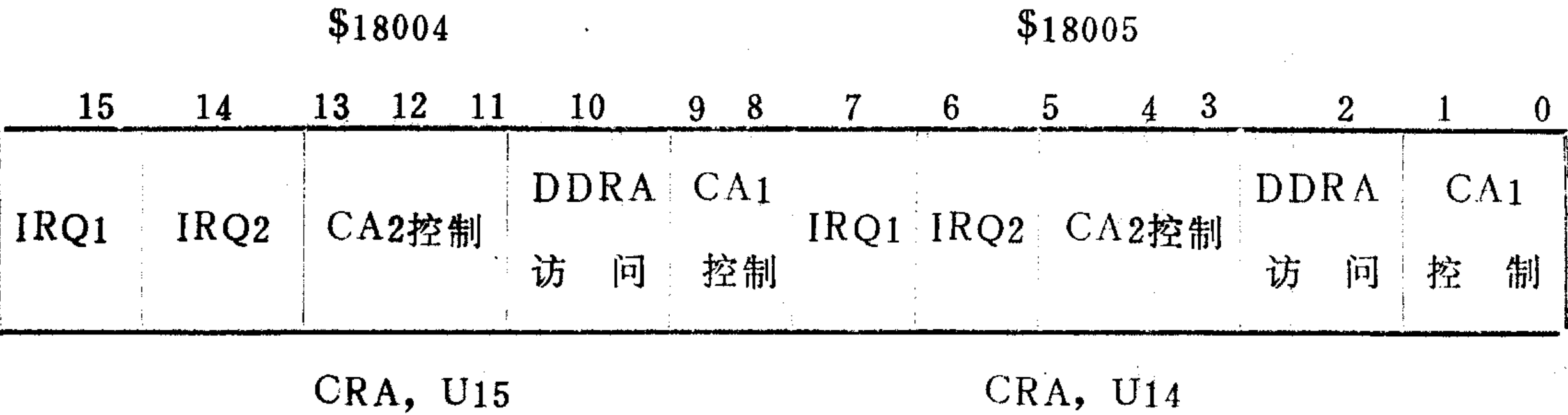


图 7 16位控制寄存器

颜莹 译

AN—815 采用MC6847的 MC68000彩色图形显示

在MC68000的各种应用中采用彩色图形显示可能是有价值的。一般来说,彩色图 示 电 路 价 钱 昂 贵、结 构 复 杂。黑 白 图 形 电 路 通 常 能 力 有 限,而 且 完 全 是 硬 件。MC6847视 频 显 示 发 生 器 (VDG) 的 成 本 低、用 途 广、在 应 用 中 容 易 更 换。

VDG根据显示存贮器读出的信息,按VDG控制引脚规定的方式产生一种组合视频信号。这种组合视频信号可用来调制某些市场上买得到的彩色或黑白电视接收机的输入。VDG有12种性质不同的有效显示方式,并且允许在某些方式内进行变换。所有显示方式和它们的改进方案都由八种不同的VDG引脚状态控制。八种显示方式引脚使用户能在单一显示帧上组合显示方式,例如字母数字和适合图形方式的组合。

MC68000的16位数据总线使用户能完全控制所有VDG在运行中的显示方式。这种对VDG显示方式的附加控制与MC68000的能力相结合,便能通过它的扩充运算能力和快速有效移动数据块的能力去处理数据,使用户能监控和显示快速有效改变的数据,因而在商业、工业和科学研究应用中都是必要的。在本使用说明中介绍的MC68000/MC6847接口及其改进方案可在一般用途中使用。

基本实现过程

因为VDG显示的信息被存贮在存贮器中,所以MC68000通过改变那些存贮器的内容可以更改显示。于是MC68000/MC6847接口成了共享存贮器接口。主要问题变成要保证一次只能有一个器件访问存贮器的问题。图1是MC68000/MC6847接口的框图。

MC68000与显示存贮器之间通过三态缓冲器和接收器实现缓冲,这些三态缓冲器和接收器只有在处理器访问显示存贮器时才起作用。在处理器访问期间,迫使VDG地址总线处于高阻抗状态。显示存贮器只有12位宽,4位锁存器用来捕捉某些VDG控制脚的数据。注意,并非所有VDG显示方式都可以在用户不另加某些信号的情况下就可用在相同的帧上。然而用附加的6K×4位存贮器可以代替锁存器。产生的数据传送应答信号(DTACK)是为了有效地利用速度不同的存贮器。

电 路 说 明

图2是MC68000/MC6847接口原理图。围绕两个8选1译码器SN74LS138构成选择电

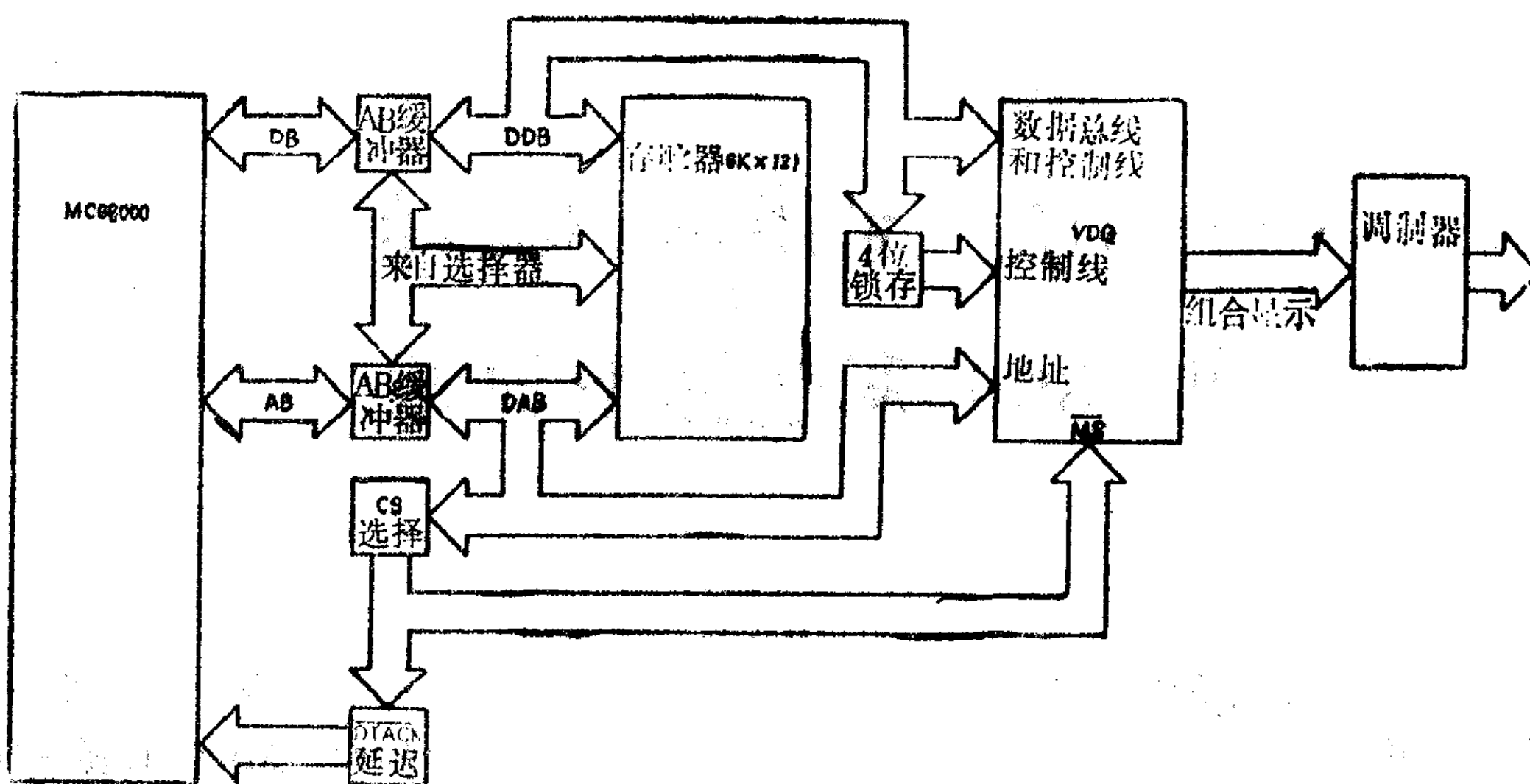


图 1 MC68000/MC6847接口框图

路。如果MC68000访问任何一个 6 K 存贮器，SN74LS21的第 8 引脚输出把显示存贮器总线从VDG转换到MC68000上。首先，将VDG地址总线置于高阻抗状态；下一步不选SN74LS138以便只访问被MC68000选中的存贮器；最后，数据和地址缓冲器把MC68000的地址和数据总线连到显示存贮器上。如果MC68000不访问存贮器，那么通过把数据和地址缓冲器置于高阻抗状态的办法使MC68000与显示存贮器隔离开。译码器SN74LS138—2被选中并访问VDG所需要的显示存贮器。然后释放VDG，以便扫描显示信息存贮器（MCM2114）。

为了保证在同一扫描帧内使用兼容的显示方式，只锁存写入某一偶数存贮单元的最近的数据，所以，在MC68000向显示存贮器两次写入之间VDG将从SN74LS74锁存器 读出同一数据。但是如在VDG显示扫描时间内出现MC68000的写操作，用户仍可能对显示产生不良影响。当VDG不在有效显示窗口内时，VDG的帧同步引脚为低电平，并可用作中断或轮询以决定MC68000什么时候才能可靠地写入显示存贮器。

用SN74LS95移位寄存器可以产生DTACK信号，这个信号对完成MC68000显示存贮器的访问是必要的。移位寄存器在每次连续输出中将增加两个附加等待状态，即是Q1 给出 2 个等待状态，Q2 给出 4 个等待状态，Q0 输出没有等待状态。表 1 列出临界的两种存贮器技术说明，数据建立时间和存取时间和保证操作所必须的移位寄存器输出。

表 1 移位寄存器请求输出

数据建立时间 (ns)	Q0	Q1	Q2	Q3
	230	355	480	605
存取时间 (ns)	250	375	500	625

一般情况下,存取时间超过临界技术说明。已经选定Q1输出与供本应用中所采用的MC2114—30(300ns存取时间)存贮器配合使用,尽管也能用较快的和较慢的存贮器。显示存贮器的速度决定数据传送到显示存贮器的速率。决定数据传送速度的其它因素是:用来决定什么时候VDG脱离有效显示区的方法和移动数据的软件例程。

结 束 语

这篇使用说明介绍的MC68000/MC6847接口,可根据用户的用途用相对来说不太费事的硬件能进行扩展或压缩,只要不产生总线竞争,任何共享存贮器的方法都可使用。甚至在本应用中采用的简单方法也可得到功能很强、而且成本低廉的MC68000彩色图形显示系统。

颜莹 译

AN—816 MC68000的软件刷新存贮器插件

这本使用说明介绍在八兆赫兹的MC68000系统中实现软件刷新动态存贮器插件所用的软件和硬件。这种刷新方法所花费的时间比处理器时间少百分之五。本设计选用的是MCM4116 16K RAM, 但这里讨论的方法也可以用于MCM6664 64K RAM。

刷新方法分成两类: 即硬件刷新和软件刷新。硬件刷新需要较多的密集组件, 但编程时间短或无额外开销; 而软件刷新只用少量硬件, 但额外开销较多。

硬件刷新意味着请求电路必须在很少影响或不影响处理器执行指令的情况下刷新动态RAM单元。正常情况下, 这就意味着在周期的不用部分访问地址总线; 另一个缺点是电路复杂, 往往需要采用扩展延迟线。

软件刷新意味着为了刷新动态存贮器, 处理器必须执行软件程序。为了完成这项任务, 需要专用中断服务程序, 如象MC68000上的七级中断服务例程就可以用来刷新存贮器。每次中断被识别后, 硬件使能允许刷新程序去刷新动态RAM。

定 时 信 号

MCM4116 RAM和MC68000的定时要求条件容易满足, 因为MC68000总线结构具有异步特性。通过利用数据传送应答 (DTACK) 信号, MC68000可以等待最低速的RAM。只要DTACK在任何时钟状态 (S4或之后) 的下降沿之前确立建立时间, 它就会在那个状态下被识别。访问在 $1\frac{1}{2}$ 个时钟周期之后结束。图1给出读、写和刷新操作的时序图。

RAS和CAS信号分别是七条存贮器地址线A1到A7的行地址和列地址多路转换控制输入。因为没有片选输入由这个动态存贮器发出, RAS是起动存贮器访问周期的低电平有效信号。当RAS变低时, 要访问的存贮单元的行地址被锁存在存贮器中。类似地, CAS的下降沿把列地址锁存在存贮器中。

图1所示的刷新周期通常称为RAS—唯一的刷新。行地址选择为低电平, CAS为高电平, R/W无关紧要, 要刷新的这行的行地址出现在第七条地址线上。存贮器的每行需要每隔2毫秒完成一个刷新周期来保存数据。对MCM4116存贮器来说, 有128行, 因此128个刷新周期都需要每隔2毫秒刷新一次。

硬 件 说 明

图2是采用MCM4116存贮器的动态存贮器插件原理图。当把这种插件用在MC68000系统中时, 它可提供物理地址映射从32K到96K的64K字节存贮器。

利用高位和低位数据选通和地址线A15和A16可以执行存贮器译码。两个数据选通分别

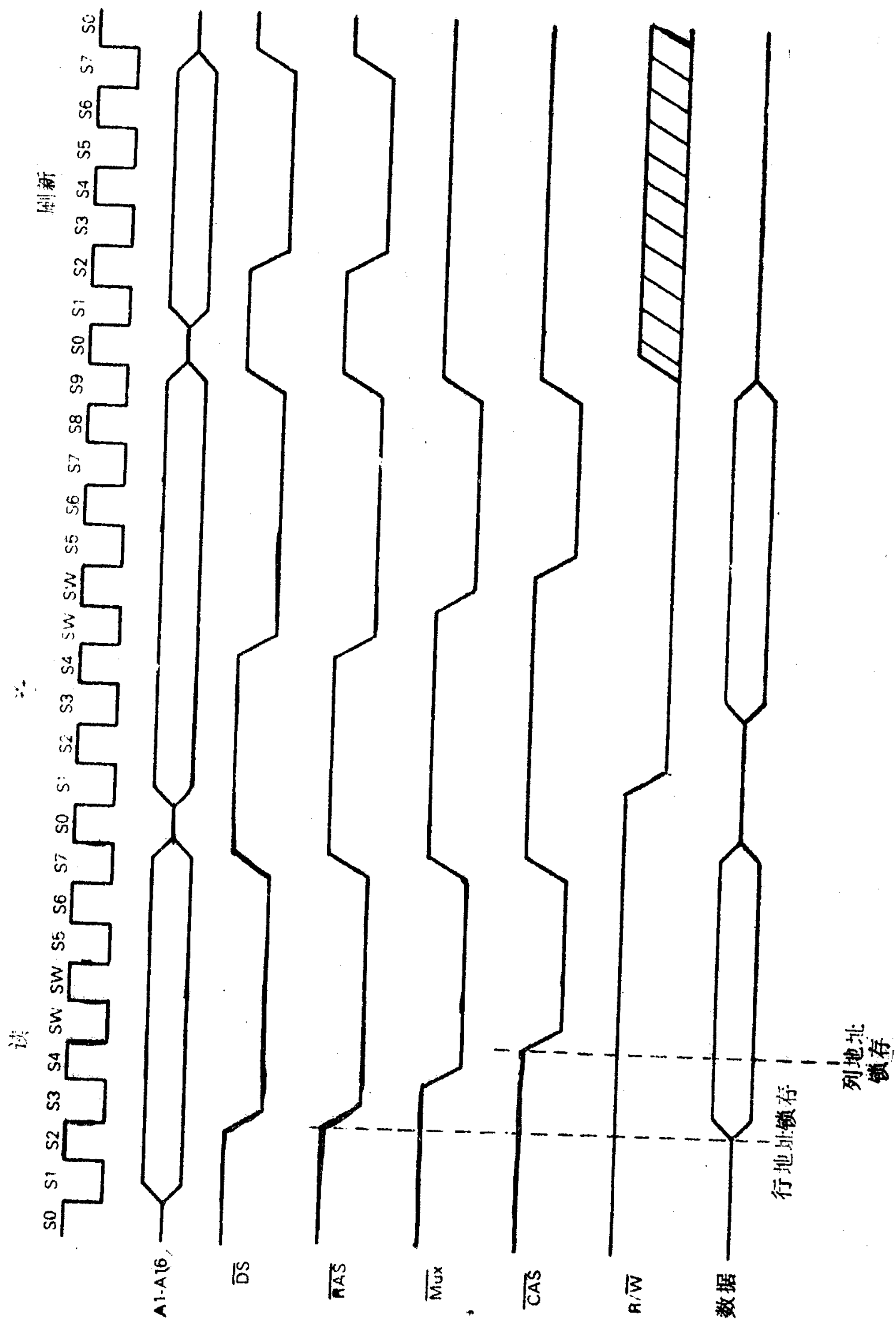


图 1 读写和刷新时序图

把存储器分成偶数存储块和奇数存储块。高位数据选通芯片通过驱动行地址选择高位 (RASU) 信号可选择从32K到96K的偶字节。地址线A15和A16通过译码器U2和门U4可以对所选择的偶数存储器的两个存储体中 (RAS1U或RAS2U) 任何一个译码。同样地, 低位数据选通驱动行地址选择低位 (RASL) 信号。

利用触发器U9可以在RAS确立后, 在八兆赫兹时钟的第二个下降沿驱动列地址选择 (CAS)。当数据选通无效时RAS和CAS两个信号都断开。

由多路转换器U7和U8为动态存储器提供多路转换地址。地址线A1到A7的行地址在存储器地址线上存在到RAS确立为止。在八兆赫兹时钟的下一个上升沿, 地址线A8到A14上的列地址是在存储器地址线上。只有当RAS或CAS出现时, 使能多余的多路转换器, 多路转换地址才有效。

U11控制存储器刷新, 它是MC6840可编程定时器模块 (PTM)。一旦编程, 所用的PTM定时器 (PTM有三个定时器) 每隔1.9毫秒产生一次7级中断 (2毫秒是程序执行时间)。该中断在刷新的同时使能存储器的四个存储体。

采用M6800型外设的中断根据内部向量表进行处理。图4是采用MC68000产生向量中断 (一级到七级) 的硬件原理图。出现在IPL0, IPL1和IPL2线上的中断级对照处理器的中断级进行检验。如果它比内部中断级高些, 就开始中断序列。功能码输出将是高电平, 而A1, A2和A3地址线就是正在服务的中断向量号 (在这种情况下全是高电平)。现在译码器U1和U3 (图1) 将七级中断译码, 并通过U13和U9产生给MC68000的有效外设地址信号 (VA)。有效外设地址信号的确立可以给要取得的七级中断造成内部向量表条目, 并用作服务程序起始单元。与此同时, U12和U13使能所有RAS信号, 并禁止CAS, 以便刷新存储器。

可 选 择 的 硬 件

采用存储器器件可能出现丢失数据的情况。如果复位键闭合时间太长, 数据将被丢失。为防止这种情况, 可以增加图3的电路。它可以产生单独的E周期复位, 以保持存储数据的完整性。

开始给MC68000通电时, 应该在电源电压达到4.75伏后必须产生复位至少100毫秒, 使正常通电复位。这意味着应该用一个击发或电阻电容组合电路使触发器的清零引脚在要求时间内保持或低于逻辑低电平 (0.8伏)。E信号将计时2位计数器两次。在取消系统复位时可以预置触发器U3。在非通电复位时, 复位开关闭合, 向触发器U3计时送入低电平。门U4用来防止复位开关抖动, 保证只给U3触发器一个时钟脉冲。再次, E要对取消复位的计数器计时。

软 件

行地址唯一选择刷新是这种应用中所用的刷新方法。它由硬件使能 (七级中断) 和服务程序的128个空操作来完成。作为所有四个RAS低电平使能的七级中断发出和禁止CAS信号。每次NOP使地址总线加1为刷新所有四个存储体提供所需的128个行地址 (0到127)。地址总线加1可以访问和刷新那个行地址。