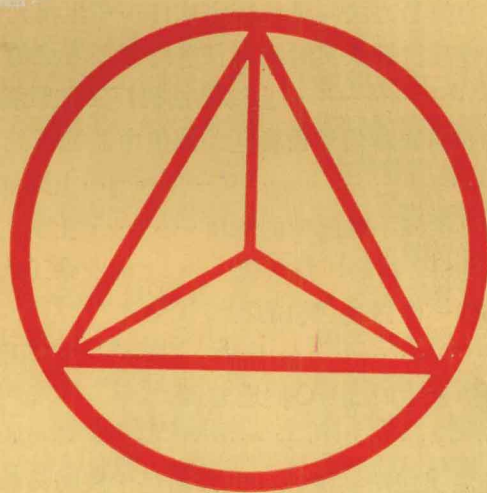


晶峰器件应用

一位微处理器应用

(修订版)



8

专 辑

上海元件五厂

晶体管元件应用

——晶体管内部结构——

（内部结构）



上海人民出版社

“晶 峰” 器 件 应 用

第 八 期

(一位微处理器应用专辑)

1983年6月出版

1984年6月修订

目 录

(一) 大力开展一位机在工业控制中的应用.....	上海元件五厂	(1)
编者说明.....		(1)
(二) 5G14500 CMOS一位微处理器.....	上海元件五厂市场开发部	(2)
(三) 答一位微处理器用户问.....	张勉令	(51)
(四) 5G14500扩展入出口的简易方法与系统应用软件.....	上海元件五厂 张勉令	(58)
(五) 应用5G14500一位微处理机解决实时控制任务时需要考虑的几个问题	上海柴油机厂工艺设备研究所 沈岳祥	(66)
(六) 5G14500一位微机构成的铁路信号设备远距离集中监视系统	上海铁道学院 员春欣	(77)
(七) 5G14500一位机在通用机械手控制中的应用.....	上海工业大学 顾胜华	(85)
(八) 用于SZ—350注塑机的5G14500ICU系统.....	上海业余工大自控系 林章省	(92)
(九) 移动电话使用5G14500一位微处理机的初步试验	邮电部一所 丁怀元	(100)
(十) 5G14500在同类多用户使用时的I/O扩址方式	邮电部一所 张洪达	(105)
(十一) 5G14500一位微处理机应用实例.....	上海海运学院防污染研究室 金起农	(110)
(十二) 用5G14500一位微机控制测点自动转换	苏州水泥制品研究所 雷宏成	(114)
(十三) 用于自动注药控制血压的5G14500一位微处理机	上海第二医学院电生理技术研究室 蒋学鹤 王载礼 金正均	(120)
(十四) 用5G14500一位微处理机组成的混凝土搅拌楼控制器	上海水泥制管厂 徐大成	(125)
(十五) 5G14500一位微处理机的检查与诊断.....	营口市电子研究所 党中厚	(139)
(十六) 扩大5G14500功能的简便方法.....	邮电部一所 丁怀元	(142)
(十七) 用5G14500一位微处理机解决随机选取控制的周期程序问题	武钢职工大学电气系 闻朝中	(144)
(十八) 摘要报导七篇.....		(149)

大力开展一位机在工业控制中的应用

上海元件五厂

自1977年美国MOTOROLA公司推出MC14500一位微处理器系列电路以来,这一系列已在世界各地被广泛应用。我们厂在一机部自动化研究所的协助下,经过对MC14500系列电路的分析论证,于1980年上半年制成了全套样品,并于1980年底通过定型鉴定,推向国内市场,定名为5G14500系列。

5G14500一位微处理器(又称工业控制单元)属CMOS LSI电路,集成度较高,我厂是国内第一家生产这一系列电路的工厂,到目前为止,已有近百家用户使用这一系列,有些已制成通用程控板或程控机,并投入工业控制现场,取得了一定的收益。这本专辑所选录的文章,从侧面反映了各行各业对这套电路的应用成果,有些还起到了开发的作用。

有人也许会问,在LSI迅速发展的今天,不仅8位微机已充斥市场,16位机也正在大量上市,为什么还要发展一位机呢?这是否有前途?一位机之所以诞生于8位机之后,是由于实际应用需要为背景的,应用实践告诉我们,大量的工业过程控制,有很大一部份是判别控制和开关量控制,并不需要

复杂的运算,在这些场合,用8位机并不比一位机优越。正是在这一背景下,一位机便应运而生,一上市就充分显现出其简易、方便的优点。另外,由于一位机指令简单(仅16条)编程容易,稍有数字电路基础的人员便能迅速掌握应用,因而具有易于普及推广的优点。也正因如此,这一系列电路得到冶金、机械、食品、轻工、石油、化工等非电子行业的广泛采用,展现了其强大的应用生命力。

我厂这套电路定型以来,经各行业的应用,在性能、质量等方面已有了几次改进和提高,基本上达到能与国外5G14500系列互换的要求,目前正在扩大生产,进一步提高可靠性和内在质量,并着手考虑研制一些诸如ROM等产品,加强配套能力,通过质量反馈,不断进步。

本专辑是我厂晶峰器件编辑组在广大用户协助下编写成册的,大多数文章都是经过实践后的成果汇报,有参考价值。但由于我们编辑水平有限,其中有些不妥之处,希望读者批评指正,我们深信在广大用户支持下,一位机的应用将更加普及,开发出更多的应用领域,在工业自动化进程中作出应有的贡献!

1983年6月

编者 说 明

《一位微处理器应用专辑》出版以来,在八三年六月召开的《全国一位微处理机应用交流会》上作了交流和发放,受到了广大用户单位欢迎和好评,纷纷要求订购,但由于印刷数量的限制,不能满足用户单位的需要深表歉意。在当前世界新工业革命的浪潮中,为了更好地推广一位微处理机的应用,我厂根据读者意见对原《一位微处理器应用专辑》进行修订再版。修订版中“5G14500 CMOS

一位微处理器”一文进行了较大篇幅的补充,另增加了“5G14500扩展进出口的简易方法与系统应用软件”一文。

此外我们打算再在《晶峰器件应用》上陆续介绍我厂今年生产一位机模块产品的资料,和其他应用实例,欢迎广大用户支持投稿。

1984年6月

5G14500 CMOS一位微处理器

上海元件五厂市场开发部

一、概 述

1.一位机概况:

5G14500系列是采用CMOS工艺制造的一位微处理器,主要的功能是完成开关量的逻辑运算和控制,即对输入的一位开关量数据(二进制数的“0”或“1”)进行逻辑运算和处理,输出的一位运算结果作为控制对象的开关信号。此外,一位机还具备程序转移、分支程序、子程序、简单的算术运算和数值比较等功能,主要适用于可编程序控制装置。

微处理器作为工业控制器使用时,大部分动作是进行开关状态或装置状态的判断,从而给出“开”或“关”的动作信号。对于这种开关信号的控制,过去采用的方式有:继电器硬接线方式、逻辑元件硬布线方式和二极管矩阵方式等,以及后来发展的采用计算机技术的可编程序逻辑控制器(PLC)。前面几种具有工作可靠的优点,但程序的编制和修改是非常困难的,因而维护也不方便;PLC方式虽然具有程序编制方便、灵活性和通用性强等优点,但其造价往往很高。采用4位或8位的微处理器也能完成“开——关”控制,但在经济性和普及性等方面,一位机具有较强的竞争力,因此在机械、冶金和电力等方面的工业自动化控制中,用微处理机作为顺序控制、条件控制、定时控制、计数控制和脉冲输入控制等各种程序控制方面,5G14500系列将是一个合适的微机型种。

5G14500系列主要由四种器件组成,它们的型号和名称如下。

1. 5G145000——工业控制单元(ICU)

2. 5G14516——指令计数器(PC)

3. 5G14512——八通道输入数据选择器(IS)

4. 5G14599——八位可寻址输出数据锁存器(OL)

2.一位机特点

(1)具有16条指令功能,指令格式直观,编程和使用方便。

(2)硬件系统的输入,输出点数可以任意扩展,以适应各种规模和复杂程度的工业控制系统的要求。

(3)采用CMOS工艺制造,其主要参数为:工作电压范围 $-5\sim 15V$;静态功耗 $-10\mu W$;噪声容限 -30% 电源电压;时钟频率范围 $-DC\sim 1MHz$;输出驱动能力——一个LPTTL输入端。

二、工业控制单元—5G14500

5G14500—工业控制单元(ICU),是一位微处理器系统中的运算器和控制器,主要的功能是对输入的一位数据进行逻辑判断和逻辑运算,并送出运算结果和控制信号。

1.外引线排列和指令表:

图1示出5G14500外引线排列,各外引线端的功能由表1加以说明。

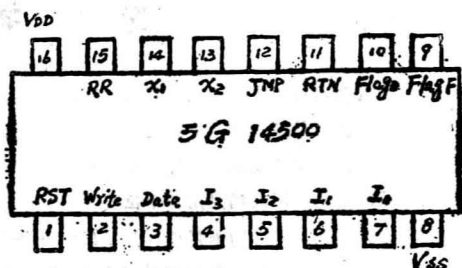


图1 5G14500外引线排列

表 1

5G14500外引线功能说明

外引线 序 号	功 能	符 号	外引线 序 号	功 能	符 号
1	器件复位输入	RST	9	NOPF操作时标志输出	FlagF
2	写脉冲输出	Write	10	NOPO操作时标志输出	FlagO
3	数据出/入	Data	11	子程序返回标志输出	RTN
4	指令字最高位输入	I3	12	转移指令标志输出	JMP
5	指令字第2位输入	I2	13	振荡器输入	X2
6	指令字第1位输入	I1	14	振荡器输出	X1
7	指令字最低位输入	I0	15	结果寄存器输出	RR
8	电源最低电位端(地)	V _{SS}	16	正电源	V _{DD}

5G14500共有16条指令功能, 如表 2 所示, 各条指令的详细功能在本章后面的指令系统部分介绍。

表 2

指 令 表

指 令 代 码	记 忆 符	作 用
0 0 0 0 0	NOPO	寄存器内容不变 $RR \rightarrow RR \cdot \text{FlagO} \rightarrow 1$
1 0 0 0 1	LD	加载结果寄存器 $\text{Data} \rightarrow RR$
2 0 0 1 0	LDC	取反加载 $\text{Data} \rightarrow RR$
3 0 0 1 1	AND	逻辑与 $RR \cdot \text{Data} \rightarrow RR$
4 0 1 0 0	ANDC	取反逻辑与 $RR \cdot \overline{\text{Data}} \rightarrow RR$
5 0 1 0 1	OR	逻辑或 $RR + \text{Data} \rightarrow RR$
6 0 1 1 0	ORC	取反逻辑或 $RR + \overline{\text{Data}} \rightarrow RR$
7 0 1 1 1	XNOR	异或非若 $RR = \text{Data}, RR \rightarrow 1$
8 1 0 0 0	STO	存, $RR \rightarrow$ 数据端(3), $\text{Write} \rightarrow 1$
9 1 0 0 1	STOC	取反存, $\overline{RR} \rightarrow$ 数据端(3), $\text{Write} \rightarrow 1$
A 1 0 1 0	IEN	输入选通 $\text{Data} \rightarrow \text{IEN}$ 寄存器
B 1 0 0 1	OEN	输出选通 $\text{Data} \rightarrow \text{OEN}$ 寄存器
C 1 1 0 0	JMP	转移 $\text{JMP Flag} \rightarrow 1$
D 1 1 0 1	RTN	返回 $\text{RTN Flag} \rightarrow 1$ 跳过下一条指令
E 1 1 1 0	SKZ	若 $RR = 0$ 跳过下一条指令
F 1 1 1 1	NOPF	寄存器内容不变 $RR \rightarrow RR \cdot \text{FlagF} \rightarrow 1$

2. 逻辑框图和工作原理

图 2 示出5G14500的逻辑框图。

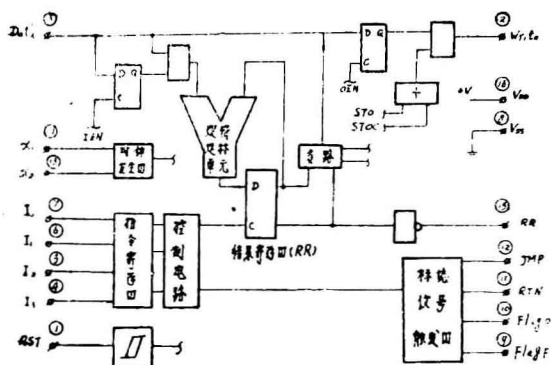


图 2 逻辑框图

框图中各部分的功能如下：

1. 时钟信号发生器 (OSC)——在13、14外引线端接一外部电阻 R_x 就可由器件本身产生一个时钟信号。时钟频率由外部电阻确定，图 3 示出时钟频率 f_{cp} 和外接电阻 R_x 的关系曲线。该时钟信号除供ICU内部使用外，还可通过14外引线端 X_1 输出，用作系统同步时钟信号。当ICU使用外部时钟信号工作时，外部电阻不接，外时钟信号从13外引线端 X_2 输入。时钟信号发生器的原理图如图 3 所示。

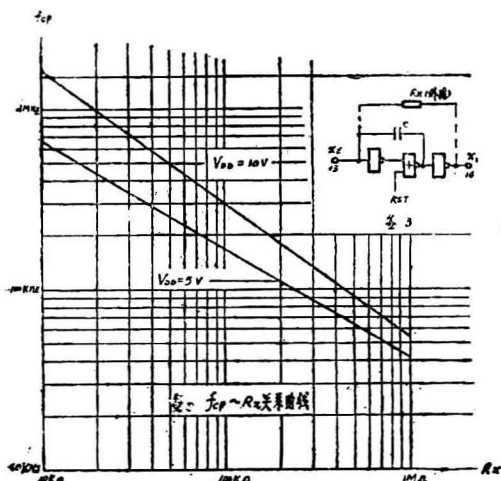


图 3 $f_{cp} \sim R_x$ 特性曲线及时钟发生器原理图

2. 复位电路(RST)当RST输入端为“1”时，ICU内部的所有寄存器同时清零，从而使RR输出端和各标志信号输出均为“0”，此时内部时钟发生器输出端(X_1)为“1”状态（见图 3）。当RST回到“0”，稍待延迟后振荡器开始起振。ICU开始工作，在电路内部，RST输入端设置了一个数百千欧的接 V_{ss} 的电阻，以保证该输入端平时为“0”。此外该输入端还具有施密特整形功能，输入电路如图 4 所示，该电路对输入干扰信号有较好的抑制能力。

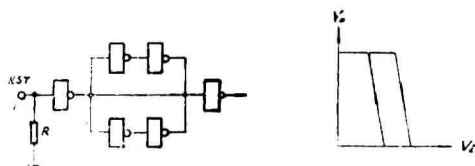


图 4 RST输入电路

3. 指令寄存器 (IR)——从存储器送来的4位指令码由4个指令输入端(I_0, I_1, I_2, I_3)送入，在时钟信号 X_1 下跳变时，指令被存入寄存器中，由于输入的指令码为4位，所以ICU总共能执行16条指令。

4. 控制电路(CTL)——在执行逻辑运算指令($1^\circ \sim 7^\circ$)以及输入、输出允许指令(IEN和OEN)时，CTL对寄存在IR中的4位指令进行译码，然后给逻辑运算单元LU和结果寄存器RR送相应的控制信号，使它们执行相应的操作，在执行其余各条指令时，CTL直接对输入的4位指令进行译码后，分别给MUX和各标志信号触发器送相应的控制信号，使它们执行相应的操作。

5. 结果寄存器 (RR)——是一个1位结果寄存器。用来存放逻辑运算的结果，RR的内容经缓冲后由外引线端⑧输出。

6. 逻辑运算单元 (LU)——把外引线端③输入的数据D和结果寄存器RR的内容作为输入，在CTL控制下，完成各种逻辑运算，每次运算结果都送至RR。

7. 多路 (MUX)——在执行STO和

STOC指令时, 分别将RR的原码或反码从外引线端③输出, ③端具有双向数据传送功能, 在执行其它指令时, MUX输出呈高阻抗状态, 不影响数据输入。

8. 输入允许寄存器(IEN)——用来控制外部输入数据向LU的传送。在执行 IEN 指令时, 该寄存器由D来设定。当 IEN 寄存器为“1”时, D可送入LU, 若 IEN 寄存器为“0”, 则随后送入的数据都为“0”, 即输入无效。

9. 输出允许寄存器(OEN)——用来控制ICU向外传送数据。在执行 OEN 指令时, 该寄存器由D来设定, 当 OEN 寄存器为“1”允许RR或 $\overline{RR}$ 通过③端向外部传送, 同时外引线端②送出写脉冲(Write), 去选通外围设备。若 OEN 寄存器为“0”, 则输出禁止, 同时封锁Write信号, 使输出无效。

10. 标志信号触发器(FF)——在执行 NOPO、NOPF、RTN和JMP指令时, 在CTL控制下, 分别在外引线端9~12输出相应的标志脉冲信号, 作为外部控制信号使用, 以实现功能的扩展。

3. 时序波形图

5G14500 使用单相时钟工作, 每时钟周期执行一条指令。在执行 NOPO、NOPF、JMP和RTN指令时, 当 X_1 时钟信号下跳变

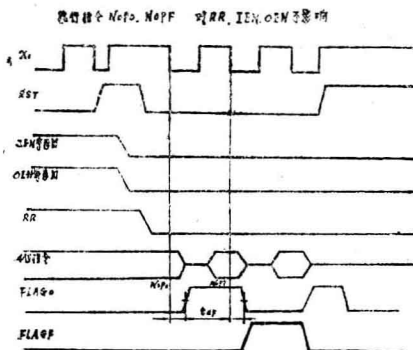


图5 NOPO NOPF指令时序波形图

时, 四个标志信号输出端 FlagO、FlagF、JMP和RTN将分别相应输出一个正脉冲标志信号。这个正脉冲信号宽度由标志信号触发器保持一个时钟周期, 即保持到下一个 X_1 下跳正脉冲结束, 如图5和6所示, 四个标志信号输出端平时输出为“0”。

执行SKZ JMP RTN指令 RR IEN OEN受影响

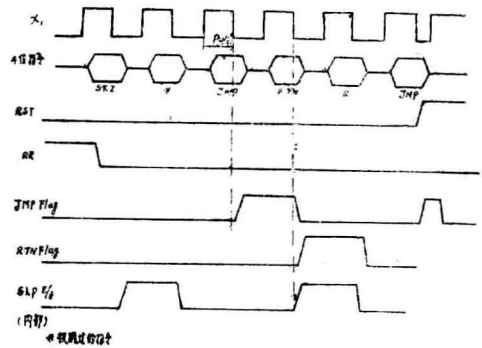


图6 SKZ JMP RTN指令时序波形图

图7示出执行STO、STOC和OEN三条指令的时序波形图。在执行STO和STOC指令时, 若内部OEN寄存器状态为“1”, 表示允许输出, 当 X_1 信号下跳变时, 内部结果寄存器的原码RR或反码 $\overline{RR}$ 由外引线端③Data输出, 输出信号有效时间持续一个时钟周期。同时在外引线端②Write同步地输出一个正脉冲写信号, 作为系统中输出电路的写选通信号。写信号正脉冲也在 X_1 下跳变时出现, 和Data端的有效输出同步, 但写信号正脉冲宽度仅保持半个时钟周期, 因此比Data端的有效输出提前结束, Write端平时为低电平。

从图中还可以看出, 若内部OEN寄存器状态为“0”, 则表示禁止输出, 此时, 即使执行输出指令 STO 或 STOC, Data端也不会呈现有效输出状态, 而是呈现为高阻抗状态, 同时 Write 端也不产生正脉冲写信号。

在执行 IEN 和 OEN 指令时, 当时钟信号 X_1 为“1”时, 系统存储器向ICU提供指令, 在 X_1 下跳变时, 指令被锁进指令寄存器

IR中。在 X_1 为“0”期间，CTL对IR中的指令进行译码并送出相应的控制信号给IEN寄存器或OEN寄存器，接着当 X_1 上跳变时，Data端上的信号就被置入IEN寄存器或OEN寄存器，并一直保持到下一次改写。由于是采用时钟边沿触发方式工作，因此要求在 X_1 下跳变时，输入指令要保持稳定，见图7和图8所示。

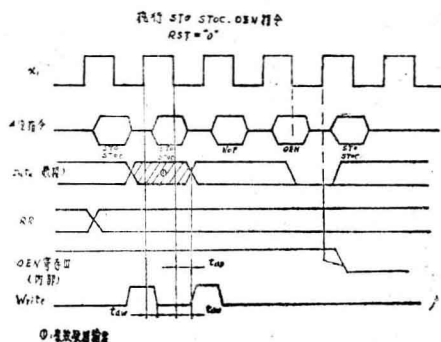


图7 STO STOC OEN指令时序波形图

执行LD LDC AND ANDC OR ORC XNOR IEN指令

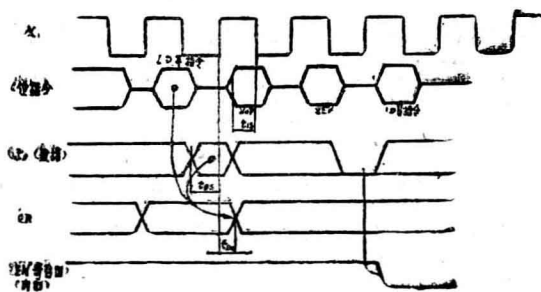


图8 IEN指令和七条逻辑指令时序波形图

在执行7条逻辑指令时(1~7)，其过程和上面二条指令相似：在 X_1 为“1”时，系统存贮器向ICU提供一条指令；当 X_1 下跳变时，指令被锁进IR中；在 X_1 为“0”期间，LU在CTL控制下执行IR中的指令；当 X_1 上跳变时，运算结果被送入结果寄存器，同时在外引线RR端输出。RR信号由结果寄存器保持一个时钟周期。同样，在 X_1 下跳变时，要求输入指令保持稳定；在 X_1 上跳变时，D端输入数据要保持稳定，见图8

所示。

从上面的分析中还可以看出，在逻辑运算中由于具有指令锁存功能，因此在一个时钟周期内实际进行了二项操作。在 X_1 为“1”时，ICU读取指令；在 X_1 为“0”时，ICU执行指令。这种结构的优点是ICU的指令线和I/O部分的地址线可以公用，从而使得存贮器内的信息可以被交替用作指令码和地址码，具体用法在后面硬件系统部分介绍。

三、指令计数器—5G14516

5G14516在一位微处理器系统中作为指令计数器(PC)用，完成的主要功能是向系统中的存贮器指示应执行的指令的地址。在一般简单的系统结构中，5G14516接成加法计数结构，在 X_1 时钟信号控制下，PC顺序作加法计数。当达到最大值后计数器自动返回到零，然后再重新开始计数。因此，在这种循环结构系统中，存贮器内的指令可反复执行。计数器的计数容量确定存贮器内指令的长度，一片5G14516有四位二进制输出，可指示16个地址，即16步指令，二片5G14516级联计数有八位二进制输出，就可指示256步指令。由此得到计数容量和指令长度的关系式为：

指令长度 = 2^n (n为计数器输出的二进制位数)

1. 外引线排列：

图9示出5G14516外引线排列，各外引线端的功能由表3加以说明。

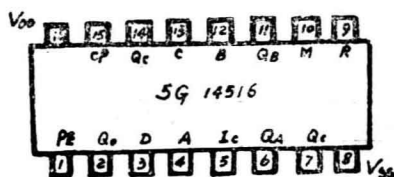


图9

表 3 5G14516外引线功能说明

外 引 线 符 号	说 明
CP	计数脉冲输入
M	加法/减法计数模式控制
R	计数器复位输入
PE	预置选通输入
A, B, C, D	预置信号输入
I _c	进位、借位输入
O _c	进位、借位输出
Q	计数器代码输出

2. 真值表和波形图：

表 4 为5G14516的真值表，时序 波形如

图10所示。

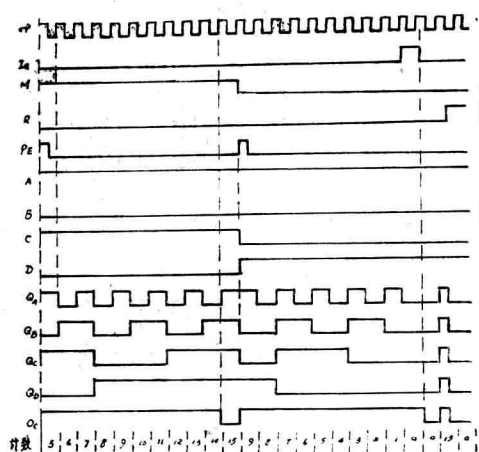


图10 5G14516时序波形图

表 4 5G14516 真 值 表

输 入									输 出			
CP	I _c	M	PE	R	A	B	C	D	Q _A	O _B	O _C	O _D
φ	φ	φ	1	0	A	B	C	D	A	B	C	D
φ	φ	φ	φ	1	φ	φ	φ	φ	0	0	0	0
φ	1	φ	0	0	φ	φ	φ	φ	不 计 数			
∫	0	1	0	0	φ	φ	φ	φ	加法计数			
∫	0	0	0	0	φ	φ	φ	φ	减法计数			

“φ”为任意状态

3. 逻辑图和工作原理：

5G14516是可预置四位二进制可逆计数器，图11示出它的逻辑图，从图中可以看到，该可逆计数器主要由四个T 触发器及附加一些外围逻辑控制电路组成。

5G14516的计数时钟信号由CP端 输入，每次 CP 上跳变，计数器进行计 数。M端控制计数器进行加法计数或减法计数。

从真值表中可以看出，M=“1”，加法计数，M=“0”，减法计数。R为计数器复位端，

R=“1”，计数器清零，在计数器正常计数时，R须保持“0”。PE为预置允许端，当需要预置数时，使PE=1，则数据输入端 A、B、C、D上的数据同时并行置入计数器中。I_c和O_c端是为计数器多块级联使用而设置的。I_c的控制作用为：I_c=“0”，允许计数器计数；I_c=“1”，禁止计数器计数。O_c输出取决于计数器状态，在加法计数时 (M=1)， $O_c = Q_A \cdot Q_B \cdot Q_C \cdot Q_D$ ，即当计数器为全“1”状态时，O_c 输出一个负脉冲，宽度为一个时钟周期，平时O_c保持高电平。在

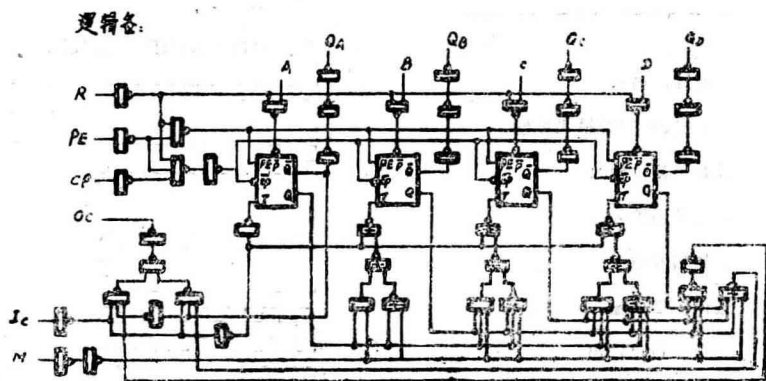


图11 5G14516逻辑图

减法计数时($M=0$)， $O_C = Q_A \cdot Q_B \cdot Q_C \cdot Q_D$ ，即当计数器为全“0”状态时， O_C 输出一个负脉冲，同样 O_C 在其余状态保持高电平，见波形图。

在实际使用时，往往是把多块5G14516级联连接使用，以扩展计数器的计数容量。借助14516的 I_C 端和 O_C 端，可以方便地实现多块计数器的级联连接，如图12所示。图中高位5G14516的 I_C 端连接到低位5G14516的 O_C

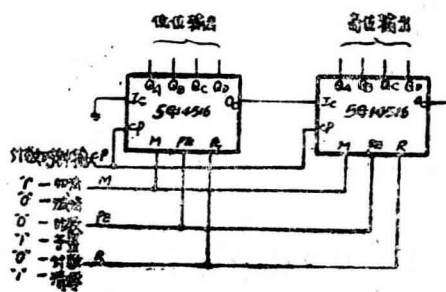


图12 5G14516级联连接

端，低位 I_C 端直接接“0”，即允许计数状态。如果计数器进行加法计数，使 $M=1$ 。 CP 端每输入一个计数时钟，低位计数器加1，在低位计数器未计到全“1”状态前，低位 O_C 为高，使高计数位处于禁止计数状态。此时即使 CP 端输入计数时钟，高位计数器也不能计数。当低位计数器计数到最大值

时，即全“1”状态，低位 O_C 端输出一个负脉冲，在该负脉冲期间，允许高位计数器计数。因此当下一个计数时钟输入时，高位计数器加1计数，同时低位计数器从全“1”状态回到全“0”状态。由于低位计数器回到全“0”状态，低位 O_C 也回到“1”状态，使高位计数器又处于禁止计数状态。这样，每当低位计数器从全“1”状态回到全“0”状态时，高位计数器才进行加1计数，由此完成进位计数功能。

更多块计数器的级联只要把高位计数器的 O_C 端接到更高位的 I_C 端，循此逐级连接即可实现。

四、八通道输入数据选择 —5G14512

5G14512是八通道输入数据选择器，在一位微处理器系统中，5G14512作为输入电路，在系统存储器送出的I/O地址码的控制下，从众多的输入信号中选出由地址码指定的某一输入通道作为微处理器系统的一位输入数据，完成把外部数据输入到ICU的功能。

1. 外引线排列：

图13示出5G14521的外引线排列。

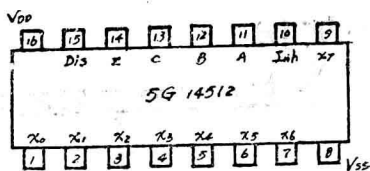


图13 5G14512外引线排列

2. 逻辑图和真值表:

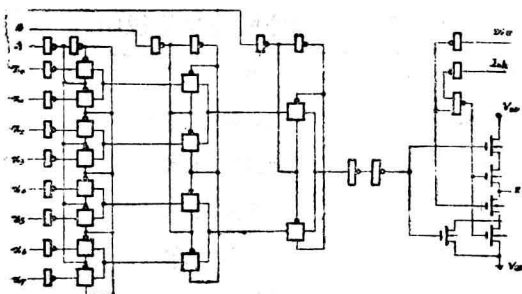


图14 5G14512逻辑图

图14为5G14512的逻辑图，它的真值表如表5所示。

表5 5G14512真值表

C	B	A	禁止 Inh	三态控制 Dis	输出 Z
0	0	0	0	0	X_0
0	0	1	0	0	X_1
0	1	0	0	0	X_2
0	1	1	0	0	X_3
1	0	0	0	0	X_4
1	0	1	0	0	X_5
1	1	0	0	0	X_6
1	1	1	0	0	X_7
ϕ	ϕ	ϕ	1	0	0
ϕ	ϕ	ϕ	ϕ	1	高阻抗

“ ϕ ”任意状态

5G14512的八选一译码功能由反相器和三级传输门组合结构完成，从逻辑图中可以看出，A端输入信号控制第一级传输门，使

八个传输门中的四个导通，另四个关断；B端输入信号控制第二级传输门，使四个传输门只有两个导通，另两个关断；C端输入信号控制最后级的两个传输门，使其处于一通一断的状态。由A、B、C三个输入信号来控制三级传输门，进行各种状态的组合，完成八选一译码功能。

3. 工作原理:

5G14512有八个输入通道 $X_0 \sim X_7$ 和一个输出端Z，外部数据从X端输入并在Z端输出。输A、B、C为三个地址输入端，三个输入端上的地址码通过电路内部的地址译码器进行译码后，使八个输入通道中的某一通道选通，被选通的输入通道上的数据就在Z端输出，而其余七个输入数据则被禁止。变化三个地址代码就可使得八个输入通道分别被选通， $X_0 \sim X_7$ 八个通道和A、B、C三个地址码的对应关系可从真值表中查得。此外，5G14512还有两个控制端——禁止端 Inh 和输出三态控制端 Dis 。当 Inh 为“1”时，可强制Z输出为“0”，即和 $X_0 \sim X_7$ 及A、B、C的状态无关；当 Dis 为“1”时，则强制Z输出为高阻抗状态，即输出端对 V_{DD} 和 V_{SS} 都呈现开路状态。这个特性为5G14512多块并联使用提供了“线或”连接的方便。

在构成实际系统时，当输入通道需要扩展时，可把多块5G14512并联使用。图15示出多块5G14512的扩展连接法及扩展控制波形。用与非门或类似的译码器产生出如图所示的负脉冲时序，分别控制各块5G14512的 Dis 端，使得只有一块5G14512被选中，输出为有效“1”或“0”，其余的5G14512的 Dis 端都为“1”，即输出端呈现高阻抗状态。这样所有5G14512的输出端Z可以连在一起，由三位基本的地址码A、B、C加上由其余地址码产生的负脉冲时序，控制多块5G14512，完成从众多的输入数据中选通一位数据进入ICU系统。

输入通道数和存储器送出的I/O地址码

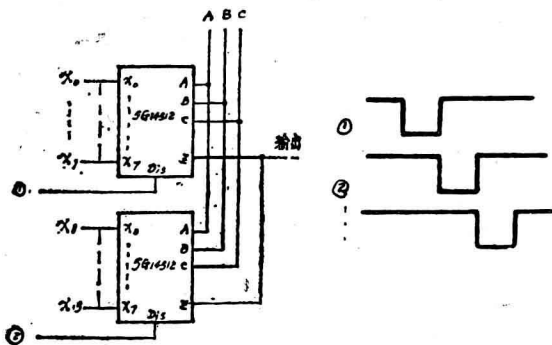


图15 5G14512的扩展连接

的二进制位数有关，它们的关系式为：

最多输入通道数 $\leq 2^n$ (n为I/O地址码的二进制位数)。

例如，三位I/O地址码，可指出八个以内输入通道数；四位I/O地址码，则可指出十六个以内输入通道数；以此类推，更多位的I/O地址码就可指出更多的输入通道数。

五、八位可寻址输出数据

锁存器—5G14599

5G14599是八位可寻址输出数据锁存器，在一位微处理器系统中主要作为输出数据保持电路。和5G14512一样，在系统存储器送出的I/O地址码控制下，把ICU的运算结果——一位数据锁存在由地址码指定的某一位锁存器中，并经Q输出到外部执行机构和控制对象。实际上，在一位微处理器系统中，5G14512可以认为是对输入数据完成串—并转换，即把众多的输入数据一位一位地输入，而5G14599则是对输出数据完成串—并转换，即把ICU的一位运算结果分别存入众多的并行的输出锁存器中，这样就可同时控制多个外部执行机构。此外5G14599具有数据双向传输功能，所以还能用作系统的中间变量暂存器。

1. 外引线排列：

图16示出5G14599的外引线排列，各外

引线的功能由表6加以说明。

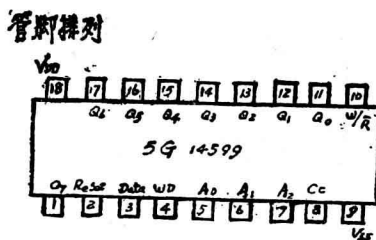


图16 5G14599外引线排列

表6 5G14599外引线功能说明

管脚符号	说明
Reset	锁存器复位输入
Data	数据输入或数据输出
CE	片选控制输入
W/R	写、读控制输入
WD	写允许控制输入
A ₀ ~A ₂	地址码输入
Q ₀ ~Q ₇	锁存器输出

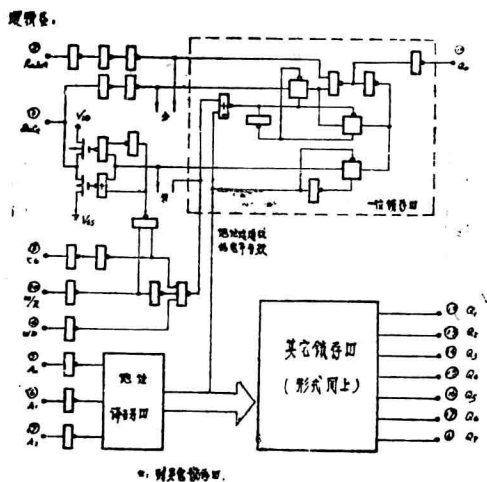


图17 5G14599逻辑图

2. 逻辑图和真值表：

图17为5G14599的逻辑图，它的真值表如表7所示。

从图中可以看出，八位锁存器都是由传输门加反相器结构组成。每位锁存器分别有

表7 5G14599真值表

表7—1 复位片选特性

输入端			输出端
RcSet	CE	其它输入端	$Q_0 \sim Q_7$
1	ϕ	ϕ	0
0	0	ϕ	保持原有状态
0	1	见表2.3	

• 当CE = 0, D端总为高阻抗

表7—2地址选通特性

A ₂	A ₁	A ₀	Q _n
0	0	0	Q ₀
0	0	1	Q ₁
0	1	0	Q ₂
0	1	1	Q ₃
1	0	0	Q ₄
1	0	1	Q ₅
1	1	0	Q ₆
1	1	1	Q ₇

表7—3 读写特性

W/ $\overline{R}$	W.D	输出状态
1	0	写状态 $Q_n = D$
1	1	写禁止 Q_n 保持原有状态
0	ϕ	读状态 $D = Q_n$

各自的Q输出端, 而八位锁存器的所有D输入端都连在一起, 形成D端数据总线结构, 以便完成串一并转换。图中的地址译码器部分实际上是由八个三输入端的与非门组成, 用作八位锁存器的选通控制。

3. 工作原理:

5G14599有八个相同结构的锁存器附加一些控制电路组成, 和5G14512一样, 有三个地址码输入端A₀、A₁、A₂。系统存贮器送出的I/O地址码, 经内部地址译码器译码后, 可得到八个控制信号去分别选通八位锁存器, 使得每一次只有某一位锁存器选中, 此时, 系统的一位运算结果就通过5G14599的Data存入该被选中的锁存器中。若改变地址码, 新的运算结果就将存入另一位被选中的锁存器中。此外, 5G14599的Data端具有双向传送数据的功能, 即除了可用作数据输入外, 在读写信号W/ $\overline{R}$ 的控制下, 还可将被地址码选中的某一位锁存器的内容从Data端输出, 作为系统的输入数据使用。若把Data端数据存入锁存器称为写入操作, 那么锁存器内容通过Data端输出就称为读出操作。因此, 5G14599具有类似于存贮器的读、写操作功能。

从真值表中可以看出, 5G14599的工作模式主要受三个信号控制: 当W/ $\overline{R}$ = “1”, 并且WD = “0”时, 进行写操作, Data端

上的数据可以写入被地址码选中的某一位锁存器中; 当W/ $\overline{R}$ = 0时, 进行读操作, 被地址码选中的某一位锁存器的内容可以通过Data端输出。5G14599的读写功能使得该器件在一位微处理器系统中, 可以被用作暂存单元, 即把ICU运算的中间结果暂存在某一位锁存器中, 待后面的运算需要用到时, 再通过Data端输出, 作为ICU的运算输入数据。CE为片选控制端, 当CE = “1”时, 5G14599可以进行上述的读写操作; 若CE = “0”, 则5G14599被禁止, 不进行任何操作, 所有锁存器保持原来状态。R为复位控制端, 当R = “1”时, 所有锁存器清零。

在构成实际系统时, 输出通道也往往需要扩展, 即把多块5G14599并联使用, 这时, 就得借助于CC14599的片选控制功能。图18示出5G14599的多块级联及扩展控制波形。在并联使用时, 把各块器件的地址输入端、数据端和两个读写控制端并联起来, 而各器件的CE端则分别加上如图所示的正脉冲时序波形, 正脉冲时序可以用与门或类似的译码器产生。在该时序信号控制下, 每次只有一个5G14599被允许工作, 进行数据的读写操作, 其余的器件都处于禁止状态, 保证数据的正确传送。这样在系统存贮器的地址码的控制下, 5G14599就能完成ICU系统一位数据的串一并转换。

输出通道数和存贮器的I/O地址码位数

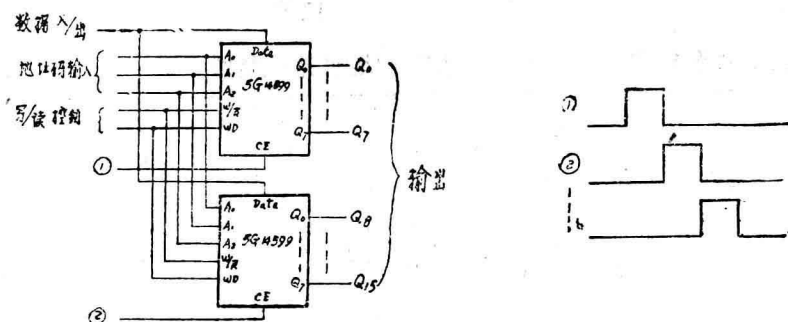


图18 5G14599的扩展连接

的关系式也是为:

输出通道数 $\leq 2^n$ (n 为I/O地址码的二进制位数)

在系统中, I/Q地址码是同时控制输入通道的输出通道的, 因此I/O地址码的位数和总的输入通道数加输出通道数有关, 即:

输入通道数 + 输出通道数 $\leq 2^n$

在实际应用中, 5G14500的写信号 Write一般都用作输出电路的控制信号, 在此情况下, 地址码的位数可减少一位。因此, 实际的地址码位数和硬件系统结构有关。

六、系统基本概念

图19所示方框图是以ICU为基础的一位微处理器基本系统, 主要由五种器件组成。除存储器外, 其余四种就是前面已经介绍过

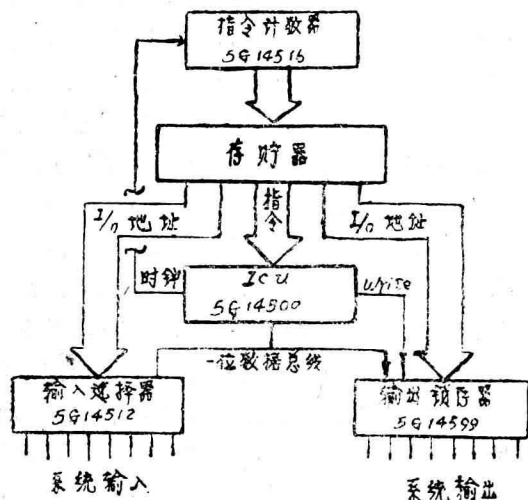


图19 基本系统

的14500系列的主要器件。

ICU系统根据存储器中的指令来进行各种工作, 所有的指令都存放在系统的存储器中, 其中的每一条指令分别用来指示ICU执行指令表中16种操作中的某一种操作。

系统工作时, ICU从存储器“取出”一条指令, 然后执行指令, 执行指令所需的数据由输入、输出电路提供或保持。一条指令执行完毕, 再从存储器中按顺序地“取出”下一条指令, 继续执行, 这一过程反复进行, 无限循环。

1. 系统部件:

(1) 存储器:

存储器存放指挥整个系统执行规定任务的指令。指令由操作码和地址码两部分组成。操作码以四位二进制的形式送给ICU; 而地址码则规定了ICU一位双向数据总线和输入、输出器件之间数据传送的路径。

(2) ICU

ICU是系统的中央控制单元。它控制其内部寄存器和一位双向数据总线之间的数据流向; 它对结果寄存器中的数据和一位双向数据总线上的数据进行逻辑运算; 它向系统内其它部件发送控制信号, 以便协调系统的工作。

(3) 指令计数器:

指令计数器(PC)向ICU系统存储器指示应执行的指令的地址。PC顺序地进行二进制加法计数, 达最大值后返回到零, 然

后再重新计数。这就使得存储器中的指令序列能重复执行，形成所谓的循环结构。

(4) 输入选择器：

输入选择器用来决定在某一特定操作中使用哪一个输入通道数据。ICU系统存储器把输入通道地址送给输入选择器，于是，选择器选出该点数据，送到系统的一位数据总线上，以供ICU使用。这样就能从很多的输入数据中选出一位数据，送入ICU系统。

(5) 输出锁存器：

除数据流向相反外，输出锁存器的工作过程和输入选择器非常相似。当ICU执行输出指令时，就把结果寄存器的内容传送到一位双向数据总线上，同时通过Write控制线给输出锁存器发一个写信号，于是输出器件就把该数据送到由I/O地址码所指定的锁存器中。

2. 数据流程：

下面以ICU执行输入指令(LD)和输出指令(STO)为例，介绍数据在系统内部的传送过程。

(1) LD指令：

LD是LOAD的缩写，是一条典型的输入指令。这条指令指示ICU系统取某一输入通道的数据，并将其送入ICU内部的结果寄存器RR。使用LD指令时，用户需将LD指令和采样输入地址在存储器中编好指令。系统执行LD指令时的数据流程如图20所示。系统的动作如下：指令计数器指示出LD指

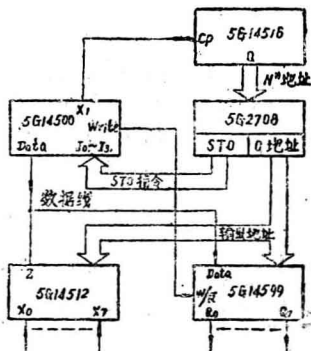


图20 LD指令数据流程

令的地址；系统存储器送出指令，指令由两部分组成，其中高四位是LD指令(0001—用16进制表示为1H)，送给ICU；低四位是输入通道地址，若要选通X₃，则地址码应是0011。ICU执行LD指令，将输入通道X₃上的数据经数据总线传送给一位结果寄存器，完成数据输入操作。

(2) STO指令：

STO是STORE的缩写，是一条典型的输出指令。这条指令指示ICU系统将一位结果寄存器中的数据送给某一位输出锁存器。使用STO指令时，用户需将STO指令和接收数据的输出锁存器的地址在存储器中编好指令。系统执行STO指令时的数据流程如图21所示。系统的动作如下：指令计数器指示出STO指令的地址；系统存储器送出指令，指令的高四位是STO指令(1000)，送给ICU；低四位是输出通道的地址。ICU执行STO指令，将一位结果寄存器内的数据送给由低四位地址码所指定的输出锁存器中，完成数据输出操作。

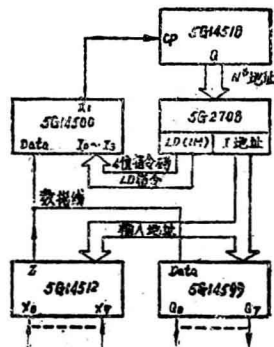


图21 STO指令数据流程

可见，根据不同的指令，数据既可送入系统，也可从系统送出。

3. AND(与)指令：

在介绍指令系统前，有必要再详细介绍一条指令——AND，这是一条典型的逻辑“与”运算指令。执行AND指令的动作过程如下：系统存储器把AND指令的操作码送给ICU，同时把某一个输入地址码送给输

入选择器。于是，被地址码指定的输入通道上的数据被选出并送到ICU的双向数据总线上。然后，ICU执行AND指令，对数据总线上的数据和结果寄存器中的原来数据进行“与”运算，运算结果立即送入结果寄存器，成为结果寄存器的新内容。

由于结果寄存器只有一位容量，因此每次运算后，结果寄存器的原来状态就由新的运算结果来代替，即结果寄存器的原来数据不再保存，这是一位ICU系统进行运算的一个重要特点。

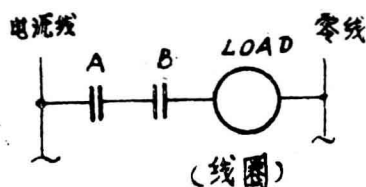
ICU执行AND指令后，只有当结果寄存器原先的内容和输入数据均为逻辑“1”

时，结果寄存器经运算后的状态才为逻辑“1”。逻辑真值表如表8所示。

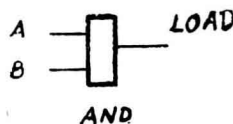
表8 AND指令真值表

输入Data	“与”结果寄存器原来内容	= 结果寄存器新内容
0	0	0
0	1	0
1	0	0
1	1	1

图22所示的基本系统，很适合于解决用继电器梯形图或逻辑图形式表达的问题。图22示出了用这两种形式表达的问题： $LOAD = A \cdot B$ 。



a. 继电器梯形图



b. 等效逻辑图

图22 $LOAD = A \cdot B$

图中，当A和B均闭合时（即为逻辑“1”时），LOAD得电（即为逻辑“1”）。

ICU处理这个问题，不仅仅是进行一次，而是程序每循环一次就处理一次。因此，如果程序中有1000条指令，并且时钟频率为100KHz；那么ICU系统每秒钟将对输入端采样100次（即每10ms采样一次）而且在某一输入数据变化后的10ms内，相应的输出点就将得电或失电。这就称为循环控制结构。

图23示出了解决这个问题所需的ICU程序。

当然，指令的顺序可以很容易地改为：

```
LD B
AND A
STO LOAD
```

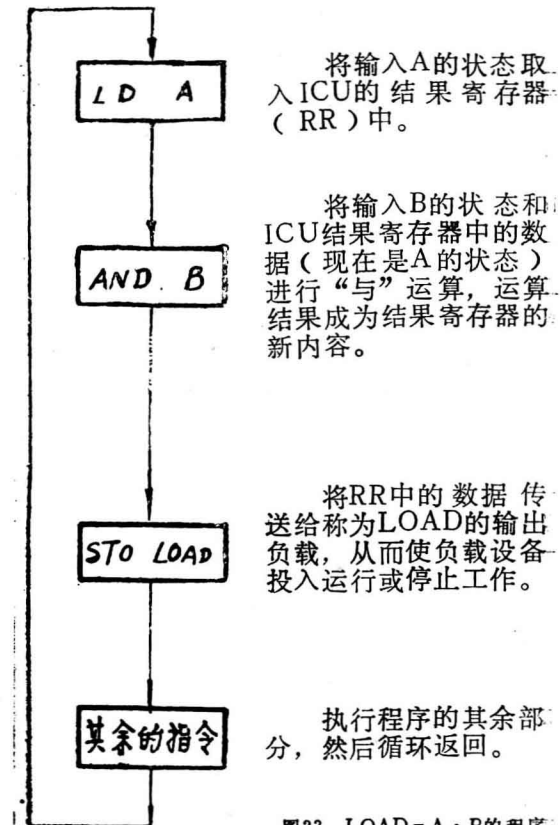


图23 $LOAD = A \cdot B$ 的程序