

1424所 1980年度

科研报告摘要选编

《微电子学》编辑部

1981.2

目 录

MOS存储器及微型机

短沟道MOS器件	(1)
短沟道E/DMOS型高速全静态RAM	(2)
N沟硅栅MOS单管单元动态4096RAM	(3)
N沟硅栅静态1024随机存贮器	(4)
4096位动态随机存贮器MM20测试报告	(5)
为MEK6800D ₂ 微型机研配4K动态存贮体	(6)
隐含刷新技术在动态存贮器中的应用	(7)
2K静态存贮板	(8)
EPROM及其填写方法	(9)
CCD模拟延迟线的测试研究	(10)
200位CCD横向滤波器	(12)
W6800微处理器	(13)
MC6800微处理器的测试	(14)
DJS——062微型机的调试要点	(15)
062型微型计算机系统设计方案	(16)
DJS062微型计算机的总体设计	(17)
微处理机与微型计算机	(18)
第二代十六位微处理机评述	(19)
高速位片式微处理机	(20)
W6850异步通讯接口适配器	(21)
微型计算机外设接口适配器的测试	(23)
异步通讯接口功能测试设计	(24)
MOS超大规模集成电路	(25)
超导计算机电路	(26)

双极、数字、线性及GaAs集成电路

关于双极工艺在VLSI技术中的前景	(27)
高速双极大规模集成电路	(28)
ECL电路可靠性研究	(29)
超高速ECL电路工艺设计	(30)
超高速ECL电路研制中的结特性分析	(31)
ECL电路中的晶体管正向压降	(32)
工作频率达千兆赫的分频器	(33)
500MHz双D触发器	(34)
S ₁ ECL 500兆赫双D触发器测试研究	(35)
ECL超高速D型触发器最高翻转频率的测量	(36)
ECLD触 发器高频工作点偏移现象的分析及其改进	(37)
ECL超高速四线接收器的设计与分析	(38)
S ₁ 四线接收器测试	(39)
集成注入肖特基逻辑(I ² SL): 一种与模拟电路相容的新结构	(40)
集成注入肖特基逻辑(I ² SL)结构与工艺设计考虑	(41)
集成注入肖特基逻辑I ² SL测试报告	(42)
集成注入肖特基逻辑(I ² SL) 的某些特殊应用	(43)
线性集成电路的国外发展概况	(44)
集成电路串联稳压器模拟电路的分析设计	(45)
线性集成电路宽频带放大器的分析与设计	(46)
八位数/模转换器的半自动测试	(47)
X ₃ 宽带低噪声单片集成电路的电路设计	(48)
低噪声宽带集成电路	(49)
低噪声集成电路的噪声问题	(50)
X ₃ 宽带低噪声单片集成电路测试	(51)
X ₅ 高输入阻抗运算放大器的研究	(52)
X ₅ 波形转换器	(53)
减小MESFET寄生电阻的器件设计和制作技术	(54)
超高速GaAs—BFL单片门电路	(55)

器 件 物 理

非均匀掺杂层的载流子平均迁移率及其应用	(56)
砷化镓中余误差和高斯掺杂层的平均电导	(57)
硅外延中的自掺杂	(58)
四氯化硅薄外延层的纵向杂质分布	(60)
C—V技术在制造大规模集成电路中的应用	(61)
硅单晶中的氧含量对器件参数和集成电路成品率的影响	(62)
硅中“微缺陷”的检测及其对器件的影响	(63)
旋涡状微缺陷的消除	(64)
磷穿透扩散的位错缺陷	(65)
平面器件欧姆接触的电流流动模型	(66)
MOS差分输入运放失调和温漂的分析与改善	(67)
用于单片集成的GaAs肖特基势垒	(68)

工 艺

多晶硅工艺在双极集成电路中的应用	(69)
低压化学汽相淀积多晶硅工艺	(70)
单多晶硅的选择性外延	(71)
多晶硅吸除及其在LSI电路中的应用	(72)
用于ECL电路的多晶硅隔离工艺	(73)
掺磷多晶硅薄膜生长	(74)
MOS 4 K电路的硅片制备	(75)
ECL亚毫微秒电路衬底制备中的一些问题	(76)
硅片在三氯乙烯/氧气气氛中的热氧化	(77)
三氯乙烯氧化	(78)
采用平面电阻炉单面加热制备 Si_3N_4 的CVD工艺	(79)
一种新的钝化膜——半绝缘多晶硅	(80)
离子注入技术及其退火方法	(81)
片状固体磷源在扩散工艺中的应用	(82)

SP—3 高浓度片状磷源扩散	(83)
硼微晶玻璃在硼扩散工艺中的应用	(84)
硼埋层上返扩散及其在 I^2SL 电路中的应用	(85)
BN箱法扩散在 X_{3s} 电路中的应用	(86)
砷磷扩散工艺	(87)
国外LSI和VLSI电路制作中的精细图形加工技术综述	(88)
1微米线宽铬掩模图形制作技术	(89)
真空软接触等压复印原理及其应用	(90)
ECL电路的双层布线	(91)
一种新的多层布线法—PMP	(92)
钼丝蒸发及其蒸发膜质量的控制	(93)
正性光刻胶的金属剥离技术	(94)
用于高输入阻抗运算放大器的双极—MOS相容工艺	(95)
集成电路的封装技术及其发展趋势	(96)
几种集成电路陶瓷管壳的研究	(97)
在管壳柯伐柱上敷铝——以铝—铝系统代替金—铝系统	(98)
集成电路工艺模型的计算机模拟程序	(99)
CAP线路分析程序	(100)
计算机辅助制版语言的设计	(101)
XYNETICS控制软件分析	(102)
MIDAS系统与XYNETICS绘图系统的程序联接	(103)

材 料 及 分 析

基础材料质量对LSI电路成品率的影响	(104)
MO—CVD法GaAs汽相外延	(105)
MO—CVD法汽相生长 $Ga_{1-x}Al_xAs$ 的初步结果	(106)
三甲基铝和三甲基镓的制备及提纯	(107)
氯化铝锂法制备高纯砷烷	(108)
国外超LSI电路用的硅材料情况	(109)
硅单晶的电阻率及其热处理	(110)
用低温下的载流子浓度确定P—Si补偿度	(111)
快速自动测量的扩展电阻探针	(112)
在双埋层衬底上制备薄硅外延层	(113)

用高温准静态技术测量二氧化硅中的可动离子沾污	(114)
长寿命样品界面态密度的测量	(115)
一种制造高纯三氟化磷气体的简易方法	(116)
大规模集成电路用的高纯水的若干问题	(117)
大规模集成电路用高纯水水质监控标准及其检测方法	(118)
原水预处理对电渗析运行的影响	(119)
高纯水中可溶硅的比色测定	(120)
高纯水中痕量钾、钠、镁和锰的测定	(121)

设 备、仪 器

取样示波器数字化装置	(122)
TF—Ⅱ图形发生器	(123)
分离视场接触式光刻机	(124)
ZLPCVD—01型低压化学汽相淀积设备	(125)
PUXY—1型半自动显影机	(126)
程控化学清洗装置	(127)
远红外光刻烘箱	(128)
简易擦片机	(130)
采用铝电极的等离子腐蚀装置	(131)
紫外线杀菌装置	(132)
硅片表面平整度检查仪	(133)
组合式不锈钢流量调节系统	(134)
用于C—V测试的20周选频放大器	(135)
信号线性化方法	(136)
高频电磁场防治	(137)

短沟道MOS器件

顾 泰

MOS 集成电路性能和集成度的提高除了器件结构和电路设计上的改进外，主要是通过缩小器件尺寸而得到的。当 MOS 管的尺寸缩小到一定程度后，继续缩小沟道长度就会出现“短沟道效应”，这些是① MOS 管的开启电压随沟道长度和漏电压的变化而变化；②穿通电压随着沟道长度的缩小而急骤降低；③由于热电子效应引起的器件稳定性问题等。为了克服短沟道效应，有人提出了按比例缩小的设计原则，即在缩小 MOS 器件的横向尺寸（即沟道长度和宽度）的同时，还要相应的缩小纵向尺寸（即栅氧化层厚度、结深），降低电源电压，提高衬底掺杂浓度。

由于一些原因，实际的 MOS 电路并不严格地按比例缩小原则行事。

离子注入技术使短沟道 MOS 器件的设计具有更大的灵活性。它是短沟道 MOS 器件必不可少的工艺。

本文最后给出了某些实验结果。

短沟道E/D MOS型高速静态RAM

王 万 业

本文扼要叙述了短沟道E/D MOS型高速静态RAM的设计制造考虑。采用按比例缩小方法设计MOSFET,可获得极高的跨导和小的寄生电容,提高了器件电路的速度和集成密度。实际应用中电源电压没有按比例缩小,出现了短沟道效应。防止短沟道效应产生的主要措施是减薄栅氧化层厚度和减小源漏结的结深等。

本文着重讨论了采用离子注入掺杂技术和高电阻率的硅材料来改进按比例缩小方法的设计。该设计的第一方面是,采用沟道区离子注入掺杂技术,选用高阻硅材料。这样就不采用单纯按比例缩小方法的低阻硅材料。高阻材料可减小结电容和阈值电压的衬底偏置灵敏度,我们选用了20至30欧姆厘米的硅材料。由于阈值电压衬底偏置灵敏度的降低,栅氧化层可在按比例缩小的基础上适当加厚,易于实现制造中的重复性和可靠性。沟道长度为3微米的器件,栅氧化层厚度可为700埃。采用此技术的另一特点是,增强型和耗尽型两种器件的阈值电压均能根据电路工作的需要而独立于衬底实现精确地调整控制。设计沟长为3微米增强型MOSFET,沟道区硼注入条件:40~50keV; $1.5 \sim 3.5 \times 10^{11} \text{cm}^{-2}$ 。对于较深的结,沟道区需采用双硼注入技术,防止源漏穿通的深硼注入和调整阈值的浅硼注入。前者:100~150keV; $1.5 \sim 2.5 \times 10^{11} \text{cm}^{-2}$; 后者:35~45Kev; $1.5 \sim 2.5 \times 10^{11} \text{cm}^{-2}$ 。耗尽管沟道磷(或砷)注入条件,70~100keV; $1 \sim 1.5 \times 10^{12} \text{cm}^{-2}$ 。采用此技术的控制关键不仅在总的剂量而且与分布本身有关。

该设计的另一方面是,采用离子注入砷(或磷)形成源漏区和N⁺区。100~150Kev; $5 \times 10^{15} \sim 2 \times 10^{16} \text{cm}^{-2}$; 薄层电阻小于30Ω/口。此浅结工艺有利于克服短沟道效应和减小内部电极电容,与接触孔附加磷扩散工艺相结合,还给后面的工艺带来方便。

本文还介绍了低温氧化工艺和减小寄生电容互连电阻的技术改进。

电路及版图设计基本仿制了英特尔公司的C2115A 1K静态RAM。为达到最大存取速度,对静态RAM的电路进行了最佳化,其主要原理是,缩小大电容节点(如位线)上的“高”“低”两种输出电平之间的电压差值,读出信号再经列放大器和读出差动放大器放大后输出。

采用3微米的设计规范及上述工艺技术和电路版图设计,现已研制出有效沟道长度为2微米,可与TTL兼容,单一5伏电源工作的32位静态RAM,其存取时间可达20ns,写脉冲宽度可达10ns。

N沟MOS单管单元动态4096RAM

尹 心 诚

N沟硅栅 MOS 单管单元动态4096位随机存储器,采用当前最广泛的N沟硅栅工艺制造,在不严格的工艺条件下,即位线宽度5微米位线电容 C_D 比单元存储电容 C_S 等于10的情况下,设计了一种读出放大器,使之能读出150mv左右的信号。单元的面积是 $1200\mu^2$,整个芯片面积是 $4 \times 3.92\text{mm}^2$ 。

4096位RAM从逻辑电路到版摸设计自始至终都是为器件的高速、低功耗、大公差小面积而努力,研制的结果表明:

取数时间 t_{acc}	$\approx 250\text{ns}$
周期时间 t_{rw}	$\approx 400\text{ns}$
最大功耗	$= 500\text{mw}$
维持功耗	$= 20\text{mw}$

实现了高速低功耗。

为了保证在足够大公差的情况下又不增大管芯的总面积,从而获得一定的成品率,为此采用Foss等人提出的逻辑原理,经过精心推敲和计算设计出了性能优越,高可靠、简明紧凑的逻辑及其相应的电路和版模。例如①在不影响速度的情况下,省掉了64个列放大器,为了弥补在速度上的损失而用一个输出放大器代之。这样,不但省了大量的元件和缩小了版模而且也保证了高速度。

②舍弃了TMS4030等早期4KRAM曾采用过的旧式噪声封锁器,以单管封锁器代之,从而大大地缩小了版面,把封锁器的面积由原 $500 \times 3000\mu^2$ 减小到 $30 \times 3000\mu^2$ 即减小了17倍。

③为了保证存储电容 C_S 有充分的容量,在单元设计上大胆采用了电容到位线的间隔为 5μ 的手法经各种测试和可靠性考核均未发现位线信号对单元的干扰。

由于采用了上述措施后所以在沟道为 7.5μ 两多晶硅之间的孔距多晶为 5μ ,扩散套刻公差为 2.5μ ,最小铝宽 12μ 间隔 12μ 的大公差下也获得了 4×3.92 较小的管芯面积,这就在设备精度不高的情况下,为提高成品率创造了条件。研制结果,获得了满意的成品率。

N沟硅栅静态1024位随机存贮器

陈 忠 正

为满足国内微型计算机的需要,开展对静态六管单元1024随机存贮器的研制。静态存贮器存贮单元是靠触发器存贮数据,不需要刷新,使用方便,结构简单,稳定可靠。

N沟硅栅静态1024随机存贮器采用NMOS, 128字 $\times$ 8位,双向三态输入输出,5伏电源,与TTL相容。对1024静态随机存贮器的存贮单元、地址反相器、译码器、芯选控制和输入输出等部分电路作了简要计算和较详细描述。根据现有稳定的工艺条件,为了提高成品率缩小版面尺寸,采用多晶与单晶直接接触工艺,并对电路参数作了适当选择,在设备等条件较差的情况下,芯片平均成品率达到25%。

为了考核电路的各种性能,在研制过程中对电路的功能和交直流参数进行了全面测试,开展了电路的可靠性试验和应用工作,它具有稳定可靠,使用方便的优点,特别适用于组装微型计算机。

最后,对设计中存在的问题提出了改进意见,对提高MOS静态随机存贮器的集成度,获得高速低功耗特性提出了初步看法。

4096位动态随机存贮器测试报告

陆 福 新

为了满足国内计算机及各种数字电路系统需要而研制的4096位动态RAM, 对其进行了全面的测试。绝大部分参数做了大量的调查、分析以便对改进工艺提高器件成品率获得良好效果。但由于条件限制在许多方面还存在许多问题。

本文针对器件的特点和要求叙述了对器件进行的功能测试、交流测试和直流测试。功能测试简述了一般的测试原理和在没有完备的测试仪器下如何解决管芯测试问题。同时如何保证产品不失测和漏测等问题。并对管芯测试中由于输入线不可短所引起失测的现象也做了些讨论。交流测试如保持时间测试和取数时间测试是RAM的关键参数, 对如何测得相对准确也进行了讨论。直流参数测试作了全面的测试。文章对测试条件、方法与电路原理都作了比较仔细的分析。讨论了影响关门电平和开门电平的因素以及所采取的测试电路。

器件参数的准确性与可靠问题, 除了在自制测试台上进行原理分析外, 还通过美国MD154机测试获得的结果进行分析对比。结果令人满意。

最后讨论了对测试仪器的要求, 尤其对自制仪器提出比较现实的要求。此外, 总结了在测试过程中, 应该注意的问题, 如何测试才能对器件不会造成损害, 这些都具有电路和讨论结果。

为MEK6800D₂微型机 研配4K动态存贮体

廖 俊 宗

本文主要介绍了动态存贮器常用的若干刷新方法及刷新方式的一般选择原则,并着重介绍了普遍采用的一种周期偷窃同步分布刷新技术,介绍了建立在此基础上的为MEK6800D₂微型机系统研配的一种4K MOS动态存贮体结构及系统逻辑方案。并对包括系统数据总线结构,地址总线结构,系统刷新控制逻辑在内的D₂系统存贮器扩展技术作了较具体的阐述。

给出了包括用8块MM20 MOS动态存贮器组成的4K体在内的一个D₂系统扩展框图及一个实际的系统逻辑结构图,并给了一个经调试证明使系统工作稳定性得以改善的实际读写/刷新控制时序图。系统刷新周期不大于2ms,只要从系统控制逻辑设计上做到每隔18个系统总线周期即行刷新MM20芯片内部的一根行地址译码线即可保证不大于2ms的系统刷新间隔要求。文中提出了联机存贮体调试的一般程序和方法,并给出了初步的调试结果。对4K体进行了信息的静态和动态贮存试验,信息的转贮试验,并进行了位图形,走地址,跳步读,跳步写,走位图形等五种基本图形的功能测试,结果表明4K体的读写/刷新功能正常,其逻辑及控制时序的设计均符合系统要求,作为D₂系统的内存扩展其工作是稳定的和有效的。

与透明刷新方式相较,周期偷窃技术的一个不足之处是刷新操作需要占用一定的系统周期时间,即上述方案存在约百分之五的死时间率,无疑这将使系统的程序效率稍有降低,但由于采用分布式刷新,因此不会对系统的使用带来任何实际影响。相反,周期偷窃技术的另一长处却是使对动态存贮器的存取速度要求可降到与系统相容的一般静态存贮器的水平。

整个4K体构成所用到的T²L中小规模电路数量并不多,体结构仍是相当简洁的。

隐含刷新技术在动态存贮器中的应用

郭 兴 文

本文概述了 MOS 动态存贮器的刷新原理和三种刷新方式,即集中刷新、分散刷新以及隐含刷新。隐含刷新是一种将刷新周期溶合于机器周期中的刷新方式。一般而言,存贮器刷新时都要占用系统的有效时间。但对隐含刷新而言,在某些低速系统中(相对于存贮器的速度而言),可以作到不占用或少占用系统的有效时间。目前刷新作在芯片内部的 64 K 存贮器也采用了这种刷新方式。显然,刷新方式的选择要根据系统的特点来决定。一般地说,在微型机和小型机系统中以采用同步式的分散刷新和隐含刷新为宜。而在硬件灵活性大的大型系统中则宜于采用刷新间隔为 2 mS 的异步集中刷新。

文中根据 M6800 微型机的特点,首先提出在此系列机上采用隐含刷新技术就能克服动态存贮器固有的“死时间”,使得用户使用动态存贮器就如同使用静态存贮器一样。

在这种刷新方式中,每个周期都在刷新。由于刷新频繁,故对刷新计数器的偶然性差错不敏感;漏电稍大的存贮器亦可使用。

我们在 MEK 6800D₂ 微型机中用国产 4 K 动态存贮器 MM20 实现了这种刷新。在刷新逻辑设计中,重点考虑了存贮器操作时钟的逻辑设计和刷新地址、操作地址的切换控制。对影响时钟脉冲宽度的因素作了分析,在电路上采用了同步跟踪法以降低温度变化、器件参数偏差对脉冲宽度的影响,从而使得时钟电路的调整容易,对元器件参数要求亦不严格。

文中给出了采用隐含刷新的 4 K × 8 位存贮体的系统框图和部分逻辑图、时序图及设计规则。还指出了存贮体不仅需要跳步读、跳步写等功能检查图形进行检查,而且还需要用较长时间贮存信息法对刷新功能进行检查。

文中还指出,若对本刷新逻辑作适当改进,则在 DMA(直接存贮器存取)应用中就可进一步提高系统的功能。

2K 静态存贮板

李 昌 强

本文介绍了为扩大MEK 6800DI单板机及国内060系列微型机的内存容量,而采用本所已经定型的器件 128×8 位静态MOS RAM和少量TTL电路,研制成功的容量为 2048×8 位静态随机存取存贮器板。它的逻辑、时间关系都不很复杂,系统不用刷新、性能可靠稳定,单一电源,使用方便。它既适应MOTOROLA公司的MEK 6800DI和DJS-062机,同样也可作为其他相应微型机扩充的内存使用。

存贮器全部电路、元件都装在 $20 \times 30\text{cm}^2$ 的一块双面印制板上,16块M₁₁组成2K字节,也可只用8块作1K字节使用。

MPU与本板之间来往的全部信号均经过了隔离,这些信号是:

(1) 地址13个: $\overline{A_0} - \overline{A_6}$, $\overline{A_7} - \overline{A_{10}}$

(2) 双向数据母线8根: $\overline{D_0} - \overline{D_7}$

(3) 控制信号4个: $\overline{R/w}$ 、 $\overline{DPS}$ 、 $\overline{4/5}$ 、 ϕ_2

由于试验工作充分、逻辑设计合理、印制板设计考虑周到,因而存贮器板的装配、调试都很顺利、方便,也充分地体现了M₁₁的性能、水平:

(1) MPU主频为614.4KHz存贮器板工作正常。本板功耗: +5V电源电流约2A。

(2) 室温下, +5V在4.5—5.5V范围变化,85°C时+5V在4.75V—5.25V范围变化,存贮器板均能正常工作。

(3) 本板有较好的抗干扰能力,在它旁边拔插大烙铁、开关示波器、使用大手电钻等,存贮器板均能正常工作。

存贮器板的调试、考核除用一般的全“0”、全“1”、“交替”、“下雨”等方法外,主要采用在上述电源、温度、频率变化的情况下,较长时间地运行走地址、位图形、跳步读、跳步写、走位图形等考核存贮器程序。

本存贮器板经过三个月时间,连到MEK 6800DI上试用,都能做到一开机就能正常工作,没有出现存贮器失灵、器件失效、性能不稳等现象,试用表明效果良好。

EPROM 及其填写方法

郭 炳 辉

EPROM是介于ROM和RAM之间的一种存贮器件。由于器件可进行多次改写，给软件研制和用户带来方便，自七十年代初期开始出现以来，近几年得到了迅速发展。目前已出现存贮容量为64K产品，同时128K的产品正在研制。

EPROM为采用浮栅结构形成的FAMOS器件以及在此基础上形成的SAMOS器件。本文以N沟SAMOS器件结构为基础，叙述浮栅MOS器件的雪崩写入原理和用电荷积累模型来分析浮栅MOS器件的读出原理。

目前国外EPROM编程方式主要有二种，即单地址、单脉冲方式和循环方式。

单地址、单脉冲方式是指写入时，可以单个字写入。如对Intel 2716来说，单个字写入时只需在程序端施加50ms宽、幅度为TTL电平的脉冲即可，产生浮栅电子注入需在其 V_{PP} 端施加 $+26 \pm 1$ 伏直流，在器件内部将此电压转换为脉冲电压。

循环方式则不能对单个字单独进行写入，无论是写全部地址或是写部分地址都必须对全部地址通过N次循环才能进行可靠写入，这是因为浮栅电子注入由在其程序端施加 $+26 \pm 1$ 伏脉冲电压而得到，对某一地址的写入将影响其它地址，这种编程方式编程的总时间必须满足下面关系：

$$T_{\Sigma} = N \times t_{pw} \geq 100ms$$

其中 N为通过全部地址的循环次数。

t_{pw} 为程序脉冲宽度。

本文以intel 2716和TMS2716二种EPROM器件为二种编程方式的代表，进行了实际填写，填写工作是在莫托洛拉公司出产的M6800D₂上进行的，采用通过用户接口(PIA)，先送数据，后送地址，最后施加程序脉冲而进行写入的方法。通过实验初步装成了EPROM填写装置，它包括硬件接口逻辑、编写程序以及读出检查程序等。本填写装置的特点是：硬件简单、编写和检查程序使用方便、填写基本可靠。

本文最后将列出有关填写时的注意事项，供使用者参考。

CCD模拟延迟线的测试研究

朱以南 李为翰 李治芳

本文总结了CCD模拟延迟线测试技术成果。比较了三种时钟系统对输出的影响,给出了最佳输入方式——表面电位平衡法,确定了CCD直流工作状态的调整原则和直流工作模型,讨论了转移效率和动态范围等动态参数的测量,给出了测试系统及实用电路。

CCD模拟延迟线是在MOS集成电路基础上发展起来的新型电路。从信号处理角度看,它属于离散模拟信号处理技术(DASP)。它有许多吸引人的特点,主要有:

1.可直接对模拟量离散处理,达到幅度上是模拟的,时间上是离散的。2.有精确的传输延时,且为电控可变延时。延迟时间准确地等于时钟周期($1/f_c$)和位数N的乘积。3.插入损耗小,具有高输入阻抗和低输出阻抗,易实现电路匹配。

CCD模拟延迟线可广泛用于各种雷达作动目标显示,视频积累器,离散富氏变换,脉脉多卜勒信息处理,时间压缩与扩展存储器,高保真声延迟,扩频通讯与图象处理等领域。

该器件在正常使用时,完全由时钟控制。对均匀交叠四相时钟、非均匀交叠四相时钟及对称四相时钟(每相均匀交叠 $\pi/4$)三种不同时钟比较分析的结果表明:

1.转移效率三者相同。2.非对称时钟与对称时钟动态范围相近。3.对称时钟输出波形较平坦。

从离散量恢复到模拟量由取样保持电路及低通滤波实现。输出波形是否平坦,影响取样功能,取样脉冲一般取到输出方波平坦处,以达到信号时钟干扰比最大,脉宽较时钟脉宽窄。

输入方式采用表面电位平衡法,即信号加在 G_2 上, G_1 加直流偏压,可获得最佳线性动态范围。经推导,这时输入电荷量不依赖于输入栅氧化层厚度和开启电压变化,也与势垒电容作用无关,所以线性动态性能好。

各种不同用途的时钟系统:

1.为了提高数据率,可采用2路或4路并行工作。每一块器件对输入信号取样频率均为 f_0 ,相位互差 $\frac{\pi}{2}$ 或 $\frac{\pi}{4}$,即信号样点为2个或4个,数据率提高了2或4倍。从而降低了对器件的频率和容量的要求。

2.CCD作模拟延迟时,可采用慢时钟写入,快时钟读出,或快时钟写入,慢时钟

读出, 以实现输入信号进行时间压缩。

3. 在CCD—MTI中要求间断时钟系统, 即连续时钟部分包括 512 个时钟周期, 加上时钟停顿时间等于雷达脉重复周期。

以上诸点均在使用单位得到推广应用。应用于警戒雷达、引导雷达、测高雷达、炮瞄雷达等的动显对消器样机中, 达到性能为: 一次对消比 $<33\text{db}$, 二次对消比大于 40db , 动态范围 $<40\text{db}$, 分机温度性能 -30°C —— $+60^{\circ}\text{C}$, 完全可以取代水银、熔石英延迟线或数字式DMTI系统。