



第五届全国信号处理学会 学组联合学术会议

论 文 集

中国 电子学会 信号处理学会 系统设备学组
仪器仪表学会 振动噪声学组
雷达声纳学组

1991. 9. 16—20 日桂林

第五届全国信号处理学会学组联合学术会议论文集

目 录

A 单片信号处理器(DSP)的开发和应用

- A1 多主系统在高速信号处理中的应用 洪刚、俞高峰、高正(1)
- A2 TMS320C30 浮点阵列信号处理系统(FASP)的设计 谢桥、侯朝焕(8)
- A3 TMS320C25 多 CPU 数字信号处理器 孙清、胡军(16)
- A4 信号处理系统中并行处理的实现 俞高峰、洪刚(20)
- A5 TMS32020/C25 实时在线开发系统 叶兆青、阎欣元(24)
- A6 TMS320C25 在实时语音识别中的应用 张延平、陈锡先(28)
- A7 ADS—6B 便携式实时振动分析仪 郭忠勇、蒋银林、侯朝焕(32)
- A8 基于串行通讯的 TMS320C25 硬件仿真器的设计及应用 何佩昆(36)
- A9 DSP32C 开发系统 王跃科、吉明、马建华(40)
- A10 一种基于 TMS320C25 的高速可编程 FFT 处理器设计 黄玉田(44)
- A11 基于高速 DSP 器件的实时自相关器 李彤、吕军(48)
- A12 高速数据采集与处理系统的研制 张旭东、王德生(52)
- A13 介绍几种先进的信号处理器 林君(56)
- A14 TMS32020 在大地电磁测深中的应用 刘福春、王左勤、林君(62)
- A15 采用 TMS320C25 信号处理器的实时 HF 信道模拟器
马建华、王莹、唐朝京、王跃科(66)
- A16 关于一种 DSP 话密系统的密钥管理实现方法 易波、王跃勋(70)
- A17 定点 DSP 的中的小数运算与精度保持 王跃科(73)
- A18 利用相关法进行传输函数分析 袁刚运(80)
- A19 处理器与控制器的结合设计多功能模板的构成探讨
胡爱群、吴承武(84)
- A20 TMS32010 的一种开发方法 江波、赵普福(88)
- A21 超大规模 DSP 芯片在 DSU 微电子化中的应用 盛劲(93)
- A22 TMS320C30 在地震勘探信号多道实时相关叠加中的应用 刘益成(96)

- A23 高速高阶可编程数字滤波设备 冯慧中、龙志祥、庞春季(100)
- A24 ADCT 图像压缩编码在 TMS320C25 上的快速实现 茅一民、高西奇(105)
- A25 语音检测实时系统的实现 肖定如、刘国军、顾祖丰、吉光辉(108)
- A26 用 TMS32010 DSP 芯片实现胎儿心电信号的提取 罗斌凤、高俊、莫玮、方惠均(111)
- B 振动与噪声和模态分析、故障诊断技术
- B1 汽车振动模拟计算及结构修改的预测 吴永刚、张金换、李一兵、黄世霖(114)
- B2 INV-303 型便携式多功能动态信号处理系统 应怀樵、刘进明、舒兴高、甘露(119)
- B3 基于 FFT 的载荷识别的时域法 李毓华(123)
- B4 用微型计算机辅助磨削力及磨削温度的实时采集和数据处理 林士龙(128)
- B5 一种自适应有源消声器的性能分析 陈克安、马远良(133)
- B6 单位脉冲响应函数检测的虚部变换法 许克勤、韩祖舜、骆振黄(137)
- B7 图象运动分析在汽车被动安全试验中的应用 卞旭东、李一兵、张金换、黄世霖(143)
- B8 铁路重载敞车的模态试验及其脱轨原因初探 舒兴高、苏民、应怀樵(148)
- B9 现场动平衡技术的应用 郑大平(153)
- B10 信号处理技术在电厂发电机组在线监测和故障诊断中的应用 李明、孙佐(157)
- B11 识别与描述弹塑性减振器之性能 田千里、高赞明、仇一清(161)
- B12 SP-1000 多通道模态分析系统 常西畅、邹昭平、王永强、梁海、赵力行、黄焱(166)
- B13 智能化轴振动监测诊断系统 朱江、赵影、周昭(170)
- B14 脉冲弹性反射波桩基测试的频谱分析 孙浩军、孙梅(176)
- B15 用络谱分析诊断滚动轴承故障 程春芳、凌正炎、付其凤(179)
- B16 一种机械故障分析诊断系统 何东光、王国骥、徐彦君(183)

- B17 变时基瞬态信号传递函数细化分析新方法 应环樵、刘进明(187)
- B18 ANC 与振动信号处理 韦冰峰、黄友仙(192)
- B19 动力吸振器用于飞机壁板减振降噪的研究

孙朝晖、戴扬、孙进才(197)

- B20 相干非接触法测量流场和热传导系统

楚泽湘、陈丽吟、夏生杰、陈海韬(201)

- B21 自适应消噪方法的改进

冯志刚、史习智(204)

- B22 ASK 混噪信号自适应消噪系统

周大纲、丘海卫、李毅华(210)

- B23 某火箭燃气冲击载荷识别

潘宏侠、郑海起(216)

C 单片 DSP 在雷达与声纳中的应用

- C1 基于多层混合人工神经网络的声纳目标分类器

谭成翔、马远良(221)

- C2 防空情报雷达杂波谱估计

纪士琰(225)

- C3 TMS320C25 构成的多波束形成器及其软件技巧

张燕武、肖国有、史新华、马远良(233)

- C4 多单片机并行处理实现吊放声纳全信号模拟

肖国有、史新华、王正根(237)

- C5 用于主动声纳目标识别的神经网络结构

万建伟、时春(244)

- C6 FFT 弹道分析仪:一种新型靶场测速雷达终端的设计与实现

周良柱、皇甫堪、赵阳曦(248)

- C7 雷达目标数字化搜索与截获算法的研究与实现

齐恩勇、沈亮(252)

- C8 TMS320C25 双芯片模块构成的高速信号处理系统

赵俊渭、肖国有、史新华(258)

- C9 TMS320C25 在气象雷达信号处理中的应用

洪一(265)

- C10 单片 DSP 在雷达中的应用

贺吉峰、和燕青(267)

D 单片微机在多种领域中的应用

- D1 单片机 8031 的齿轮故障预报与诊断系统

李正安、陈心昭、李登啸(271)

- D2 利用单片机实现纱线疵点检测

杨文晔、邱燕炜、王婉南、邹理和(275)

- D3 单片机系统控制无汉字库的通用打印机 晏磊、徐华(279)
- D4 应用 8098 单片机实现机械开关动态特性的自动测量 崔志奎、徐小平、郭铁男(283)
- D5 8098 单片机在 PCM 综合测试仪中的应用 陈伟、王文博、王德隼(289)
- D6 多片 8031 考核训练系统 沈同圣、周晓东(293)
- D7 多片 MCS-51 实现纱线频谱分析 王峥嵘、邱燕炜、王婉南、邹理和(297)
- D8 一种用单片机实现的多功能信号发生器 王锋、冯地清、赵明(300)
- E 信号处理系统设备及其它
- E1 用 DATA-6000 实现 Hilbert 变换及包括检测 白玉海、裴力伟、方启平、严玉萍(304)
- E2 FFT 算法在信道均衡的应用 周彤、程佩青、蔡晓红(308)
- E3 多音调信号的产生 邵金仙(316)
- E4 约束的动态规划算法用于实际问题中的信号匹配 李楠、李衍达(322)
- E5 大型非实时电子显示装置的图像输入接口电路设计 于东刚、孟贵胥、刘军、王承训(326)
- E6 一种适应于微机显示的二值图象编码方法 何洪涛、李鉴庆(330)
- E7 时限信号时域曲线特征的采样原理 陈中林(334)
- E8 一种新的数字带通、带阻滤波器对 郭勇诚(338)
- E9 汉语语音基频提取器 张晶、严普强、施昊(344)
- E10 宽带通信网中语音信号处理的统计复用技术 沈雁蓉、丁炜(349)
- E11 一个带有语音处理、固态存贮、循环检测的数据采集与监视系统 王冬生(353)
- E12 利用 Chirp 实现高精度谱分析 尹建琪、陈锡先、杨鸿魁(357)
- E13 ATM 网中的语音处理及其性能质量分析 勾学荣(361)
- E14 提高声码器语音清晰度的措施 黄立革(365)
- E15 实用频率采样型数字滤波器的设计 张维玺(369)
- E16 常用语言与算法 FFT 微机实现之比较 原亮、封亚光(376)
- E17 HD63484 ACRTC 在图形特技中的应用 秦雅娟、倪敬增(381)

E18	便携微机数据采集系统	宁显宗、张燕武、穆林(385)
E19	数论变换最小均方自适应滤波算法	丁钟琦(389)
E20	超高压输电线防舞方案的防振考核试验	卢明良、袁慧敏、尤传永(395)
E21	TMS32020 专用处理机设计及应用	陈益新、张桂林(399)
E22	随机冲击振动信号处理系统及在工程中的应用	李桂华、许士斌、项世法(405)
E23	语音音素的调制特性研究	程启明(412)
附录一、单位简介		
一	北京弗蓝卡数字系统有限公司(中美合资)	(416)
二	东方振动和噪声技术研究所简介	(417)

多主系统在高速信号处理中的应用

洪刚、俞高峰、高正

(北京中软计算机研究所)

一、概述

当前,数字信号处理(DSP)正从理论研究转向实际应用阶段。由于高速信号处理器的出现,使得复杂的DSP算法可以在实时环境中得以应用。因此,自高速信号处理器问世至今8年以来,信号处理的应用课题已大范围地展开,并已在国内外科技界获得可喜的成果。高速信号处理所涉及的应用领域极其广泛,它包括有图像处理、语音处理、通信工程、振动噪声、生物医学、地震分析、机器人、高速控制等等。在这广泛的应用领域中,利用高速信号处理器作为运算部件以实现复杂算法的计算,这点现在已完成。但是要把这些技术成果真正应用到工程中去,则必须考虑什么样的系统结构才能满足实际信号处理工程的要求。

多机系统对于单处理器系统来讲可以提供更好的性能,系统可靠性以及应用中的灵活性。在高速信号处理中,人们其实已自觉不自觉地采用了多机系统概念。通常由高速信号处理器作为从机,而选用PC机或单片机作为管理主机,从而构成主从系统。但是,这种结构是否是最好的,可不可以采用另外新型系统结构以使得在实际应用中更灵活方便,从而提高整个系统的能力,这些正是我们需要讨论的。

本文从系统结构角度出发,对各类多机系统进行讨论,从而引出多主系统概念,最后给出高速DSP多主系统实现及应用前景。

二、多机系统结构讨论

2.1 多机系统结构

多机系统通常具有几种不同的形式。

- (1) 在基于通信链方式的多机系统结构中,处理器与外部通信链联接。在这种形式中每一个处理器都具有自己的板上内存和I/O口(图1)。而对于那些基于总线方式的多机系统则允许直接利用共用总线来进行处理器之间的通信。
- (2) 在主/从系统中(图2),仅有主机可以控制总线以及对总线资源进行管理,而作为从机则仅能对本地内的存储器及I/O进行操作。通常从机是用于完成某些特定的功能实现。而作为在主机与从机间的数据和控制参数传递则通过总线,或者通过I/O口以及共用存储器进行。如果需要进行内存通信,则需要在主/从系统中建立双端口RAM,或者以DMA或内存总线结构方式进行。
- (3) 作为多主系统(图3),则允许每个处理板均可管理整个系统所有的总线资源。同时每个处理板上仍具有本地存储器、I/O资源。在多主系统中,总线仲裁器是需要的。总线仲裁器用于作为多个处理器中每个处理器占用总线时的裁决。它的主要作用是解决多处理器在占用总线时的竞争现象,有效的安排任务实施,允许多任务并行处理,以提高整个系统的工作能力。

2.2 多机系统的优点

显而易见,在一个系统中利用多个处理器首先是希望提高系统处理速度.在多机系统中,一个给定的任务可以被分解为多个独立子任务,从而由各个处理器同时去完成.并行处理可以大大地减少程序的执行时间.对于一个数据处理系统,这意味着增加了系统的吞吐能力.而对于一个高速控制系统,处理速度的增加可以用来获得更快的系统反映,以及实时处理能力.同时,多机系统可以用来提高系统的可靠性.

多机系统的另一个优点是具有很好的模块化能力以及优良的系统扩展力.当系统需要增加处理功能时,可要增加功能板即可实现,而不需再重新进行系统设计.此外,由于多机系统硬件的模块化,使得程序的编写也可采用相应的模块化结构.这将大大简化软件任务的实现.

多主系统

在实际应用中,多主系统与单处理器系统相比功能增加了许多,并且其应用优势也超过了多机系统中的主/从系统.在多主系统中,最重要的特点是在系统结构上的极大的灵活性.

从机或智能外围卡,通常设计者按某一特定设计思想完成,因此在应用中受到了设计思想的局限.如果从机板上存储器是映射到主机内存区的话,其区域大小通常是受限的.因为主机系统仅能给出某一特定区作为映射区使用.假如主机到从机的通信是采用I/O方式,则I/O口的数量是要预先设定的.这些口地址必须被映射到主机的I/O地址域中.作为主机与从机之间的通信协议通常也是预先给定的,不能根据某些特殊应用的需要改变.此外,主/从系统结构还存在不易扩充的限制.在从机与从机之间,由于没有共用存储器,所以无法直接通信.所有的事务必须提交主机,由主机统一安排完成.例如,将一个数据块从一个从机传到另一个从机中去,首先是将数据块从某一从机传到主机内存,然后再由主机传到另一从机中(对于从机间的I/O数据传递也是这样的过程).如果从机内存是映射到主机内存中,那么对于主机而言,实际上工作内存区是减少了.即使上述问题并不存在,对于系统设计者来讲,在主/从系统中要实现一项高性能任务仍是较困难的.

而作为多主系统,设计者可以根据应用要求来组合所需要的系统.在多主系统中,全局存储器对于所有处理器都开放,全局存储器的大小并不影响系统中处理器内存的大小,因为处理板上的内存都允许映射在同一地址范围内.在一个多主系统中,全部处理机板上的内存加在一起可以是非常大的:例如在DSP多主系统中允许使用8个多主CPU处理卡,而每个多主处理卡上带有1MB存储器,因此整个系统可以获得8M字节存储器.

某些以多重处理来提高系统可靠性的方法只有在多主系统中才能实现.因为,只有在多主系统中才能以某一处理器去完成另一个处理器的I/O任务;而在主/从系统中,从机只能管理自己的I/O.多主系统可用于某些重要的应用场合,在那些应用中,二个或多个处理器可以并行执行同一任务以确保结果正确.一旦有一台处理机出了毛病,另外一台仍可继续工作.

对于多主系统来讲,软件编写将比主/从系统的软件编写更为简单并且模块化更强.软件设计者并不受固定参数,固定地址以及固定通信协议所限制.在多主处理板之间的通信通过“邮箱”在全局存储器中进行.设计者可以根据实际需要来设定所需“邮箱”的大小以及工作的地址域.其多主处理板之间的通信协议也可根据实际需要而定.由于数据可以非常方便的读出或写入到全局存储器中,因

此并不需要象单处理机系统那样必须在大多数应用场合中提供对全部数据的传递能力。

2.4 多主系统软件结构

在系统中,多主处理板的配合很大程度取决于使用者的软件编写。二个或多个多主处理板可以同时运行完全不相关的程序,从而可以处理不同的任务。每个多主处理板可以将其它系统资源如存储器以及I/O作为共享资源来使用。

此外,在一个多主系统中,可以由软件来设定其中一个多主处理板为主机,而其它多主处理板为从机,从而构成一个子主/从系统。这里,某一从机可完成通讯工作,另一个完成数学计算,再一个可用于完成数据采集,等等。对于这样的系统编写程序也将比单一处理器系统简单得多,而且这样设计的系统的吞吐量将大大提高,因为所有的低层任务可以在多主系统中并行完成。

在一个系统结构被建立之后,根据任务的分配将对每一个多主处理板编写任务软件。此外,智能I/O能够减低对主CPU的需求。应用软件通常在每个多主处理板的内存里,一般不需要再去访问总线资源。因为访问全局存储器或全局I/O,必须经过总线仲裁,这仍将费一定时间的。

在实际工程中,多主系统整体结构希望根据所需处理的信息量的大小而改变。尽管总线仲裁是由硬件自动完成的,然而改变总线协议也是有益的。总线协议是由使用者利用软件设定的,它用于多主CPU板在总线上的通信方法。这里包括邮件传递,软件中断等方面。

三、高速DSP多主系统实现与应用

3.1 系统考虑

在第二章中,我们详细地讨论了有关多机系统的几种形式,并且进行了比较,从而得出结论,多主结构是理想的。

仔细分析高速信号处理的应用,如图像处理,通信处理,语音处理,实时控制等,这些应用中高速信号处理器是作为整个系统中处理部件。为了要建立一个完善的工程系统,除了选择合适的高速信号处理器外,更重要还应该对于如何建立一个工程系统进行讨论。

以往大多数高速信号处理研究课题是基于IBM-PC机完成的,尽管PC机的类型现在已发展到386档次,但仍是单处理机形式。当PC机作为工程系统机时,其扩展性并不十分理想,而且由于本身是通用机,因此对于真正的工程使用,如抗震,抗干扰等措施都显得较弱。

为此,我们希望建立一个真正实效的,有利于高速信号处理工程使用的系统。经过多方研究,我们认为美国著名Pro-Log公司1989年生产的STD多主系统——Model-60是一个理想的系统。这里提出Model-60,是希望它作为DSP工程中系统主机,因为只有有了一个易于工程实现的主系统,才易于完成高速信号处理工程中各类要求。

为了满足DSP工程要求,我们专门设计了适用于Model-60多主系统的高速DSP处理板——ATD-C25STD,这将在下面节中详述。

3.2 多主系统建立

在建立一个多主系统时,首先要考虑的是系统的可靠性与扩展性,因为高速信号处理的应用领域大部分是高科技领域,任何不可靠因素都会导致实际工作的失败,而这是决不允许的。其次要考虑一点,即如何进行软件移植,因为现在大多数的科研项目工程软件已在PC机上实现,如果这个问题不能解决,将会带来实际工作的不便。

Model-60 则可以很好的满足上述要求。Model-60 是美国Pro-Log公司研制的著名高可靠多主系统,采用STD总线标准。由于Model-60是为了工业控制系统而设计的,因此整个产品系列具有大量可供选择的工程模板,并且整个系统均采用 CMOS 器件。主板是以80C286为基础的,时钟采用25MHz。整个系统的软件与PC/XT相兼容,而性能可以与以80386为基础的计算机系统相比拟,甚至超过它。操作系统采用 MS-DOS 3.3,每个主板上具有 1M 字节 RAM,以及有与PC/XT兼容的RS-232串口,定时器/计数器,中断控制器等。系统平均无故障时间在6年以上。

Model-60的高性能允许它完成大量复杂的计算和控制功能。即使是使用单CPU板,Model-60 执行DOS程序也比一台时钟为8MHz 的PC/AT 机的执行速度快3倍。如果要达到更高的多任务实时处理性能,Model-60可在增加多主处理器情况下完成。其多主MS-DOS 操作系统可以方便的安排软件任务编程以及进行系统管理。

在建立Model-60多主系统时,必须选用多主支持板7171A。该板的功能很强,包括固化MS-DOS 操作系统,总线仲裁电路,高可靠复位电路,32K全局存储器等。

由于 Model-60 的扩展灵活性,使得对各类高速信号处理应用场合均可适用。Model-60 最小系统仅需2块板(每块板4.5*6.5英寸),最多可扩展至26块板,其中可包括8个80286 CPU板,以及软盘、硬盘(40M)、后备电池RAM DISK、EGA/VGA显示、键盘、打印,以及各类I/O板、A/D板等。同时允许多个Model-60系统合在一起构成一个强大的分布式工程系统。此外,在Model-60 中允许不同CPU板运行,如80286,80386,68030等等。

3.3 适用于Model-60多主系统的全局DSP处理板(ATD-C25STD)

为了满足高速信号处理工程应用,除了以Model-60作为工程主系统外,其系统中的高速DSP板设计是需要讨论的。首先高速DSP处理板应能满足多主系统应用要求,即应允许多个主机对它进行操作,其次应允许在一个多主系统中多块DSP板同时运行,再应具有良好的功能扩展接口。

ATD-C25STD全局DSP处理板是根据上述三个设计要求的。它在Model-60多主系统中既可作为从机板,也可作为全局DSP处理板。在ATD-C25STD板上,选用了国际流行的 1千万次32位 TMS320C25DSP芯片,采用40MHz时钟;板上带有零等待程序区32K字,零等待数据区32K字。为了满足与Model-60的多功能接口,采用了二种通信方式,一种是内存通信,另一种采用I/O通信。Model-60与ATD-C25STD 可相互中断申请。为便于DSP应用,ATD-C25STD综合了以往其它ATD产品特点,采用了页面管理,可编程位控制方法,内存映射 I/O技术。此外针对 DSP算法实现特点,设计了硬件半溢出检测器。采用此技术后,对于大量迭代运算的FFT算法实现,可提高效率40%。

为便于扩展应用,ATD-C25STD板上设计了2个16位双向I/O口及一个串行通信口。利用这些接口,可方便与高速外设通信及发出控制命令,从而建立以多主

系统为核心的一整套DSP工程系统。

为了在 DSP 工程系统使用,我们提供对全局DSP处理板的支持软件有可由高级语言调用的(BASIC,C,FORTRAN,PASCAL)全套15种功能的FFT谱分析软件包;多功能图像处理软件包,任意特性滤波器 320C25 程序生成软件,超越函数软件包等10多种应用软件。

为了适应Model-60中DSP开发需要,提供了多主系统DSP开发调试软件。在开发软件支持下,使用人员可以对320C25的进行软件开发工作,包括单步、多断点、跟踪、在线修改程序/数据区,并且开放了全部存储器、寄存器和堆栈。其命令格式与 PC-DEBUG 命令格式兼容。考虑到 DSP 程序编程/调试过程中出现的大量数据结果,软件中使用专用图形显示命令,允许实时观测运算结果波形。这点对于DSP 应用软件调试具有非常大的实用价值。

3.4 多主系统在高速信号处理中的应用

为了说明多主系统在高速信号处理中的应用,我们以彩色图像处理为例来进行说明。就当前的研究来看,彩色图像处理的实用化受到处理速度很大影响。由于一幅图像(512*512或1024*1024)的处理时间较长,即使使用高速DSP进行运算也难完全达到实时要求,而彩色图像处理需处理三幅图像,因此需要更多的运算时间。然而通过分析认为利用多主系统进行彩色图像处理则是较理想的。

由于在多主系统中允许系统中每个处理机都可工作,因此我们选用三台多主处理机同时处理彩色的三幅图像。为了进一步加快处理时间,选用3块ATD-C25STD全局DSP板分别作为三台处理机的从机。这样的处理速度可以提高3~5倍。其次,为了进一步加快处理时间,达到实用要求,我们可以选用6台多主处理机,并选配6块全局DSP处理板,这样每台多主处理机加2块全局DSP板对一幅图像进行处理;或者根据算法结构,选用3台多主处理机,全局DSP处理板选用12块,以使对图像分块处理。在这种结构中,一台主处理机带4块全局DSP处理板,如果还希望进一步加快处理速度,则可以再增加多主处理机,并增加全局DSP 处理板。以上应用,重点要掌握数据分块,即采用什么样的算法可将一幅图像拆成几幅子图。这种图像分配最有效的方法是在图像采集时就进行,这样在每台多主处理机中,其处理数据已经存在于该多主处理机内存或全局DSP处理机内存中,而不需要再进行处理数据分配。

上述应用概念,还可以用于其它场合,如多通道实时信号分析、通信中的数据加密、数据解密、雷达系统、导航系统、机器人、分布式控制系统,以及实时多任务监测系统。

四. 结束语

在数字信号处理领域,尤其是在高速信号处理领域,无论在国外还是在国内都面临这样一个现实,即当前是将信号处理技术工程化的时候了。数字信号处理自70年代发展成一门学科至今的短短20年中,从理论上给予了完善,并且在科研项目中取得了很大的进展,例如图像处理、遥感、语音分析处理、故障诊断、机器人,等等。这些项目国内外均有大的进展。我国在数字信号处理(DSP)技术研究方面是有一定水平的。然而,从技术向工程方面转换却并不是想象中那样简单。在工程中尤其是在DSP领域的工程中,需要一个高可靠性、完善的、众人均认可的主系统才能担负起DSP工程系统的重任。

通过本文的讨论,我们知道多主系统对于大多数的高速信号处理场合,是适合作为工程主系统的。

本文不妥之处,敬请指正。

参考文献

1. David Fahrner, MULTIPLE PROCESSORS ON THE STD BUS, Pro-Log Corporation, 1988.
2. System 2 Multimaster Designer's Guide, Pro-Log Corporation, 1986.
3. TMS320C25 USER'S GUIDE, Texas Instrument Inc, 1987.
4. 洪刚、高正、袁保宗,关于1千万次320C25开发系统及高速系统设计中的问题讨论,第三届全国信号处理学会年会论文集, P994, 1988年.

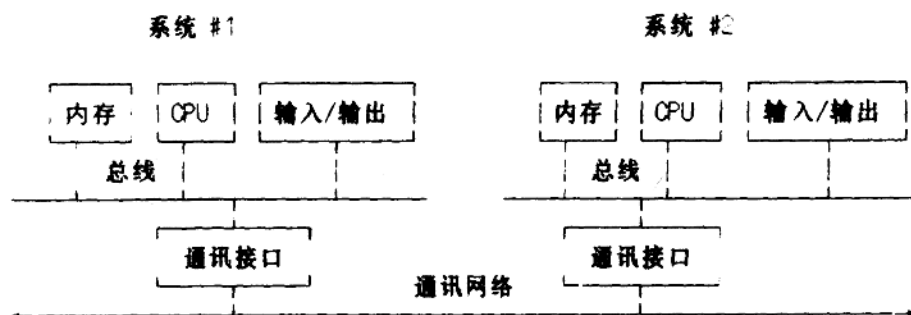


图1. 分布系统

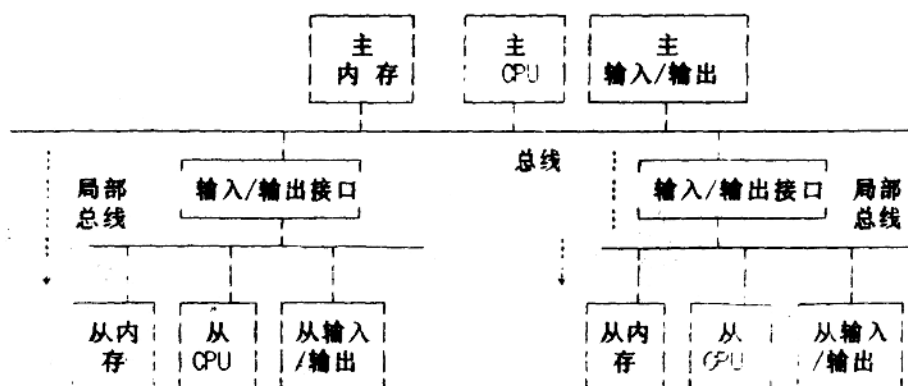


图2. 主/从系统

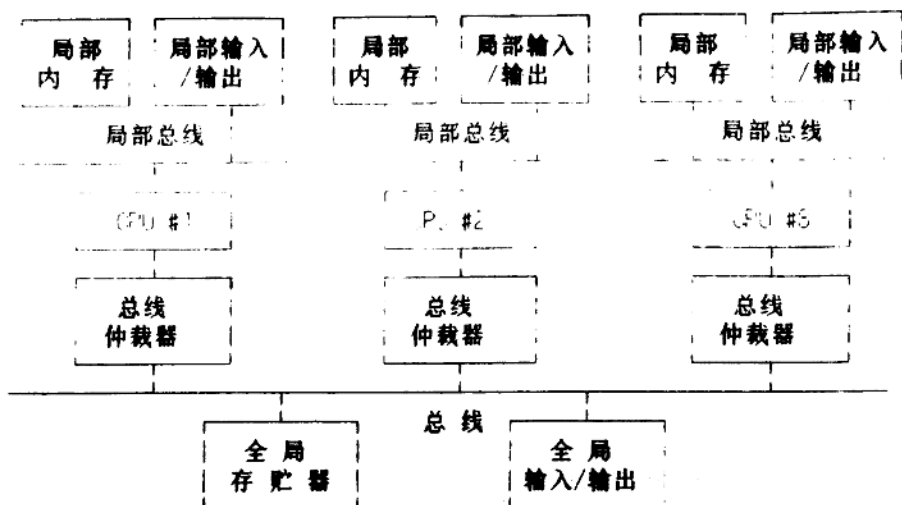


图3. 多主系统

TMS 320C30 浮点阵列信号处理系统

(FASP) 的设计

谢 桥 侯朝煊

中国科学院 声学研究所

(1991. 1. 25)

摘要 高性能DSP产品的出现,为迅速设计适合信号处理应用领域的并行处理机,带来了极大的方便。本文简要地介绍了一种浮点阵列信号处理系统(FASP)的设计思想和实现结构。该系统采用TMS320系列的第三代DSP产品作为基本的处理单元,因而具有高度的并行处理能力。整体运算速度可达33MFLOPs。

随着信号处理技术日益广泛地应用于社会与科学技术的各个领域,要求处理的数据量和处理精度也在不断地增大和提高。不仅如此,人们还希望信号处理系统具有体积小,结构灵活和价格低廉等特点。

八十年代以来,VLSI和CAE技术取得迅速地发展,使设计和实现具有信号处理特点的专用处理器/处理机成为现实。相继出现了TMS320系列[1]、ADSP2100[2]、DSP56000[3]等单片DSP产品。如何以这些DSP产品为核心,迅速地开发高速信号处理系统,引起了各国高科技界的广泛注意和重视。

TMS320C30是美国德州仪器公司TMS320系列第三代DSP产品[4]。它不同于该系列前两代产品的最大特点,不止是单片处理速度和处理精度的提高,更重要的是在其体系结构上吸收采用了哈弗和冯·纽曼两种体系结构的基本特点,实现了片内多重总线结构和两个外部总线接口,因而具有高度的并行处理能力。

本文介绍了一种以TMS320C30(以下简称C30)DSP为处理单元的浮点阵列信号处理系统(FASP)。它与其他两种基于C30的信号处理系统[5,6]相比,模块的规则性更强,模块间的通讯方式更加完善,降低了通讯的瓶颈问题和硬件制作的开销,因而更易于高速信号处理领域的应用。文章的第一节,简要地介绍了C30的体系结构和指令集合的基本特点,以及FASP设计的主要设想。第二、三节,将分别着重介绍FASP单模板结构、系统结构及其并行流水的运行机理。

1. C30 体系结构和指令集合的基本特点

C30的内部结构(参见图1)由片内存储器 and 程序CACHE,带寄存器堆的CPU,多重内部总线和设备总线以及片内设备组成。其外部接口包括:两组总线(Pbus和Xbus,寻址能力16M-32位字,其中Xbus只占16K字),两个串行口和两个定时器接口,四个外部中断信号,两个外部标志信号,Pbus保持(HOLD)和保持确认信号。

A 数据传送, 体现了哈弗型的体系结构。但是, C30 的存储空间没有对程序空间和数据空间进行划分, 使之又具有冯·纽曼体系结构的特点[7]。因此, C30 能够以多种寻址方式, 在 16 M 字的存储空间范围内, 实现存储器、寄存器和指令 CACHÉ 的数据存取, 且大多数指令操作都能在一个指令周期内完成。通常在 33 MHz 时钟的驱动下, C30 的运行速度达到 16.7 MIP 和 33 MFLOP。

C30 指令集按操作数划分成两操作数和三操作数指令。除 STORE 指令外, 所有算术指令的目的地都是寄存器堆中的一个寄存器。源操作数可以取自存储器, 也可取自寄存器, 两操作数指令的源操作数还可以是指令字的一部分。C30 指令集的另一个重要特点在于, 它的并行操作指令能够使任意一条算术或逻辑指令与 STORE 指令并行执行。除此而外, 它还支持并行的乘、加运算和对两个寄存器的并行读、写操作。这对并行实现实时信号处理的算法极为有利。

选用 C30 作为 FASP 核心处理单元的目的, 是要充分利用其结构和指令集合上的特点, 设计符合以下功能要求的多处理器并行处理系统:

- 面向 VMEbus 的模块化结构, 可通过扩充或重组, 实现 SIMD 或 MIMD 的运行方式;

- 单模块运算速度 33 MFLOPs, 系统运算速度 330 MFLOPs;

- 模块之间能以数据驱动和控制驱动相结合的方式, 实现任务的并行流水处理。

2. C30 模板的基本结构

依据上述的设计要求, FASP 的基本构成单元——C30 模板 (即一个 C30 模块) 由以下八个单元组成 (参见图 2):

- (1) DSP 单元
- (2) 本地存储器 (LM)
- (3) 扩展存储器 (XM)
- (4) 共享存储器 (CM)
- (5) 时钟生成和控制电路 (TGC)
- (6) 高速前端总线接口 (FSI)
- (7) 高速后端总线接口 (BSI)
- (8) VMEbus 接口 (VSI)
- (9) 两个串行口 (SP0, SP1)

DSP 单元是一片 C30。它的 Pbus 作为板上主要的局部总线, 可以直接通过 VSI 和 FSI, 分别与 VMEbus 上其他设备和模板的前端设备交换数据; 而 Xbus 能够通过 BSI, 直接与模板的后端设备交换数据。这样, 在系统流水运行模式下, 数据流能够正常地从 FSI 进入模板, 经过 DSP 处理后, 再由 BSI 流向后续的设备。由于 C30 的 Pbus 和 Xbus 能够依托内部的多重总线并行地传递数据, 故能避免仅用单组总线实现系统流水作业时, 容易产生的数据堵塞现象。同时, 也为实现模板之间数据驱动的通讯方式提供了基本条件。另外, 根据 C30 的寻址能力, 合理地配置板上存储器及其存取方式, 也能有效地改善 C30 的并行作业程度。

LM 和 CM 同是基于 C30 Pbus 的存储器, 存储容量均为 32 K 字, 选用 8 K × 8 的 SRAM 实现。LM 为模板的本地存储器, 一般场合下将只有板上 C30 能够对其访问, 以保障 C30 充分地运行。因此, LM 是板上唯一的直接挂在 Pbus 上的存储器。然而, 在某些特殊的应用场合, LM 也能够

通过 F S I，映射成为前端设备地址空间中的存储区，以实现更灵活的数据交换形式。

CM 作为板上的共享存储器，主要用于存放由系统主 CPU 实现任务分配时指定的 C 3 0 运行程序，和需要在模板与主 CPU 之间进行交换的数据。所以，CM 是 P b u s 经过一级总线缓冲器的存储区。尽管如此，C 3 0 仍能以不加等待的方式存取 CM。主 CPU 可以用 H O L D、中断或状态查询的方式，从 C 3 0 手中获取 CM 的存取权。如此，在系统运行的大部分场合，CM 都可以作为 C 3 0 的专用存储区，与 LM 一样使用。

与 LM 和 CM 不同，XM 是板上唯一的映射于 X b u s 空间的存储器。XM 也由 8 K × 8 的 S R A M 组成，具有 3 2 K 字的存储容量。由于受 X b u s 寻址能力的限制，XM 实际上分成为四页，每页 8 K 字（参见图 3）。C 3 0 必须通过预先设置板上的 2 位页寄存器（P G R），才能访问 XM 的新的一页存储空间。在系统流水作业时，XM 主要存放的结果数据将是流向下一级设备的初始数据。因此，XM 还须是板上 C 3 0 和后端设备可以共享数据的存储区。后端设备可以用中断和状态查询的方式，避免和板上 C 3 0 产生 XM 的访问冲突。显然，XM 的存在可以使用户很方便地以数据驱动的控制方式，实现系统各模板之间通讯联系，从整体上较好地协调信号处理过程中数据通讯和计算的矛盾。

实现 C 3 0 模板与外界异步通讯的基本方法，是分别在 C 3 0 模板的 V S I、F S I 和 B S I 接口单元中，设立有关的状态寄存器（S R）和控制寄存器（C R）（参见图 2）[8]，分别提供通讯时板内外的状态信息和产生必需的控制信号。F S I 和 B S I 的数据传送速率可达到 16.7M 字/sec。

S P 0 和 S P 1 均为 T M S 3 2 0 系列的标准串行口，数据传送速率为 8M 位/sec。与其他模板上的串行口联接，可以配合构成数据沿水平方向按字流动和沿垂直方向按位流动的二维系统结构。S P 0 和 S P 1 也可以通过串行口转换模板 [9]，与标准的 R S - 2 3 2 串行口联接，实现与其他终端设备的数据通讯。

3. F A S P 的系统结构及运行机理

F A S P 采用 V M E b u s 作为主系统总线，选用 3 2 位的 M C 6 8 0 2 0 微处理器（M V M E 1 3 0 [10]）作为系统 CPU（在 1 6 位总线模式下，也能选用 M C 6 8 0 0 0 或 M C 6 8 0 1 0 微处理器模板），负责系统管理和 C 3 0 模板间任务的作业调配。再适当地配以系统存储器模板（M V M E 2 0 4），终端控制台等设备，即可构成 F A S P 上层组织。F A S P 的下层组织主要是以级联方式组合在一起的多个 C 3 0 模板（参见图 4）。通常，在实时信号处理的应用场合，级联一起的 C 3 0 模板的首、末两级，分别要在其 F S I 和 B S I 处外接其他设备，如 A/D、D/A 转换器等。

在实际应用中，许多信号处理算法的实现效率，最终取决于其计算的可行性，并主要在速度和体积两方面，取决于处理系统的并行结构和通讯瓶颈。F A S P 系统可以根据具体算法的不同结构，组合成不同的形式，来最大限度地满足实际应用算法的要求。由于 F A S P 只需用一种 C 3 0 模板来实现下层的 D S P 组织，每块模板又都有两个并行数据接口和两个串行数据接口与外部建立联系，这种规则的模块化特性和多重数据接口的特点，可以很容易的用来组织 F A S P 系统的具体结构形式，如：S I M D、M I M D、一维阵列和二维阵列等等（参见图 5）。

一般而言，D S P 单元处理数据的过程大体上分为三个阶段，即：取初始数据阶段（R），处理数据阶段（E）和存放结果数据阶段（W）。这就要求

在数据处理的过程当中,把初始数据的存放区和结果数据分开,并且用两组并行独立的数据总线实现对这两种数据的取、存操作,才能最大限度地消除数据堵塞现象,提高板上DSP单元的工作速度,从而最终提高系统的并行处理能力。显然,C30模板的结构可以充分地满足这些要求。

在流水处理的过程中,各个C30模板的FSI和BSI是衔接前后级模板数据流的必经通道。因此,前、后级模板之间的通讯方式,在保障系统正常流水作业方面所起的作用极为重要。

数据驱动的控制方式是目下信号处理系统中比较推崇的性能较好的通讯控制方式之一[12,13]。在多级设备级联的场合,它要求后级设备只能在接收到全部要求的数据和处理信息之后,开始下一步的处理操作。C30模板在前后级的硬件结构上,采用了易于管理的异步通讯方式,是可以有效地以数据驱动的控制机制,实现前后级C30模板的高效率数据传送。

FASP的并行流水过程,可以通过图5(a)所示的一维阵列结构予以简单地说明。前级C30模板在完成当前数据的处理后,将结果数据存入板上的XM。然后,给后级C30模板发出数据READY信号和作业信息,并转入执行其下一步的指令操作。与此同时,接到数据READY信号的后级C30模板将立即通过其FSI,从前级模板的XM取出其初始数据,存入板上的存储器,然后根据给定的作业信息,进入数据处理阶段……。这一过程逐一地循环往复,便形成了FASP并行流水的作业模式。

结束语

本文简单地介绍了FASP系统结构及并行流水的运行机理。目前该系统已由中国科学院声学研究所研制成功。

参考文献

- [1] "The Applications of TMS320 Family", TI., 1987.
- [2] "ADSP-2100 applications handbook", Vol. 1, Analog Devices, 1989.
- [3] "DSP56000/56001 User's manual", Motorola, 1989.
- [4] "Third Generation TMS320 User's Guide", TI., 1989.
- [5] Qiao X., and Zhaohuan H., "A parallel pipelined signal processing system (PPSPS) based on TMS320C30", ICSP'90, Beijing China, Vol.2.
- [6] Qiao X., and Zhaohuan H., "An Architecture for Advanced DSP (ADSP) system based on TMS320C30".
- [7] P. Papamichalis, and R. Sima Jr., "The TMS320C30 floating-point digital signal processor", IEEE MICRO, Vol.14, Dec. 1988.
- [8] 谢桥, "TMS320C30 浮点信号处理模板的设计报告", 中国科学院声学研究所, 二室, 技术报告, 1990.
- [9] 王友勇, "TMS320系列DSP标准串行口转换模板(SSTM)的原理及PCB定型设计", 学士论文, 北京航空航天大学, 二系, 1991.
- [10] "MVE130 VME module 32-bit monoboard microcomputer user's manual", Motorola INC., 1985.
- [11] Treleaven, P.C., et al, "Combining data flow and control flow computing", Comput. J., 1982, Vol. 25, pp.207-271.
- [12] F.S. Wong, and M.R. Ito, "Design and evaluation of the event-driven computer", IEE Proc., 1984, Vol. 131, Pt. E. No.6, pp.209-222.