

计算机辅助设计的初步实践

成都电讯工程学院102教研室 1974·6

一、引言

1971年秋，曾在我院小型计算机441B上试作了一些“计算机辅助设计”性质的工作。现将其中曾实际应用于某专用计算机设计中的有关部分简介如下。

二、插件安置

1、插件安置任务。

当有了逻辑图，并划分好插件之后，若已知机架的几何尺寸与结构，下一步就是把各插件安排到机架上适当位置上。为此曾编了两个程序，分别称之为《安置(1)》及《安置(2)》。

《安置(1)》的任务是把插件作初步的安置，它模拟了逐渐搬出插件向机架上适当位置一一安放的过程。《安置(2)》的任务则是在《安置(1)》的工作成果的基础上，用对换法加以改进，指导思想是尽量使机架上连线的总长度最短。

2、起始资料：

为以上述两程序得以运行，必须向它们提供如下的“起始资料”：

(1) 机架的结构数据：其中包括一张可用的插座行列号表，以及一个按插座的行列号计算其X-Y座标的子程序。

(2) 每一插件与其他插件的逻辑联系：由于441B计算机无文字输入功能，且内存容量有限，为了节省存储时间并避开文字输入问题，采用如下的编号方法。每一插件在逻辑图上都被赋以一“逻辑序号”。逻辑图上各插件之间每一条联线也编以一“线号”。为了方便起见，线号通常是以向该线馈送讯号的输出端来命名。所以，第23号插件的第12输出头所连的那一条线的线号就是‘1223’。对每一插件的每一引脚，都用列表方式标明它是与哪一号线相连（如果线号为0000，就表示该脚空而不用）。自

一插件都有一张这样的表，称为“对外联系表”，把所有这些表都送进计算机，就等于把各插件在逻辑图中所处位置及相互间联系都告知了计算机。

3. 《安置(1)》的工作步骤：

(1) 首先由设计人员对少数具有特殊要求的插件指定位置。例如，少数发热量大的插件应放在机架上方或通风良好之处；有些与其他机架或外界联系较多的插件应放在边上，以减少机架间电缆长度减少，损失。

(2) 以上述插件作为“种子”，从剩下未安置的插件中任选一个出来，逐一地往机架上各空位的插座进行“试安置”。每“试安置”一次，便计算一下，由于增加了这一插件之后，供当时底座上连线的总长度增加了多少（也就是该插件与原有“种子”插件之间的各条连线长度之和为多少）。

把每一空插座都试过一次之后，经过比较，便可得知，如果下一次真的要把这个插件安到机架上去的话，应该安在哪一个位置上才能使线长的增加量为最少。

譬如说，若以36号插件为试验对象，把它逐一插遍机架上所有空插座之后，发现插在第203号插座（第二排，第三列）上的，增加的线长为最少，且为31cm；就将这些数据记入表中：

插件名	插座位置	线长增量 (cm)
36	203	31

对每一个剩下尚未安置的“非种子”插件，都把上述工作做一遍，这样便可得到一张表。

譬如说，在某一时刻，剩下的非种子插件共有5块，其逻辑序号与试插结果如下：

插件名	插座位置	线长增量 (cm)
36	203	31
42	206	5
18	304	42
25	516	18
74	119	6

以上的表说明，在全部非种子插件中，第18号插件“最难”安置，因为无论你把它放在哪一个空位插座上，都不能以它所带来的

线长增加量比其他的插件少，

《安置(1)》采取“先难后易”的办法来选择下一步应正式安置的插件。在上例中，也就是选18号插件，把它正式安插到304插座上。理由是，如果不优先照顾“难”以安置的插件，那么越到后来，空余的插座，也就选择的余地就越少；这样安插更加“难”安置。

(3) 每正式安置一个插件之后，就把它作为新的“种子”插件。然后对剩下的非种子插件重复上述第(2)步过程。直到所有插件都安排完毕为止。最后便得到一张有关全部插件的位置初步安置表。至此，《安置(1)》的任务便告完成。

(4) 《安置(2)》的工作步骤：

由《安置(1)》运行所得结果，还可进一步用“对换法”加以改进，其主要做法如下：

以底板上某一插件作为“对象”。把底板上除由人工指定位置不准变动者外的其余插件逐一与它试行对换位置，并计算对换之后能否使底板接线长度有所减少；若能减少，减少多少？然后从中选出能使线长减少最多的那个插件与之“正式对换”。

让底板上所有插件（除由人工指定位置不准变动者以外）都轮流充当一次“对象”，并按上述处理一次，这整个过程叫做“一遍”。每处理完一遍要总结一下，经过这一遍以后，接线总长减少了多少，并打印出来，供操作人员参攷。一般情况下，处理过两三遍之后，接线总长度便基本稳定下来，《安置(2)》的工作便可不再进行。

由上可知，《安置(2)》是以迭代方法逐步寻找插件分布情况的最佳值，但这样求出的乃是“局部性的极值”。如果插件初始布置情况不好，《安置(2)》所能获得的改进亦是有限的。这就是为什么要预先用《安置(1)》求得一个较好布置的理由。

另外，为了增加迭代过程收敛的概率与速度，在《安置(2)》中是按照插件对外联系的密切程度来确定各插件充当“对象”的先后次序。也即，首先统计与每一插件有线相连的“焊点”的数目。这一数目越大，表示它与外界的逻辑联系越密切。把各插件按这一数目的递减次序排成一个“至要性顺序表”，在每一遍处理过程中，先选用“最至要”的插件充当“对象”，然后依次类

推。

5. 《安置》程序的试用结果

将上述《安置》程序实际用于某专用机，由于441B内存容量有限，每次仅可处理90个以下的44芯插件。将最后计算出的连线总长度与原先人工布置插件时所标出的连线总长度比较，前者大约比后者减少5~10%左右。该机插件是按逻辑功能划分的，因此人工布置插件较为获得合理的情况。如果插件是按照尽量减少品种的规则划分，或者将上述程序应用于小电路卡片在中型底板上的安置问题，可能效果更显著一点。

上述《安置》程序的主要问题是计算时间太长。为了加快速度，在估计一条连线的长度时，不是精确地把各折线段长度相加，而是用其“广藪”（也即能包含本连线在内的最小长方形的两边之和）来代替。采用这种方法后，用《安置(1)》处理一批90个插件约需一到数小时（视由人工确定“种子”插件的数目多少而定），而用《安置(2)》处理一遍则需20分钟左右。

三 排线程序

有了体现逻辑图的原始资料，又通过《安置》程序获得了插件在机架上的安置情况，下一步便是排出接线表。这就是《排线》程序的任务。

《排线》程序进行工作的步骤如下：

(1) 按一定次序逐条找出一些线，譬如说，从0101号线（第1号插件的第1号引出头所连的那根线）开始，到“原始资料”中去查找，看有哪些插头要与本线相连。一一记在一张表中。

(2) 再根据各插件的安置位置以及机架几何尺寸标出以上各点的X、Y坐标。

(3) 下一步是以一定连线方式把该专用机主频为4MC，采用中速TTL电路，上升时间在20ns以上，因此机架内部布线需用双端放射形结构，只要求电气上彼此连通即可。

若被连的点数为 n ，且把任意两点相连的一段线叫做一个“线

段”，则一共可以有 $n(n-1)/2$ 种线段。现实的问题是如何从这些线段中选出 $(n-1)$ 根来，使得：

a) 这几点被连成一片；且

b) 每一点上的线段数不超过规定的差数 r (这是为了避免焊接时的困难)；

c) 在满足 a)、b) 两条件的前提下，以线的总长为最短。

若无条件 b)，上述问题在数学上是有严密完整的方案的。加上条件 b) 之后，这一问题在理论上尚无彻底的解决方法 (除非采用穷举法，但这样做计算时间太长，实际上无法实现)。然而条件 b) 在工程上是重要的，并且往往限制 $r \leq 2$ 。对于这一问题，《排线程序》采取了一种比较简单的做法如下：

(1) 首先标出所有可能的 $n(n-1)/2$ 种线段，记下它们的端点及长度，并按长度由短到长地排队。叫做“候选线段表”。

(2) 从中选出最短的一条线段，作为“种子”，送入“已选线段表”中，把它的两个端点记入“已联结点表”中。在“候选线段表”中则又去掉该线段。

(3) 对剩下的“候选线段表”从上至下的逐一改查各线段。这时共有三种情况：

a. 如果该线段的两个端点均在“已联结点表”中，说明该线段是冗余的，把它又去不查，继续改查下一线段。

b. 如果该线段的两个端点均不在“已联结点表”中，则暂时不理睬它，继续改查下一线段。

c. 如果该线段有一个端点已在“已联结点表”中，而另一端点不在。则说明该线段已有一端与“种子”相连。这时就要进一步改查该端点上已有的“被选线段”的数目是否大于 r 。若已经大于 r ，说明该点上的线段数已经“满员”不允许再把新的线段连上去。因此仍应继续改查下一线段。若该端点上已有“被选线段”的数目小于 r ，就允许把该线段作为新的种子线段合并进去，即回到步骤 (2)，然后进入步骤 (3)，重新从头开始改查“候选线段表”。

如此周而复始地，使“种子”线段不断壮大起来，直至所有的点均被连成一片为止。

(4) 根据以上结果编制排线表。排线表中应给出各线段的起点、终点，线段长度 (改卷线段松驰度按适当放大)，是否应使用双扭线 (若线长超过了 70 毫米)，同时还应附带统计每条线所驱动的负载数，若超过规定值，应打印出特殊标志等。

这些内容经过编辑排版, 以一种格式在电炉式打印机上分页打印出来, 印出结果的一部分样本如下图所示(图1)。

排线程序实际投入使用后的效果较好, 实践证明, 只要“输

LIAN XIAN BIAO		-032-
[161d]	54CM QD=7 FZ=1	
21)	605A10—1d)	906A14 54CM
[1a1d]	124CM QD=6 FZ=4	
S 9)	717B7—5)	718A16 7CM
S 22)	606A10—9)	717B17 51CM
S 5d)	801B18—22)	606A10 39CM
S 5d)	801B18—1d)	906B21 27CM
[0123]	21CM QD=3 FZ=4	XXXX
23)	709A19	

注): [161d] 表示“线号”, 由第 1d 号插件第 16 针出头所驱动。

QD=7 表示驱动该线的插件对外负载能力为 7 个门。

FZ=1 表示除驱动该线的插件外, 实际接到该线上的负载数为 1 个门。

XXXX 表示该线负载数超过了驱动能力, 应修改逻辑图后重新计算。

21) 605A10 表示第 21 号插件 (其位置在第 6 排第 05 列) 的 A10 脚。

S 表示该线应使用双扭线。

图 1 排线表样本

始资料”正确, 排出的线表未发现错误。并且无论修改逻辑图或者更改插件位置, 只要在“原始资料”中作一次修改, 然后上机重排线表 (排 90 个 44 线插件的接线表约化 10 分钟, 主要是排版及打印时间) 即可, 另外在实际焊接时, 可以预先按计算出的长度准备好导线, 不需临时比量, 因而提高了效率。

有待改进的一个问题是确定走线方式的办法, 若每一焊点上允许焊接的线头数不作限制, 则上述计算可保证排出的走线方

法一定是最短的。但若Y规定不得超过2, 则有个别场合得出的布线方式明显地不合理。在焊接具有二百余44芯插座的主板工作中, 曾由焊接人员发现过一起这种情况

四、逻辑模拟

1. 线路的描述:

“逻辑模拟”的目的是: 将已设计好的逻辑线路(组合的或时序的), 用某种语言加以描述, 送上计算机去模拟其动作情况, 并把结果以适当的形式(表格、波形图)输出, 供设计者检查是否达到了预期的目的。这样便可在实际装焊线路之前纠正逻辑设计中的错误。

表一、元件编号

编号	元件型号
00	常0
01	或门
02	与门
03	非加0
04	与一或门
...	...
20	常1
21	或非
22	与非
23	符合线路
24	与一或一非门
...	...
10	RS 触发器
11	J 触发器
12	由D型触发器组成的寄存器
13	常与一或门之单个D触发器
...	...
19	搬运

结合441B计算机的具体情况, 特别是没有文字输入(只能送入0, ..., 9, a, b, c, d, e, f及:号), 设计了如下简单的语言块线路描述之用:

1) 将查了逻辑线路划分成若干“逻辑页”, 页号用两位十六进制数表示(可从00~3E), 总页数不超过63。

2) 每一逻辑页中可容纳若干逻辑元件。元件数可多可少, 但其输入输出的总数不能超过63。其编号从01开始, 最大不得超过3F。

3) 语言的基本单位是“词”。词共有四种类型:

DXX; 意为“第XX页逻辑图中内容如下”。

(XX为两位十六进制数, 下同)。

F XX; 意为“下一个元件是第XX型元件”，各种型号元件编码方法如表1所示。

E XX; 意为“以下输入头来自第XX页”。

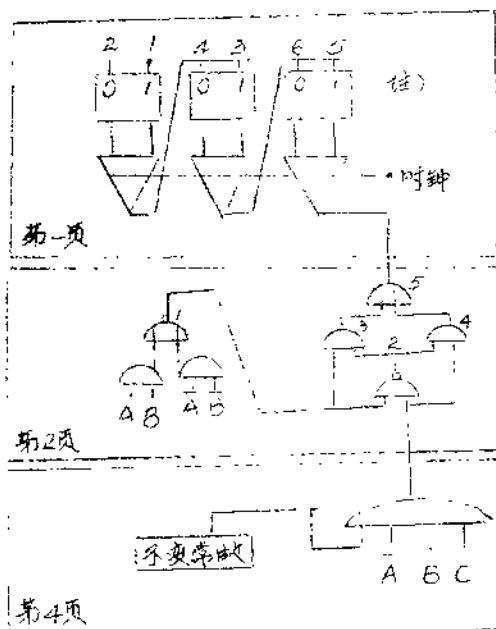
C XX; 意为“某页的第XX号输出头”。

4) 每一元件的类型及其与其他元件之联系、用一串“词”来表示。第一个“词”必须是说明该元件类型之词，其后之词则说明该元的输入头上连接到何处。

5) 000为符号“&”的编码，用来分隔“与-或”类（“或-与”类）元件中各“与（或）”门之输入头。03为“全文完”之编码。

6) 第0页的第1号输出头用来代表“时钟”讯号。它由一个“搬动”元件来代替，“搬动”元件之输出值不受其他元件之影响，但可由“外部”来设置。

作为一例，下面画出了一个逻辑图及其对应的语言描述：



第一页 D型 寄存器 时钟 B C
 D01, F12; E00, C01 E01: C03; C05
 P.2.5
 E02: C05;

第二页 与或非 A B
 D02; F24; E01, C01; C03 000

A B
 C02; C04;
 与非
 F22; C01; E04; C01;
 与
 F02, C01, C02;
 与
 F02: C02: E04; C01;
 或
 F01; C03; C04;

第四页 与 A B C 搬动
 D04 F02; E01; C02 C03, C05; E04; C02, F1f
 搬动
 F1f 000;

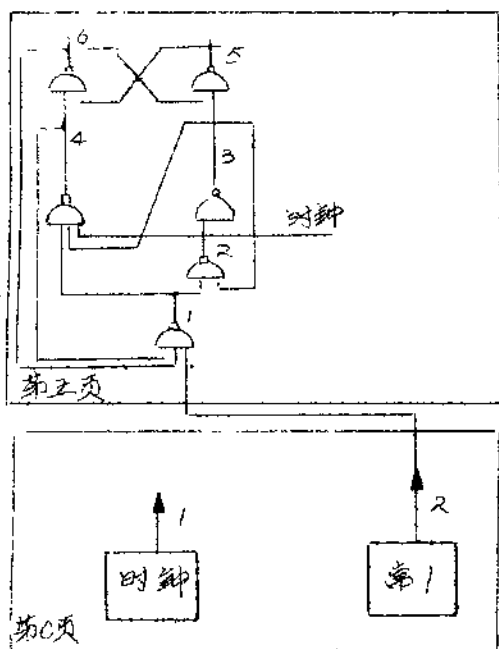


图 2

第5页 与非1
D05: F22; C06; C04; C00; C03;
与非
F22; C01; C03;
与非3
F22; C02; C00; C01;
与非4
F22; C03; C01; C00; C01;
与非5
F22; C03; C06;
与非6
F22; C04; C05;

第0页 微延(时钟)
D00: F1f; 000;
常1
F20; 000;
全文完
D3F;

2. 模拟方法:

进行模拟时, 作了如下的一个简化的假设, 即: 所有元件, 从它的任一输入端到它的任一输出端的延迟均是相同的, 并等于 t_d 。

基于以上假设, 就可采用一非常简单的办法来模拟线路的动作情况:

1) 对每个元件的每一输出头, 用一个二进制数来表示它当前的布尔值。逻辑线路中所有这些当前布尔值的全部存放在磁芯存储器中某一区域中, 称之为 E 区。

2) 对每个元件的每一输出头, 用一个二进制数来表示 (经过时间 t_d 后) 它下一次应取的布尔值。所有这些布尔值的全部也集中存放在磁芯存储器中某一区中, 称之为 F 区。

3) 模拟的过程就是逐句阅读“线路描述语言”, 对每一元件, 首先按其输入信号的来源, 到 E 区中找出对应的“当前布尔值”。然后根据元件的类型输入对应的“元件分析程序”, 算出其下一次的输出布尔值; 并存入 F 区中相应位置。

4) 对“线路描述语言”全部读完一遍 (也就是对线路中所

将元件都处理完一遍)之后,就把多区与几区的内容相比较,若两者完全相同,就说明线路已经完全稳定。

若两区并不全同,就说明线路尚未稳定。应进行“新陈代谢”,也就是废弃多区中亮有内容,而以几区中内容顶替之。

5) 对于时序线路,尚有一个“时钟”讯号交替地在0、1两种状态值间来回变化。产生交替的方式有如下两种,可在控制台上用开关进行选择:

a、每当线路完全稳定后,就进行交替。

b、每隔一个固定时间间隔(不管线路稳定与否),就进行交替。

3. 模拟结果的输出:

对逻辑线路模拟的结果可以用下列表的方式输出,也可以用波形图的方式输出。

输出哪些布尔量,可以指定;可以每隔 t_{cl} (元件延迟时间) 输出一组设计者所关心的布尔值,也可在每当时钟讯号交替变化一次时输出一组。

对图2所示逻辑线路模拟所得波形图的一部分如图3所示(在电灯式印出机上印出)。

4. 使用效果:

在设计某专用机时,需要一个“同步微分线路”,它用来检测某输入线 G 上电压的无跳变,每当该线上电压由0变1一次时,该线路应输出一个完整的脉冲,且其相位与宽度应与时钟讯号相同。在 Gerald A. Muley 《Manual of Logic Circuits》一书第106页上找到一个这种线路如图4所示。

当时《逻辑模拟》程序刚调试好,为了检查这一线路是否真能满足上述要求,模拟了一个波形发生器,连同图4中的线路一起编好代码送入441 B中,结果发现并不能达到预期的目的。经研究,估计在46输出到44输入间少了一条连线,如虚线所示。于是在线路描述语言中作适当修改后,重新模拟,达到了预期的效果。

本程序使用时主要存在问题有二,

一是模拟时间较长,象图2这样简单的线路,要得出图3这样一页的波形即费去12秒时间。对于更复杂些的线路,时间将显

BOXINTO

Td	0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f	0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f	
00-01	PPP	---	PPPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	PPPP	---	
01-05	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	
01-03	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---
01-01	PPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPP	---	
02-01	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	
02-05	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	
04-01	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---
04-02	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---
05-01	---	PPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---
05-02	PPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	
05-03	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---
05-04	PPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	
05-05	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---
05-06	PP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	PPPPPPPPPPPPPPPPPP	---	

注：“Td”表示以元件延迟时间作为时间单元。

01-05.表示第一页第5输出头上的输出波形。

字母P表示在极瞬间电平为高(1状态),减号“-”表示低电平(0状态)。

图3 逻辑模拟所得波形图之一例(在电灼印表机上印出)

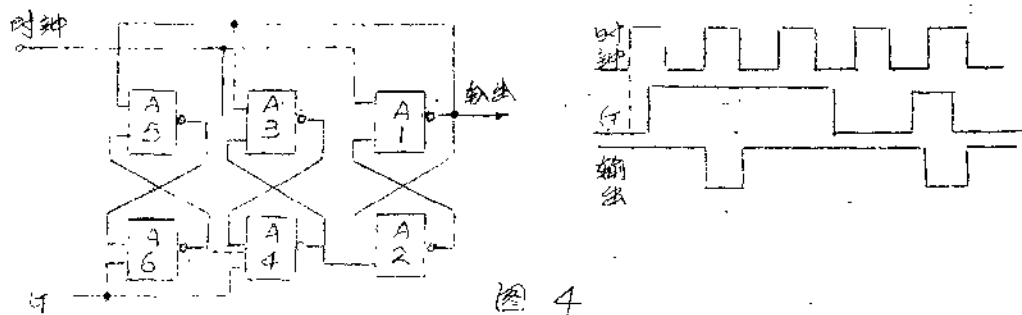
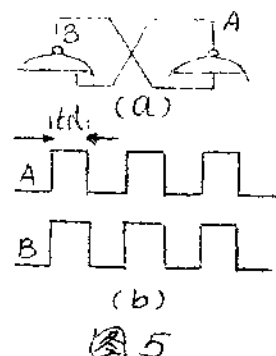


图 4

着增长,这一点亦将在程序上予以改进:

由于这一原因,后来在对某些闭机的高速变数部件及全机的逻辑设计进行模拟时,改用另外的方法,编制了专门的程序,并在一些地方放弃“结构模拟”,而改为“功能模拟”,这样做也查出了若干设计工作中的错误(它们为在后期机以作所记录),但程序失去了通用的性质。(更改逻辑设计时,应对程序作相应修改)

第二个问题在于“所有元件的延迟时间均相同”这一假设上。对于有些结构复杂，延迟较大的元件，可以用串接 $(n-1)$ 个“缓冲”的办法来使其延迟接近或成为 t_{dl} 的几倍，聊以适当补救，但毕竟是比较粗糙的，尤其不能令人满意的是这种模拟方法无法判别线路中可能存在的“竞争”现象。例如，象图5(a)这样的线路，模拟出来的波形往往如图5(b)所示（线路永远处于不稳定情况）。这在理论上说得过去，但与实际情况是不符合的。



五、结束语

本文介绍了在441B计算机上所做的一些初步工作。这些工作带有尝试的性质，是利用机内与人员空闲时间进行的。未作过正式的计划安排，后来又因各种原因而未继续下去，因而存在不少粗糙、零碎的现象；更由于441B容量小，没有文字输入能力，也带来了一些使用上的不方便之处。但即使如此，通过这些初步工作所获得经验，已使我们感到“计算机辅助设计”的巨大潜力，值得在今后的进一步在这一方面开展工作。

参考文献

- (1) P. W. Case et al. Solid Logic Design Automation, IBM J. R & D. April 1964. P. 127.
- (2) 小藤满佐夫：计算机动作を支配するプログラム电子技术 1965. 1
- (3) R. S. Ledley; Digital Computer and Control Engineering Chap 23. 1960