

硅可控整流元件译文集

(内部资料)

山东工学院电子仪器厂

最 高 指 示

中国人民有志气，有能力，一定要在不远的将来，赶上和超过世界先进水平。

打破洋框框，走自己工业发展道路。

自力更生，艰苦奋斗，破除迷信，解放思想。

我们不能走世界各国技术发展的老路，跟在别人后面一步一步地爬行。我们必须打破常规，尽量采用先进技术，在一个不太长的历史时期内，把我国建设成为一个社会主义的现代化的强国。

目 录

- (一)、 硅可控整流元件的结构及制造工艺发展概况
- (二)、 半导体扩散技术进展 (13)
- (三)、 高压大功率半导体元件 (33)
- (四)、 新高压可控元件及其设计方法 (55)
- (五)、 400安 2500 伏平板型高压大功率可控元件 (74)
- (六)、 超高压硅可控整流元件 (93)
- (七)、 耐高压硅可控整流元件 (104)
- (八)、 大电流耐高压硅可控整流元件 (109)
- (九)、 硅可控整流元件的损坏 (121)
- (十)、 硅可控整流元件及其应用 (一) (132)
- (十一)、 硅可控整流元件及其应用 (二) (141)

(一). 硅可控整流元件的结构及 制造工艺发展概况

近年来，硅可控整流元件的应用范围在不断地扩大，从应用的角度对元件的质量要求也越来越高。因此研制工作主要朝着高电压、大电流和快速开通这三个方面发展。

1. 高电压

制造高电压的硅可控整流元件，首先必须采用电阻率高而均匀、位错密度小、寿命长的硅单晶。其次是提高表面对压，使 $p-n$ 结的击穿首先在体内发生。

(1). 减小表面电场，提高电压水平。

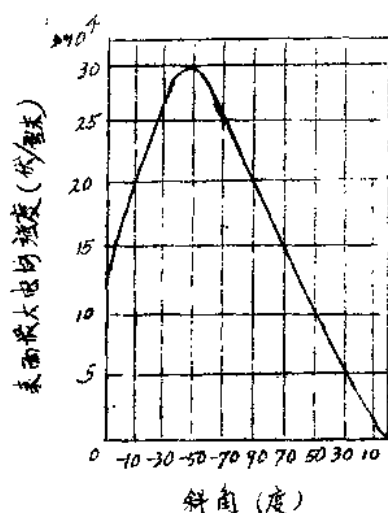


图1 斜角与表面电场的关系

大多数 $p-n-p$ 结构的可控整流元件，对于阳极附近阻断反向电压的结是成正斜角的，对阴极附近阻断正向电压的结成负斜角。这种可控整流元件的体击穿电压决定于 N 基区的宽度和电阻率。但是要获得高的阻断电压就必须减小 $p-n$ 结边缘上的表面电场。

要使最大表面电场减小到小于最大体电场，其负斜角必须小于 20° 左右。有人曾做过实验，要使阻断电压高于 3000 伏，其负斜角必须小于 2° 。但减小角度的边缘

外形，不但加工有一定困难，而且会使阴极面积大大地减小。有人曾做过实验证明，加反向偏压的 $p-n$ 结，其表面最大电场强度为斜

角的正弦，如表1所示。由表1可知，正斜角比负斜角更有利于减小表面电场，如正斜角 θ_1 小于 20° ，即可使 J_3 结获得4000伏电压，但在另一方面要使 J_2 结获得4000伏电压，则负斜角 θ_2 必须小于 1° ，在这样小的角度下，如果斜压总深度为0.1毫米，则硅片有效直径的损失将大于20毫米，使阴极面积大受损失，约为原来硅片的25%。

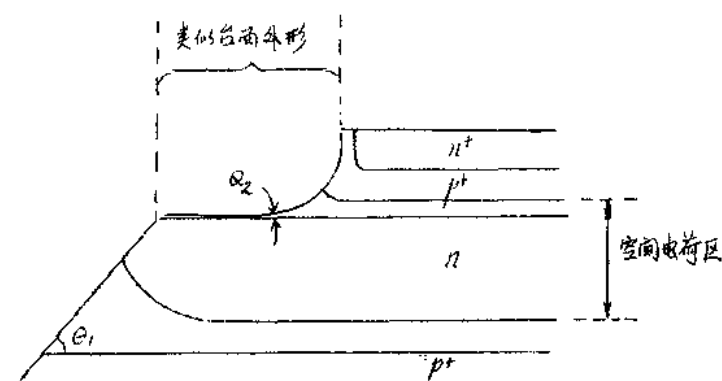


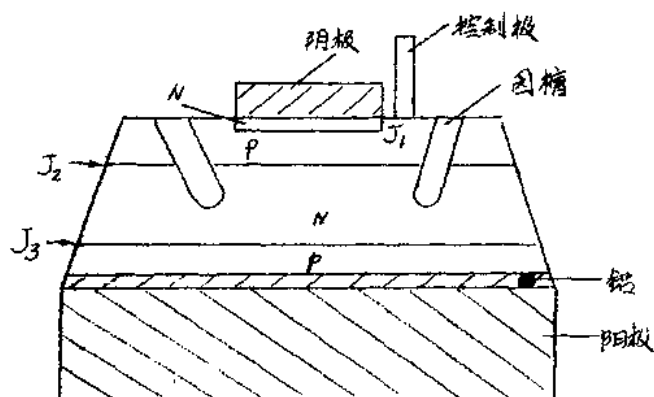
图2 类似于台面的结构

如果采用图2所示的类似于台面结构，只在 p^+ 空间电荷区附近磨成小角度，则在同样条件下，硅片直径的损失可由20毫米降至3毫米，减小了阴极面积的损失，用这种结构可获得正、反

向元件对称的4000伏电压（ 100°C 时测量）。这种结构一般用两个步骤实现：第一步用机械方法磨 θ_1 角，第二步用腐蚀方法磨成类似台面的 θ_2 角，腐蚀装置的本意是，详见“硅可控整流元件”（论文集）24~27页。采用这种装置，可使腐蚀、清洗、干燥同时进行。腐蚀液为 HNO_3 （发烟）： HF （40%）： CH_3COOH =====2：1：1（体积比）另外0.5克/升的 NaNO_2 （亚硝酸钠）。但这种结构并不是最理想的，因为当电压进一步提高，大于4000伏时， θ_2 必须非常小，这在经济上是不利的，在制造技术上也很有困难。如果把 θ_2 的负斜角变成正斜角来提高 J_2 结的表面电压，不但可以获得更高的大于4000伏的 J_2 结电压，同时还可使阴极面积少受损失，这样就由正、负斜角发展为正、正斜角。

1969年5月在伦敦召开的《功率可控硅整流器及其应用》

会议上，有人发表了一篇“高压硅可控整流的一种新边缘外形”的文章。其结构如查 3 所示。这种正、正斜角法制得了正反向几乎对称的 6000 伏电压。



查 3. 新边缘外形的可控整流器，其 J_2 和 J_3 结都是正斜角

个结都作成正斜角，成功地减小斜面上这些结附近的表面电场，使阴极面积几乎不受任何损失，使有效面积超过 60%。

为了使两个主要结 J_2 和 J_3 均能获得良好的特性，图槽的深度是十分重要的。假如图槽深度浅，在 J_2 结附近不能获得充分的正斜角表面，如果槽的深度太深，则槽将对 J_3 结产生不良的影响。这就是说，当反向电压加到 J_3 结时，槽表面的电场增加，使槽中发生表面击穿。因此，槽的深度必须精确控制。

这种正、正斜角的制造方法分两步：首先将 $p/n/p/n$ 的外围用喷砂法作成 J_3 结那样的正斜角。第二步在上表面用喷砂法刻图槽。查 4 是精确控制槽深方法的简明查示。用交流电流电压通过二极管 D 给 J_3 结加以反向偏压。假定 J_3 结是突变结， J_3 结的空间电荷层的 N 基区展宽，则空间电荷层的宽度 W_{sc} 应为

$$W_{sc} = \left(\frac{2KV}{QN_n} \right)^{1/2}$$

式中 K —— 半导体的介电常数；

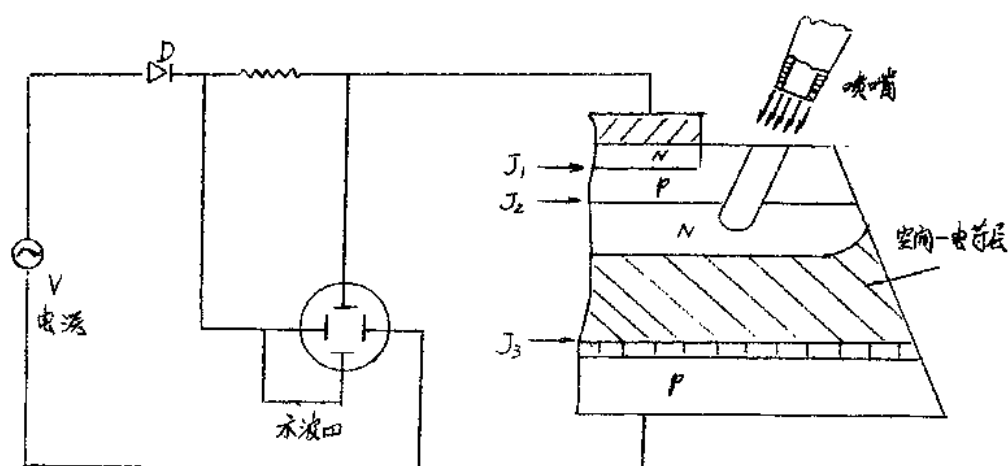


图 4. 正确控制槽深的喷砂方法

V —— 反向电压；
 I —— 电子电流；
 N_h —— N 基区的掺杂浓度。

用喷砂法在上表面刻槽时，先给 J_3 结加上反向电压，当刻出的槽底达到 J_3 结空间电荷层的边缘时，因空间电荷层边缘上的损伤增加，结的漏电流就突然增加。在水波口上观察到漏电流增加就立即停止喷砂。这样改变加在 J_3 结上的反向电压就能精确控制槽的深度。在进行喷砂刻槽后，为了消除斜面的机械损伤和污染，需进行化学腐蚀，用水冲洗干净，最后在斜面上结暴露的地方用硅有坑头和硅桶限等绝缘，在圆槽中充填以绝缘材料。

图 5 表示槽的深度对可控硅管沉口正、反向阻断电压的影响。在试验中的试样是用扩散合金法制成的。硅片是杂质浓度为 3.8×10^{13} 原子/厘米³ 的 N 型硅片；先用铁扩散成 pnp 结构，铝片和铝箔溶合在硅片一侧，金钨片溶合在另一侧， N 基区厚度 470 微米，倾斜角为 45° 。这个可控硅元件由它的物理几何决定的击穿电压约为 3400 伏。如果元件的材料是杂质浓度为 1.4×10^{13} 原子/厘米³ 的 N 型硅片， N 基区的宽度为 1000 微米，槽深 600 微米，斜角 45° ，斜面宽 3 毫米，则在室温下正、反向阻断特性

可达 6000 伏。

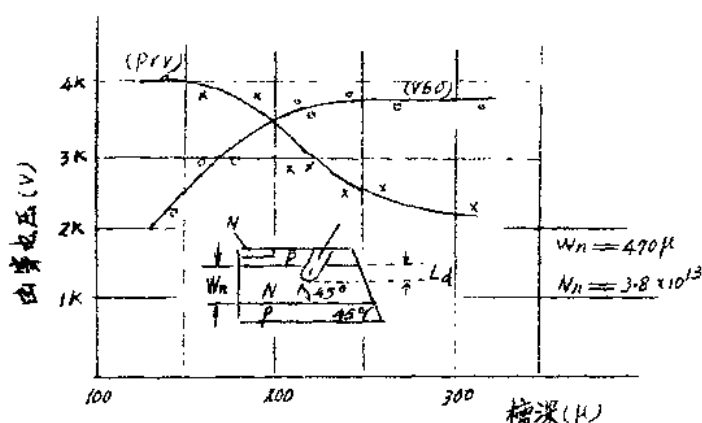


图 5 结深和击穿电压的关系

(2) 提高元件稳定性的表面保护

表面问题是半导体元件中十分重要的问题。一般来讲，元件性能变坏，往往是由于表面劣化而引起的。目前广泛采用的表面钝化膜为二氧化硅膜，早期采用高温 1000°C 以上热氧化生成二氧化硅，这种方法用于硅功率元件的 PN 结表面钝化，将在硅表面产生杂质再分布，形成反型层，硅和二氧化硅膨胀系数不同而开裂等问题。另一方面在如此高的温度下，将破坏元件各电极的欧姆接触，因此采用 400°C 以下的低温氧化生成二氧化硅膜的方法，试验证明低温二氧化硅膜的致密性、绝缘性比高温二氧化硅膜差，所以必须进行高温热处理或再涂硅油、硅树脂等保护来补救。最近发现氮化硅表面钝化膜，氮化硅不像二氧化硅能捕获 Na^+ 等离子形成反型层，而对 Na^+ 等离子具有屏蔽作用，不会形成反型层，这是氮化硅的主要优点。但是，硅与氮化硅的界面电阻高，于是就产生了氮化硅-二氧化硅-氮化硅三层钝化膜以克服各自的缺点。

最近还发现某些无碱的钝化膜对稳定半导体表面很有效。如：

1. $\text{SiO}_2 - \text{PbO} - \text{B}_2\text{O}_3 - \text{Al}_2\text{O}_3$ 系钝化膜。

2. $Zn - B_2O_3 - SiO_2 - GeO_2 - PbO - SbO$ 系玻璃膜。

3. $PbO - SiO_2 - Al_2O_3 - B_2O_3 - GeO$ 系玻璃膜。

但由于玻璃膜的抗蚀性较差，故采用二氟化硅膜——玻璃膜——二氟化硅膜三层钝化膜结构。

还有介绍在 $p-n$ 结表面蒸发上一层锗。使用锗的电阻率应与硅片的电阻率差不多。当 $p-n$ 结磨角后，表面进行清洁腐蚀处理，或受辉光放电的作用，然后安装在蒸发室可转动的支架上，蒸发室中有加热丝和盛有高电阻率的盐槽，将蒸发室抽真空，加热锗直至开始蒸发，管芯维持在室温，并依靠它的支架转动，使之相对于锗运动，在其各个表面，均匀地沉积上一层锗的氧化物薄层，层的厚度从 $50\text{\AA} \sim 500\text{\AA}$ 就行了，蒸发锗后，在锗层上涂一层光敏树脂保护层，这样处理后的元件，其阻断电压比原来的高 5 倍，而且元件在工作条件下性能稳定。

2. 快速导通

改进控制极结构提高电流上升率。

旁边控制极或月牙形控制极，对功率不大的可控整流元件来说是可以满足要求的，但大功率可控元件对这种结构就不能适应了。伴随着硅可控整流元件额定电流电压的上升而产生的足电流上升率耐另电压上升率耐另或开通损耗问题。除可以认为所发生的损耗大致与其电压成比例外，还可以认为由于耐压上升引起的中央 N 层厚度的增加，会使起始电弧的面积减小，以及由于扩展速度的减小，会使电流上升率耐另和开通损耗在同一设计条件下，分别与电压的平方成比例地减少和增加。对这些问题的控制极的结构改良，可得到很大程度的改善。

最近由于耐压水平的提高及快速元件的发展，提高电流上升率缩短关断时间已成为研究的中心问题，我国为此研究了多种控制极结构，使电流上升率提高到 1000安/微秒 或更高的水平。如查 6 所示的改进控制极（即 FI 控制极）结构，查 7 所示的再生控

制板结构及中心控制板或综合上述几种方法形成的双 FI 控制板，中心 FI 控制板，FI 再生控制板等。美国通用电气公司 68 年用放大控制板结构作出 110 安，1000 伏，频率为 10 KHz 的硅可控整流元件，这些结构大都基于以下两种原理：

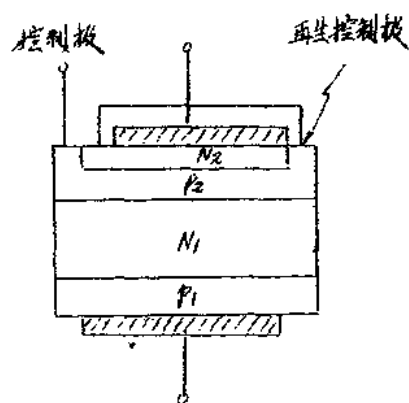
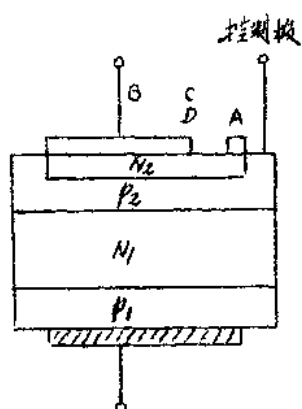
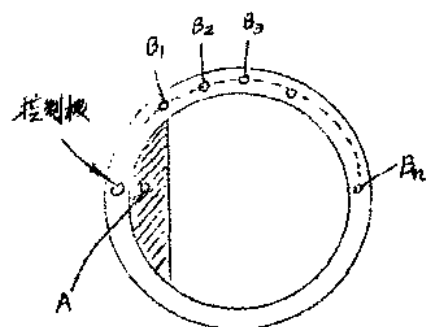
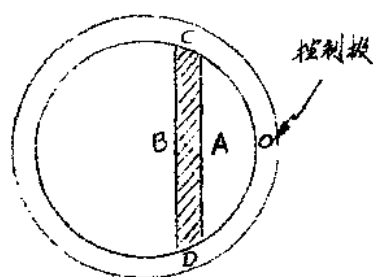


图6. FI控制板结构

图7. 再生控制板结构

使控制板靠近更多的阴极区，以使信号进入后控制板附近的阴极能很快导通，或在靠近控制板的阴极面上开槽。当控制板附近开始导通后，导通区域电压提高至阳极电位，使槽两侧产生了很大电场，促使了阴极全面积的导通。这样，其电流上升率将显著增加。

国外利用再生控制板结构已制得 100 安 1000 伏，电流上升率为 600 安/微秒，关断时间为 10 微秒的硅可控整流元件。

3. 大 电 流

提高电流虽然可以加大硅片直径来实现，但它并不是较好的办法。对细粒型硅可控整流元件来说，硅片直径的电极面积从 300 毫米² 增加到 600 毫米² 为二倍，电流只能从 200 安上升到 300 安为 1.5 倍，当电极面积增加到 1000 毫米² 时，电流还不到 400 安。为了提高电流密度，更有效地提高电流容量，采用双面冷却的平板型结构是比较理想的，在同样条件下，电流容量可增加 60%，水冷可增加一倍。最近国外采用化学液冷（如氟里昂）的方法，其容量将显著增加。日本三菱最近制造的 4000 伏，600 安元件采用直冷式，据报道是在元件靠近硅片的地方采用绝缘油直接冷却。不过平板型结构对大电流（如 500 安培以上）的高压元件是合适的。从应用角度来看，300 安以下采用细粒型结构，应用更为方便。大电流硅可控整流元件所采用的硅片直径、PN 结直径、电流密度如下表所示。

硅可控整流元件硅片直径和电流值

电流值 (安)	PN 结直径 (毫米)	硅片直径 (毫米)	电流密度 (安/厘米 ²)
250	19	23	90
500 (空冷)	28	—	80
550 (水冷)	28	32	90
700 (水冷)	30	(34)	100
800 (水冷)	36	(40)	80
(1500)		48	

近年来，还发展了内压接式的硅可控整流元件，这种结构是比较先进的，它一方面具有细粒式结构，使用方便，另一方面又可用压接式的优点，保证了附接结无应力，基本上解决了材料热疲劳问题。

4. PN 结的制造工艺

国外对硅可控整流元件的 PNPN 四层结构的制造工艺，主要有外延生长法、全扩散法、扩散合金法等几种。

近几年来，随着高压大功率元件的发展，对 PN 结的制造方法，很多国家都在采用全扩散的工艺（全扩散也有人称之为双扩散）。这是由于扩散工艺本身，对 PNPN 四件能获得很平坦的 PN 结，且能严格控制其杂质浓度和结深，尤其是提高 di/dt 的耐力和高温特性，需要有复杂的控制极结构，这只有全扩散工艺才能完成。虽然全扩散比扩散合金法工艺复杂一些，但它的成品率要比后者高，如果扩散板较多，在大号生产时，成本可能还要比后者低。因全扩散法具有上述许多优点，故国外很多都采用这种工艺。

有的公司试制 600 安，4000 伏的硅可控整流元件，是用外延生长、扩散法综合制造的。也有的公司试制 400 安，10000 伏的硅可控整流元件，是利用对称阻断外型法（Symmetrical blocking Contour），具体工艺未见报导。

扩散合金法的制造工艺，不少国家仍在采用，但他们也有用全扩散法。上面介绍的压反向阻断电压可达 6000 伏的一种新边缘外形，据报导是采用扩散合金法，这工艺较大特点是工艺简单，流程短，问题在于如何掌握它的规律性，使工艺趋于完善。

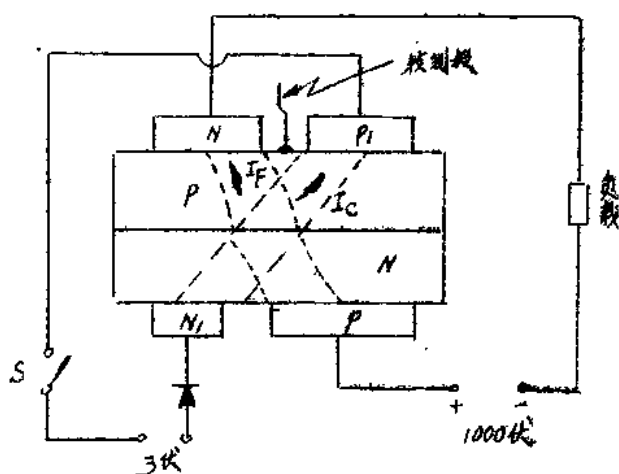
5. 发展趋势

硅可控整流元件的广泛应用，对元件提出了更高的要求，大功率电气设备受到单元件电压电流容量的限制，使用时必须串并联大量的硅可控整流元件。而为了保持各硅可控整流元件电压均等和电流平衡，需要用分压电阻和均流电阻，这些元件使装置体积庞大，线路复杂，维护不便，以致硅可控整流元件的优点不能充分发挥，如果使元件耐压水平及电流容量提高，可以大大减少元件数目，所以研制高压大电流元件仍是目前的主要方向。

有人讨论了静态和动态的等离子区 (plasma) 的扩展问题。当硅可控整流元件在控制极区域先导通时，需要一定的时间才能使整个元件都导通。这一等离子区传播的性质称之为动态等离子区的扩展。还发现，使整个面积导通，必须给一定的施瓦兹电流，在这电流下，导通面积与电流成正比，这种性质称之为静态等离子区的扩展。研究这些现象的方法之一，是列昂可控在流口发出的红外辐射变成可见光，因为它可以指示出导通面积有多大，用以设计出一种合理的控制极结构。等离子区的扩展是很重要的，因为它限制了元件能否在高频下使用的因素。

四端可关断的硅可控整流元件 (Cross Current Thyristor) 的发展，很大程度上是建立在红外线试验的基础上。如查 8 所示。负载电流 I_F 沿着与常见的硅可控整流元件相似的路径流过 PNP 通路。

关断作用是由闭合开关 S 完成的。此时，电流 I_C 沿着 N_1NPP_1 流过。此电流的方向与负载电流相同，它将使 PNP 部分中心结区在导通时储存的注入载流子扫出去，如查 8。常见的四端注入载流子在反向时由反向恢复电流除去，而在这种元件里，注入的载流子在正向由电流 I_C 而除去。正常的时间作用



查 8

用要求载流子沿整个导通面积均匀地除去，因不均匀地除去载流子将产生过热。如果此一现象现在唯一的方法就是红外线观察法。

查 9 为 $V_{BO}-FI$ 结构的硅可控整流元件，这是采用“引燃场” (Field Initiated) 的导通原理，以提高用正向转折电压触发的硅可控整流元件的 di/dt 额定值。

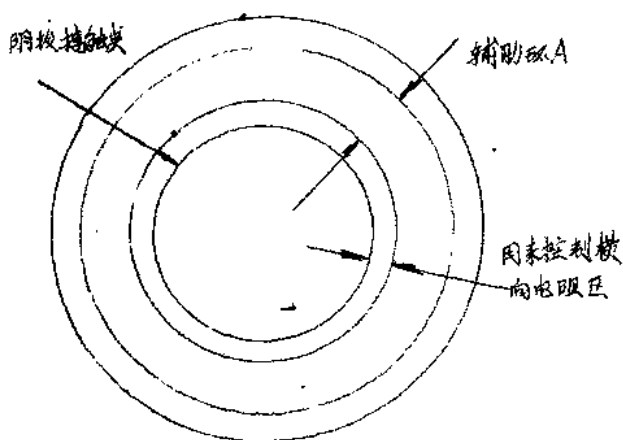


图 9

在这一情况下，元件连续导通发生在辅助环内或辅助环外。在具有可控横向电阻的区域产生的电压降导致第二次触发，它沿着阴极接触周围发生，结果产生了高的 di/dt 能力。红外试验表明，在特殊设计的元件中蚀刻的在个周界是导通的。

大功率可控整流元件的集成电路研究，现在报导的不多。有的学者正在进行强电方面集成电路的研究，有的已有将双向可控整流元件和晶体管作成一体的电路报导，预计未来在强电方面硅集成电路的发展会使硅可控整流装置将更加简化。

最近国外发展的塑料封装的硅可控整流元件也比较流行，经过热、机械振动测试证明其性能可靠，但目前电流容量不大。

在集成电路工艺中，光刻时要用掩模进行曝光，如果用电子束时，则不用掩模，而是直接在硅片上曝光，就是说，将电子束集成细束按图形进行扫描，因而没有必要进行掩膜。

国外也有用离子掺杂技术制造半导体二极管、三极管、太阳能电池等元件，它的原理就是利用高能加速离子的轰击，将离子掺入衬底材料中去。离子掺杂可以不用掩模，不用氧化光刻，按图形扫描的情况下，直接做成各种元件。这项技术虽然先进，但设备较复杂，成本高，目前还不适应推广生产。

(二) 半导体扩散技术近况

1. 前言

向半导体中扩散杂质并不是什么新鲜东西，早在 1958 年就開始用于工业上了。后来，由于二极管源层扩散的发现，及其稳定的成品率和良好的特性，即使现在扩散技术仍被广泛地使用着。同时因为有了稳定的 P 型杂质扩散技术就使硅可控工业生产有了可能，进而产生了合金扩散型硅可控元件。对于中小容量元件，用 III—V 族化合物进行两种杂质的同时扩散，就有可能降低它的价格。在合金扩散型中，PNPN 结的制作，需要扩散后再进行合金化二道工序，而在采用同时扩散时，一次就可作成 PNP 结，从而成为使元件价格低廉化的不可缺少的结制造方法。这期间，在确立元件设计方法的同时，对扩散规范也进行严格要求，另外，对扩散炉温度控制系统的改进、热电偶的精密校正方法和修理方法的确定，以及扩散的基础理论、寿命控制、氧化膜制造方法，表面光洁度、扩散深度、表面浓度、寿命，MOS 特性等的各种改进，对扩散技术都提出了新的要求。下面，对目前的扩散技术加以叙述。

2. 基本扩散理论

表达扩散现象的一般方程式，是由菲克法则导出的下面的二阶偏微分方程式，它也是物理学上的一个输运问题之一：

$$\frac{\partial N}{\partial t} = D \frac{\partial^2 N}{\partial x^2} \quad \text{----- (1)}$$

其中： D —— 扩散系数； N —— 杂质浓度；
 t —— 扩散时间； x —— 距离。

根据不同的边界条件，(1) 式的解可以有多种形式，在此，根

据制造 PN 结的半导体扩散技术的实际情况加以叙述。

2.1 恒定杂质浓度扩散

当杂质浓度与时间无关时，根据 $t=0$ 时， $N=N_s$ ， $t=$
 ∞ 时， $N=N_s$ ， $x=0$ 时， $N=N_s$ 的边界条件，解

(1) 或则得 (2) 式：

$$N(x, t) = N_s \left(1 - \frac{2}{\sqrt{\pi}} \int_0^{\frac{x}{2\sqrt{Dt}}} e^{-\lambda^2} d\lambda \right) = N_s \operatorname{erfc}\left(\frac{x}{2\sqrt{Dt}}\right) \quad \text{--- (2)}$$

确切一点，如果把 N_0 作为半导体基底杂质浓度，把 N_s 作为
 固定的表面浓度，则 (2)' 式成立：

$$\begin{aligned} N(x, t) &= N_s + (N_0 - N_s) \operatorname{erf}\left(\frac{x}{2\sqrt{Dt}}\right) = \\ &= N_0 \operatorname{erf}\left(\frac{x}{2\sqrt{Dt}}\right) + N_s \operatorname{erfc}\left(\frac{x}{2\sqrt{Dt}}\right) \quad \text{--- (2)'} \end{aligned}$$

下面，对用同时扩散的方法一下子作成两个 PN 结的情况加以
 讨论。例如，象图 1 所表示的，把 N_{sN} 作为 N 型杂质表面浓度，

把 N_{sp} 作为 P 型杂质表面浓度，假如

$N_{sN} > N_{sp}$ 时 $D_N < D_p$ (扩散系数)

，基底浓度为 N_0 ，发射区宽度为 N_E

，基区宽度为 P_B ，并把 N 型杂质浓

度取为 1，则 (3) 式成立：

$$\begin{aligned} N(x, t) &= N_0 + N_{sN} \operatorname{erfc}\left(\frac{x}{2\sqrt{D_N t}}\right) - \\ &N_{sp} \operatorname{erfc}\left(\frac{x}{2\sqrt{D_p t}}\right) \quad \text{--- (3)} \end{aligned}$$

但由于 N_E ， P_B ， N_{J3} 为元件设计
 时的重要参数，故要分别求出：

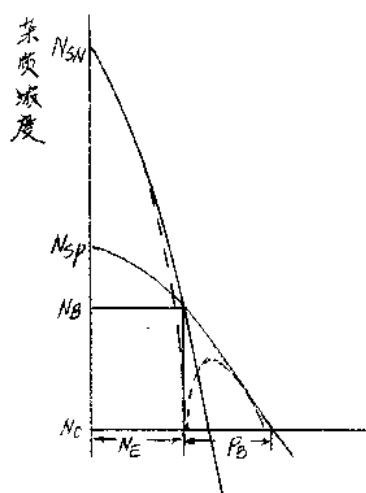


图 1. 双扩散剖面