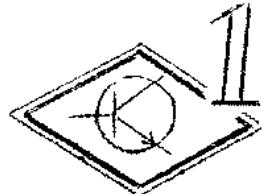


小 型 計 算 机

計算機



南京工學院第八系資料室翻譯

1975.5

发展使小型计算机取代大型机

快速坚固的TTL/MSE,半导体存贮田,多路单总线,微程序和浮点四产生了相当于大型机的能力而又不牺牲价格—效能性的小机型。

由於新技术的综合发展和基於用户要求的变化,小机型最快地达到大机型的能力,同时保持小机型价格—效能比小的特点。

PDP-11/45是最近出厂的水平,它是PDP-11系列的最新补充。1/45从小型机组织结构上和技术上介于与较大型机接标准形式通讯的16位通用计算机,帮助PDP-11系列重新建立小型机界线的一些技术是多路单总线,混合存贮田(双极,MOS和磁心),一定有效的强有力的指令族,微程序,硬件浮点存贮田管理,快速逻辑门和多层次板。

像图1(a)指出的第一台小型计算机的结构,来理解小型计算机的演变。早在初期的机型中,对于输入输出和存贮田各自分别由控制处理田提供。至多,输入输出总线同步地运行,仅能对响应时度狭窄范围内的一些外部设备,并相对缓慢而存贮田是快速的和共同性的。

用了这种布置存贮田的限度是不多于8字的4K字,也就是总线长度有10英尺,并且终端设备调整得很谨慎,速度范围是十分受限制的,这样容量相加的混合存贮田是不适用的。

当单总线概念在PDP-11结构内被引进时,小型计算机设计得到有效发展(Electronics Dec 21 1970, p47)单总线本质上是在计算机系统部件之间数据传递的一个极快同步系统,它的特点是交叉(重迭)的总线传输,挑选允许使用总线的最近的系统部件(bus arbitration 总线仲裁),最快地同步操作,和改善的超过上述小型计算机存贮田总线驱动能力——能驱动四倍

距离的两倍的负载。

重进的总线传输和总线仲裁(arbitration)增加总线通道能力直接存贮的存取和部件之间相互通讯的多路通道是一子采用不附加价格或时间代价的方法。

因为单总线以同步式操作,故用户能以不同的速度混合存贮,并且总线缓冲区(双向转送区)能被附加扩大负载能力及所要求的线的长度,系统通讯像使用 $1/20$ 一样, PDP-11种类最重要的通用部分已在图1所示。

即使总线在增加系统通用性上是成功的,但高速度半导体存贮区的出现,当取数时间超过最大的总线速度时,就要求一子新的存贮区结构手段(方法)。

实际上这新的手段已列于图1(c), 它是把存贮区系统分隔为两部分:一子为较慢的磁心块或存贮区设备和一般的外部设备,另一子为高速半导体存贮区。为了达到这子目的,一子很快短的总线加到系统总线把两部分半导体存贮区系统连接到中央处理区。这第二半导体存贮区的控制部分是一子标准的单总线接口(图中单总线2)。

这“两部分”之结构对小型机引起灵活程度并且上述改善的系统性能仅在许多较大型机中看到。因为中央处理区要求与两个半导体存贮区中一子的动态存贮区之间通讯控制,第二子控制是自由地管理整个单总线以每秒 40×10^6 位速率所要求的外部单总线数据。

在较先进的设置中,单总线2不要求直接连到单总线1,但是可以像一子同时操作的第二总线那样被利用,并且与单总线1无关。于是当保持单总线1处理中断和其它外部要求的时候,单总线2能有一子很高的支撑通道速度。

较注意应用之一,列于用图1(d)的两个单总线是横穿连接两个处理区,因此在存取公共数据堆,本质上是两个处理区运行,

呈现出冲突或花串数据时间。

P3

高速半导体存储器系统如图2所示，包含模型和控制模式。这个模型组件包含实际的存储部件，目前用于PDP-11/45的两个半导体存储器是用4096字16位的MOS和1024字16位的双极存储器。这控制模式提供定时同步、中央处理接口和等于四个模型组件的单总线接口。整个电路MOS和双极模型组件要求不同的控制模式。

PDP-11/45包含实际提供两个相等的控制口。每一个由四个模型组件合成，因此最大的32K字MOS或双极8K字或用4K双极度或16K MOS是可能的。这种体系结构对容纳任何将来较高密度半导体存储部件都适合的。

目前直接利用的MOS存储器是1103-1，每芯片1024位首先被Intel交付。这种选择是基于产品提供的性能和价格。MOS存储系统取数时间水平是350ns，而提供取数时间比得上的磁心存储器是决定于寻址结构的。

当MOS存储器给予显著速度改进，PDP-11/45为更高速操作而设计和为了高速应用提供一个较低密度、较高功率和较高价格的双极存储系统。在该系统基础上，取数时间趋向295ns，更大规模就与寻址路线无关。最初存储元件是每个256位，可以由Motorola和Texas Instruments买到的TTL兼容双极芯片。

由于半导体存储器是固有地具挥发性，几种方法对处理暂时关闭电源的用户是适用的。这些中间，最普通的是把基本过程一状态信息保持到通常适用于所有大系统的磁心存储器中。把半导体存储器作为程序存储器，因为程序是通用的而不是自己制造出来的（自生的）。它们能保持在磁鼓或磁带上，并且当电源恢复时，则自动变换。也就是电源保苗取舍的调整是适用于保持系统上直到备用的第一电源能够被恢复。

如果没有半导体存贮器，PDP-11/45是比PDP-10在速度上快两倍，价格高1.5倍。这价格决定于存贮器和指令执行混合。用3半导体存贮器系统能在速度上快七倍而价格上花费两倍。

所有PDP-11/45存贮器系统提供任意位组的奇偶校验。这使矩阵字的长度增加到18位并且给予附加的可靠性。

PDP-11系列的指令系统也表现了小型机结构先进的系统，指令系统的价值是根据三标准来评价：用户对介题编码完成的容易性如何，一次编码的程序结果如何快，包括编码与操作这种数据所需要的存储容量如何多。

在PDP-11系列中，焦点是构成解题基础的数据型式、数据结构、操作和中断系统。PDP-11系列指令系统能有效地管理数据型式的整数分类（位位组、字、多字、加符号整数和不带符号的整数，和浮点度量。）数据位组通常利用于两字操作系统（运存）和外界用户。因为采用PDP-11系列工作的一字程序只有许多有效的指令，它能处理像不失编码存贮效率或速度的程序需要的字或位组。另外，它能方便地与带符号或不带符号的数据交往，例如加、减、带符号或不带符号的乘法比较、寻址和杆测溢出常数是必需的。大多数机因仅能管理一字，不能管理两字。在早期的机中，例如不带符号的算术比较是用硬件做的，带符号的算术比较是用取若干字指令完成的软件来做的。这不仅延长了计算机时间，而且大大地增加了程序出错的几率。在PDP-11/45中，一字完整的条件分枝指令族（Conditional branches）和由硬件提供的条件码处理两者带符号和不带符号的远地址量。PDP-11系列的特征键是使得保证完有被任何12种不同的寻址模式的数据结构之广泛变型的能力。这就保证让程序对它的专门而挑选一字最佳的寻址模式。

正如近1968年以来，小型计算机有很朴素的中断结构，并且不是控制优先权的方法。因此，当对总线存取要求是接收自

由你打字机断电,计算机关机时,系统有决定较重要的要求,及什么时间启动它的,小的灵活性而且在总线上的所有装置都有取得使用它要求的决定。此外,当处理器优先级下降时,最晚时间对能服务的方面要求是没有软件中断系统。

PDP-11/20产生后,提供了四种中断优先级。在11/15中,优先级数目增加到8个,可以干硬件中断或干软件中断和仅行软件中断,那就是Polling(查票)被取消一中断提供等同于要求装置的独有的中断向量(interrupt vector)。

11/15的另一个特点是两组通用寄存器,用它处理四状态字用来指明哪一位寄存器赋于专门装置的中断服务程序。因此某些通用寄存器献身于仅服务很快的装置,中断服务时间减少为50%之多。

CPU设计的典型方法是实现主状态寄存器,中断译码器和其它用分立元件组合逻辑的功能利用网络,虽然有的有广泛的范围特美,但这些网络的花费实质上是大的,并且对排除干扰也是困难的。

无论如何,在对于11/15微处理设计方法中,利用双极只读存储器进行翻译指令和对计算机的数据通路及外部环境的两个控制进行操作。因为指令微处理器直接实现指令流,所以设计极快地给出由於它容易地改变控制四状态,所以迅速处理排除内部电路板的干扰。但是最主要地,控制逻辑的规模与价格它是有效减少了。

控制处理器和浮点处理器两者都包含在用双极ROM的微处理器之内。这些处理器到於图3,它处理状态顺序和数据通路和进行总线控制的管理。这些微程序处理器由微程序地址寄存器,控制存储器,控制存储器输出缓冲器和微程序地址控制器构成。

这微程序地址寄存器是D型触发器构成,它保存控制存储

由读出的下地址(类似于常规机的主状态移位寄存器)

P6

控制存储器是一字被ROM包含的 256×64 矩阵。它的输入是馈送到控制存储器输出缓冲器的一字48位D型触发器寄存器并也对微程序地址控制这控制存储器的输出缓冲器驱动多路开关选择器和提供使均衡的定时脉冲通过机。控制存储器输出也供给自己拥有的地址和选择外部信号及内部修改这字地址的读出状态。

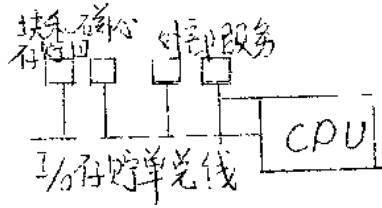
优先的浮点指令藏在另一字微程序技术的地方，并且迅速地，目前高密度ROM许可用户实现低价格的基本改进系统。

计算机系统的浮点能力减轻用户对于进制小数的注意，因为小数点在大的动态变化范围的应用中是麻烦的。它也容许高级语言程序，例如像提供最快介题的Fortran和Basic。使用这些“形式”的语言，至少七倍地提高程序效率就能够超过汇编语言技术。浮点乘法时间对于32位数是8μs而对64位数是15μs。按结果，许多计算机用145浮点处理比用操作的程序设计高10倍。

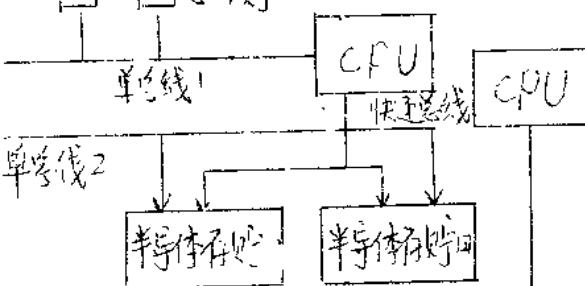
145系统的计算机功能是很适合分时应用的。它的系统的关键是系统资源的管理——恐怕其中最重要的是存储器。分配器提供一字被系统监督程序能对每一个用户分配现行存储器的机构。这是通过给每一个用户的分配程序和对存储器系统的专门元件的程序中被执行的一部分放到高速双极存储器，而大型数据阵列是放到较慢的存储器里(例如磁盘)。一个软件将系统执行这些程序。

对145的估价再向前是什么？一个发展将是半导体存储器的推广，更好的价格——效能、高密度、快速元件更适用。当往后的高性能系统被实现时，将来发展的主方向将是朝多至处理器组前进。

不使用总线 CPU 与总线



(a)
块式和碎
块式缓冲器



(b)

总线
光缆

(c)

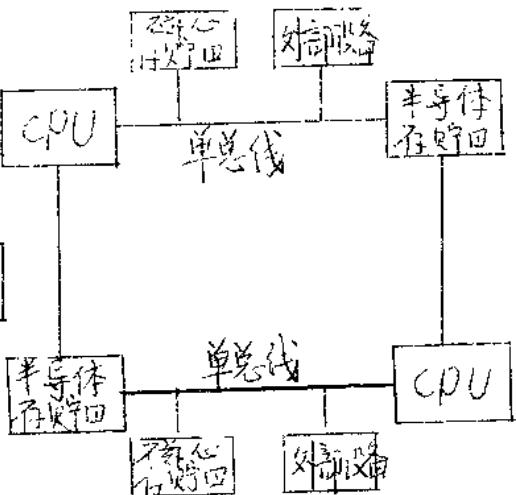


图 1

(d)

发展由来：早期的计算机(d)把 I/O 和存储器总线分开通常小于10英尺长度。联合分枝概念由能量理长度10英尺的枝条。在图(c)中的解决方案为 I/O 存储器要求利用若干个总线，一个是缓慢存储器的总线，另一个是较快的总线。管理在CPU和快速半导体存储器之间传输的数据。两个处理器共享总线允许两者共存数据实际上不冲突和负担数据时间。

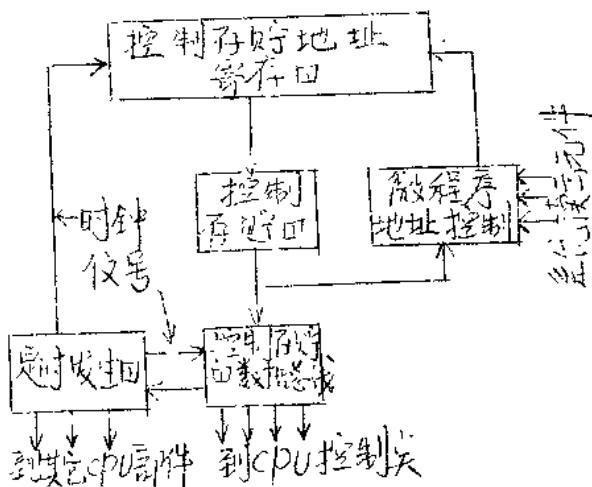


图3. 微处理控制回路管理
状态顺序和数据通路总线
控制。它是类似于指令
译码和常规机头的主状
态控制。

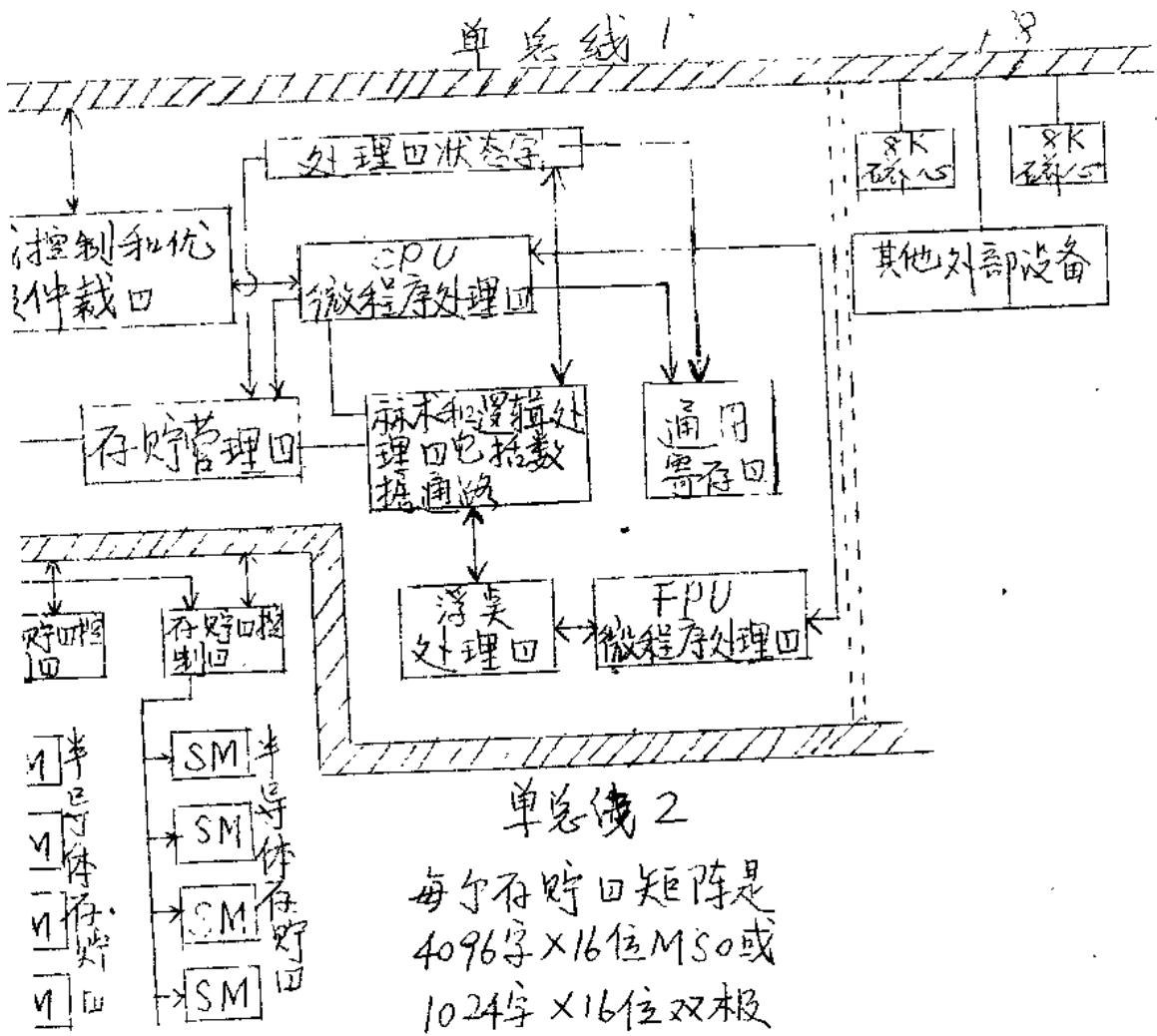


图2 新方法 CPU的存储管理通过连接总线对
半导体存储器存放和提供地址、读写和存储保护。浮点
运算处理机对执行浮点运算同步地操作。

~~MOS~~LSI 微處理器設備系列的相容性

P1

表 1 系列的电路型式
名 称

CPU	4位半共用端口
RAM	256X4 位机访问存贮器
ROM	1024X8 位实存贮器
I/O	总线704X8 ROM 和 76X4 RAM 输入缓冲器
时钟	多相时钟发生器 (Multiphase)

表二 系統特性

电闸	-17°
时钟频率	2.00 KHz
周期时间	5 μs
取指令时间	5 μs
时钟时间和执行指令时间相加时间	30 μs
取指令两个字节时间	2.5 μs

P.Y

1. 宜字位(4位)
2. 好好
3. 指令
4. 路工步裝組電
5. 地相封塑膠半圓
6. 別開膠半圓
7. 功率低插頭

11.384
X19-
50 本
存根 别
16

13

75~250 mV/每组件

基本系統操作

CPU 自或
CPU 四或
时序 bit 定度。
ROM 位相处理
在对四成数据
作今数做的
操作指针 MS 高
统远序 5 较
系行程是有
制执行 AN 期示
控制 RAM 周指
旅编入号钟
令和复住时
指令令商却
本读指时外
尔寻备取对
对减指比
ROM 指准的相

卷之三

多路系統數據傳輸

行超址輸入和地線並列，由地線到地線和其餘三根並列，並列的兩根是 ROM 地址線，另一根是 RAM 地址線。ROM 線由 ROM 圖一對輸出，RAM 線由 RAM 圖一對輸出。CPU 線時序選擇與地線和向外連接。這些據是元光基機這數里單基連路行 U6 有電並 CPU 4096 個地址，CPU 地址在量程儀表上。

由 CPU 和 ROM 通过总线进行数据交换。CPU 在总线上发出地址、控制和数据信号，而 ROM 在总线上接收地址、控制和数据信号。CPU 可以向 ROM 写入数据，也可以从 ROM 读取数据。ROM 在接收到写入命令时，将数据写入存储单元；在接收到读取命令时，将存储单元的数据读出并返回给 CPU。CPU 和 ROM 通过总线进行数据交换，从而实现了程序的读取和数据的存储。

设备逻辑

CPU

4 位平行总线 CPU 是从单片机出来的，虽然送出了 17 位指令，但只作为在 CPU 和 RAM 之间进行数据交换。CPU 的地址总线是通过 CPU 的地址引脚直接连接到 RAM 的地址引脚上的。CPU 的数据总线是通过 CPU 的数据引脚直接连接到 RAM 的数据引脚上的。CPU 的控制总线是通过 CPU 的控制引脚直接连接到 RAM 的控制引脚上的。CPU 的时钟信号是通过 CPU 的时钟引脚直接连接到 RAM 的时钟引脚上的。CPU 的复位信号是通过 CPU 的复位引脚直接连接到 RAM 的复位引脚上的。CPU 的电源引脚是通过 CPU 的电源引脚直接连接到 RAM 的电源引脚上的。

4 位平行总线 CPU 是通过 CPU 的地址引脚直接连接到 RAM 的地址引脚上的。CPU 的数据总线是通过 CPU 的数据引脚直接连接到 RAM 的数据引脚上的。CPU 的控制总线是通过 CPU 的控制引脚直接连接到 RAM 的控制引脚上的。CPU 的时钟信号是通过 CPU 的时钟引脚直接连接到 RAM 的时钟引脚上的。CPU 的复位信号是通过 CPU 的复位引脚直接连接到 RAM 的复位引脚上的。CPU 的电源引脚是通过 CPU 的电源引脚直接连接到 RAM 的电源引脚上的。

4 位平行总线 CPU 是通过 CPU 的地址引脚直接连接到 RAM 的地址引脚上的。CPU 的数据总线是通过 CPU 的数据引脚直接连接到 RAM 的数据引脚上的。CPU 的控制总线是通过 CPU 的控制引脚直接连接到 RAM 的控制引脚上的。CPU 的时钟信号是通过 CPU 的时钟引脚直接连接到 RAM 的时钟引脚上的。CPU 的复位信号是通过 CPU 的复位引脚直接连接到 RAM 的复位引脚上的。CPU 的电源引脚是通过 CPU 的电源引脚直接连接到 RAM 的电源引脚上的。

接。次復法與加減法一樣，其是加減法的逆用，即令指四或指六與指三指五相連接，則指三指五與指四指六相連接，這樣就可將題目中所給的條件與題目要求的結果聯繫起來。

三、四位寄存器(BU,BM和BL)构成12位地址单元,低位(BL)能由程序直接控制NAM RAM。当RAM累加暂存器自寄存到被访问的RAM时,在RAM中表示高八位的四位寄存器将从高到低逐位地向RAM写入地址,同时通过串行输入端向RAM写入数据。如果在修改操作期间没有破坏当前RAM地址指针,则在修改操作期间如果将新地址写入四位寄存器,也能作为被从RAM读出的新地址的四位寄存器。

P计数器对每期的 ROM 期数进行统计，同时将存于 SAM 中的 ROM 地址和数据读出，存入 RAM 中。这样在 RAM 中就形成了一个与 ROM 地址一一对应的表，即 ROM 地址表。ROM 地址表的建立是通过 ROM 地址表生成器完成的。ROM 地址表生成器由 ROM 地址表生成器、ROM 地址表存储器、ROM 地址表读出器、ROM 地址表写入器、ROM 地址表校验器等组成。

能产生接线状态，起动部件为系统的内部状态。CPU是接收信号的输入端，它通过接口顺时针连接到外部输入端，从而完成数据输入。CPU的输出端通过接口顺时针连接到驱动部件，从而完成数据输出。

.ROM

4字节 ROM 基址或 4096 位微指令字能够由 CPU 直接编址, 10 位地址和 4 字节基址选择四输入直接寻址。ROM 基址或 16584 位微指令字两字节附加的基址选择输入(它不能被 12 位地址总线编址)能被一字节电路输入或被送入 CPU 分段寄存器编址。

在这种排列下,由 ROM 的 8 位平行输出与外部连接度到 4

位平行输出和控制输入 A5/H 是被利用作高位输出中的高或低四位这就有效地建立一个 2048×4 位的许可数据存储的结构。在 RAM 周期时间内它能被编址和访问。

2 A N

由一个 356×4 位组合成 1024×1 位随机存储器而设计的(图5)。它是按照单一 17° 电场供电的自动刷新逻辑动态存储器而设计的。A 和时钟输入最大访问时间为 $17.6\mu s$ 并与 CPU 有相适应的接口。它是用作一般工作存储器和高速缓存。

CPU 的 12 位地址和 16 位数据线直接由地址总线和数据总线输出。地址总线有 2192 地址可供选择，由 CPU 的地址译码器通过地址锁存器锁存。地址锁存器的地址输入端接地址总线，其输出端接 RAM 的地址输入端。CPU 的 16 位数据线直接由数据总线输出。数据总线有 8K 字节 RAM 可供选择，由 CPU 的数据译码器通过数据锁存器锁存。数据锁存器的数据输入端接数据总线，其输出端接 RAM 的数据输入端。

RUM/RAM

是相对的。常RAM选择电路当RAM选择时，由译码输入地址和时钟输入，再经驱动器驱动RAM。先由地址译码器译出高4位地址，再由低4位地址与ROM地址进行比较，若相等，则ROM被选中，其输出由译码器译出，再经驱动器驱动RAM。若不相等，则由低4位地址与RAM地址进行比较，若相等，则RAM被选中，其输出由译码器译出，再经驱动器驱动RAM。若不相等，则由低4位地址与ROM地址进行比较，若相等，则ROM被选中，其输出由译码器译出，再经驱动器驱动RAM。

通用 1%

遠收線雙並一仁
求得總在址每回
該路據收尋中少
之電數接是首三
心返于時完兩到
沖計能舉對隨
緩發數段六照跟
而置滑碼樓上
據轉放且浮游線
數之未引位用急
按態結于千足據
天動令達的等數
部電受向對位數
外^Y接期據干遠
与小明期數遠詳
和單尺固位位解
時用自于8四離
一并搜一的外令
搜是和在上房命
7) 据是統收據
圖數就總接數

126

接驳存字戶解決外輸10/10，
出入寄令用送3到制碼在外
輸输出指被存位據複代置中
行这輸时当保十數3的放法
平线在址起然之送未位们方
位基苗編一當四傳苗底完些
斗據保的往入存統即尔把这
于數前之接与寄系1-1且在
一的以能接須位从11地並四
自四變可入父四者为們據加生
據加改半輸處組或碼类數累产
數累到先擇程三統代B的到地
送的直基造微擇系位」A據快
傳11在功功此送到低存組數很
者C据尔地4送含寄四劫能
或到數16四生和传包出收復送
尔制把於令。2界令輸接明使
一得且用命路1外指到入指據
之為子是10電位从的客輸將數
四(B)向出子对功的據10內取CPU向
存(A)或态54每找把參线去线统
四(B)清位到对码是一总功若系
存(A)是当时令如据令據和
守四回内位接址命側數命數路
出收动四的端地足界入走線電

输入接收是 TTL 和 MOS 所具有的高阻抗输入($\geq 1M\Omega$)；数据输出像 A 时钟输出一样是开路漏极(集电极)型式电路这电路由 TTL 和 MOS 级提供。

时钟发生器

图 4-1 的时钟发生器产生电路要求的 A 和 B 时钟波形。

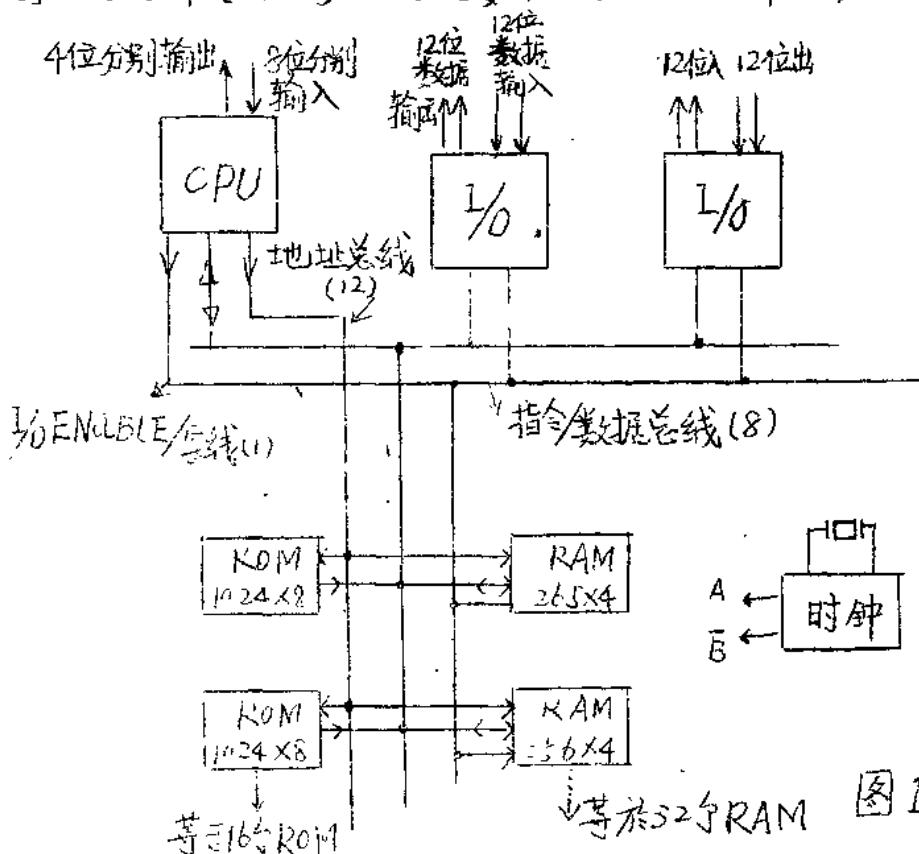


图1 在相位系列内包含所有设备型式在内的基本微处理器系统组合除联合的RAM/ROM外，一至12位地址总线，8位数据总线和如果没有附加其他分量形式，模数设计得允许系统扩大。

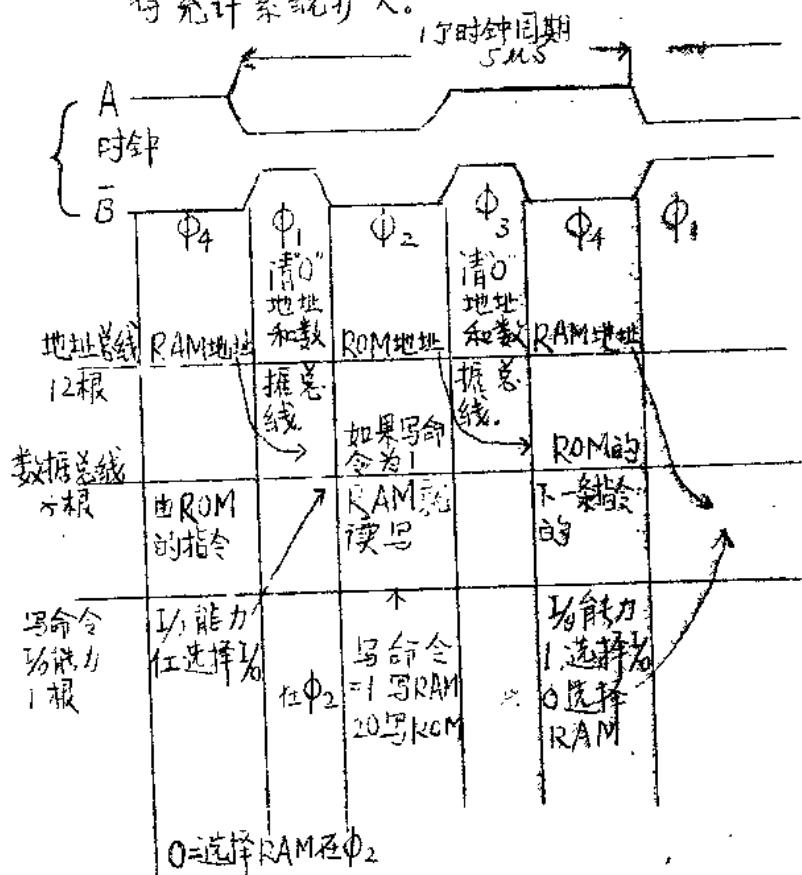


图2 系统总线定时

仅在2相和4相期间占有数据传送和在1相、3相期间被除总线到0拥有许多设备共同总线产生高容量负荷驱动能力。

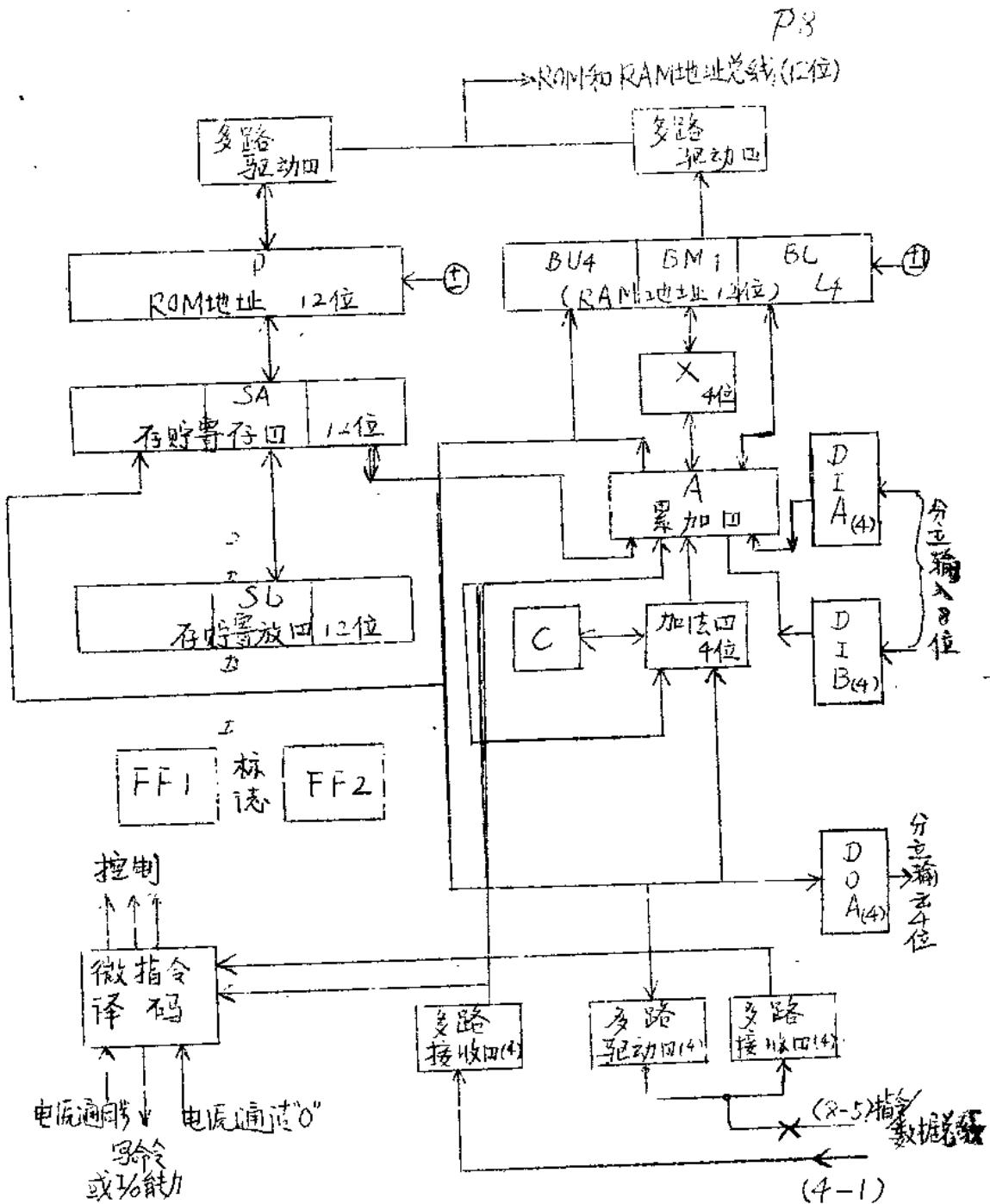


图3 CPU框图

指令译码、寻址和控制逻辑、地址和暂存器和带有放置
系统内接口的接收与驱动器都包含在一个LSI基础上。