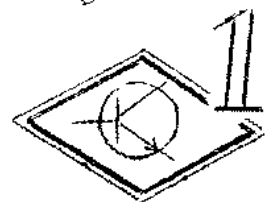


小型计算机

译丛



南京工学院第八系资料室翻译

1975.5

发展使小型计算机取代大型机

快速坚固的TTL/MOS, 半导体存储器, 多路单总线微程序和浮点四产生了相当于大型机的能力而又不牺牲价格—效能性的小机四。

由于新技术的综合发展和基于用户要求的变化, 小机四最快地达到大机四的能力, 同时保持小机四价格—效能比小的特点。

PDP-11/45是最近发展的水平, 它是PDP-11系列的最新补充。11/45从小型机组织结构上和技术上介决与较大型机按标准形式通讯的16位通用计算机, 帮助PDP-11系列重新建立小型机界线的一些技术是多路单总线混合存储器(双极, MOS和磁心), 一个有效的强有力的指令族微程序, 硬件浮点四存储器管理, 快速逻辑门和多层板。

像图1(a)指出的第一个小型计算机的结构原理, 小型计算机的演变早在初期的机四中, 对于输入输出和存储器各自分别由控制处理四提供。至多, 输入输出总线同步地运行, 仅能对响应时度狭窄范围内的这些外部设备, 并相对缓慢而存储器是快速的和公共同步的。

用了这种布置存储器的限度是不多于8字的4K字, 也就是总线长度有10英尺, 并且终端设备调整得很谨慎, 速度范围是十分受限制的, 这样容量相加的混合存储器是不适用的。

当单总线概念在PDP-11结构内被引进时, 小型计算机设计得到有效发展[Electronics Dec 21 1970, p47]。单总线本质上是在计算机系统部件之间数据传递的一个极快同步系统, 它的特特点是交叉(重迭)的总线传输, 挑选允许使用总线的最近的系统部件(bus arbitration 总线仲裁), 最快地同步操作, 和改善的超过上述小型计算机存储器总线驱动能力——能驱动四倍

距离的两倍的多负载。

重迭的总线传输和总线仲裁(arbitration)增加总线通道能力直接存貯的存取和部件之间相互通讯的多路通道是一个采用不附加价格或时间代价的方法。

因为单总线以同步式操作,故用户能以不同的速度混合存貯,并且总线缓冲回(双向转送回)能被附加扩大负载能力及所要求的线的长度,系统通讯像使用 $1/20$ 一样,PDP-11种类最重要的通用部分已在图1所示。

即使总线在增加系统通用性上是成功的,但高速度半导体存貯回的出现,以存取时间超过最大的总线速度时,就要求一个新的存貯回结构手段(方法)。

实际上这新的手段已列于图1(c),它是把存貯回系统分隔为两部分:一个为较慢的磁心块式存貯回设备和一般的外部设备,另一个为高速半导体存貯回。为了达到这个目的,一个很短的总线加到系统总线把两部分半导体存貯回系统连接到中央处理回。这第二半导体存貯回的控制部分是一个标准的单总线接口(图中单总线2)。

这两部分之结构对小型机引起灵活程度,并且上述改善的系统性能仅在许多较大型机回中看到,因为中央处理回要求与两个半导体存貯回中一个的固态存貯回之间通讯控制,第二个控制是自由地管理整个单总线以每秒 40×10^6 位速率所要求的外部单总线数据。

在较先进的设置中,单总线2不要求直接连到单总线1,但是可以像一个同时操作的第二总线那样被利用,并且与单总线1无关于,是当保持单总线1处理中断和其它外部要求的时候,单总线2能有一个很高的交接通道速度。

较注意应用之一,列于用图1(d)的两个单总线是横穿连接两个处理回,因此在存取公共数据堆,本质上是两个处理回运行,

呈现出冲突或花串数据时间。

P3

高速半导体存储器系统像图2所示,包含模型和控制模式。这个模型组件包含实际的存储部件。目前用于PDP-11/45的两个半导体存储器是用4096字16位的MOS和1024字16位的双极存储器。这个控制模式,提供定时同步、中央处理接口和等于四个模型组件的单总线接口。整个电路MOS和双极模型组件要求不同的控制模式。

PDP-11/45包含实际提供两个相等的控制口,每个由四个模型组件合成,因此最大的32K字MOS或双极8K字,或用4K双极变成16K MOS是可能的。这种体系结构对容纳任何将来较高密度半导体存储部件~~都是~~适合的。

目前直接利用的MOS存储器是1103-1,每芯片1024位首先被Intel交付。这种选择是基于产品提供的性能和价格。MOS存储系统取数时间水平是350ns,而提供取数时间比得上的磁心存储器况且是决定于寻址结构的。

当MOS存储器给予显著速度改进, PDP-11/45为更高速度操作而设计和为了高速应用提供一个较低密度、较高功率和较高价格的双极存储系统。在一个系统基础上,取数时间趋向295ns,又大规模就与寻址路线无关。起初的存储元件是每字256位,可从Intel和Texas Instruments买到的TTL相容双极芯片。

由于半导体存储器是固有地具^有挥发性,几种方法对处理暂时关闭电源的用户是适用的。这些中间最普遍的是把基本过程一状态信息保持到通常适用于所有大系统的磁心存储器中。把半导体存储器作为程序存储器,因为程序是通用的而不是自己制造出来的(自生的)。它们能保持在磁鼓或磁带上,并且当电源恢复时,则自动更换,也就是电源保留取舍的调整是适用于保持系统上直到备用的第一个电源能够被恢复。

P4

如果没有半导体存储器,它是比1%的速度上快两倍,价格高1.5倍。这价格决定于存储器指令执行混合。用3 半导体存储器系统能在速度上快七倍而价格上花费两倍。

所有PDP-11/45存储器系统提供任意信息组的奇偶位。这使矩阵字的最大增加到18位并且给予附加的可靠性。

PDP-11系列的指令系统也表现了小型机结构先进的系统。指令系统的价值是根据三个标准来评价:用户对问题编码完成的容易性如何,一次编码的程序结果如何快,包括编码与操作运算数据所需要的存储容量如何多。

在PDP-11系列中,焦点是构成解算基础的数据型式、数据结构、操作和中断系统。PDP-11系列指令系统能有效地管理数据型式的整型分类(位组字、多字加符号整数和不加符号的整数和浮点数量。)数据信息组通常是利用于两个操作系统(运算)和外界用户。因为采用PDP-11系列工作的一个程序有许多有效的指令,它能处理像不丢失编码存储效率或运算速度的程序需要的字或信息组。另外,它能方便地与带符号或不带符号的数据交往。例如加、减、带符号或不带符号运算数比较、寻址和杆测溢失常是必需的大多数机只能管理一个,不能管理两个。在早期的机中,例如不带符号的算术比较是用硬件做的,带符号的算术比较是用取若干个指令完成的软件来做的。这不仅延长了计算机时间,而也大大地增加了程序出错的几率。在PDP-11/45中,一个完整的条件分枝指令族(Conditional branches)和由硬件提供的条件码处理两者带符号和不带符号的运算量。PDP-11系列的特征就是使得保证它有任何12种不同的寻址模式的数据结构之广调整型的能力。这就保证让程序对它的专门时挑选一个最佳的寻址模式。

正如近1968年以来小型计算机有很朴素的中断结构并且不是控制优先权的方法。因此,当对总线存取要求是接收自

P5

由电打字机磁盘,磁带发表的时候系统有决定较重要的要求及什么时间启动它的小的灵活性而且在总线上的所有装置都有取得使用它要求的决定,此外,当处理四优先级下降时最晚时间对能服务的书面要求是没有软件中断系统。

PDP-11/60产生后,提供了四件中断优先级在11/45中,优先级数目增加到8个,可以4个硬件中断或4个软件中断和仅4个软件中断,那就是polling(查票)被取消——中断四提供等同於要求装置的独有的中断向量(interrupt vector)。

11/45的另一特点是两通用寄存器,用它处理四状态与用来指明哪一组寄存器赋予专门装置的中断服务程序因此某些通用寄存器献身于仅服务很快的装置,中断服务时间减少为50%之多。

CPU设计的典型方法是实现主状态寄存器,中断译码器和其它用分立元件组合逻辑的功能利用网络虽然11/45的有于范围特点但这些网络的花费实质上是大的并且对排除干扰也是困难的。

无论如何,在对于11/45微处理设计方法中,利用双极只读存储器进行翻译指令和对计算机的数据通路及外部环境的两个控制进行操作因为指令微处理四直接实现指令流,所以设计极快地给出由于它密集地改变控制四状态所以迅速处理排除内部电路板的干扰,但是最重要地,控制逻辑的规模与价格也是有效减少了。

控制处理四和浮点处理四两者都包含在用双极ROM的微处理四之内,这些处理四列於图3,它处理状态顺序和数据通路'和进行总线控制的管理这些微程序处理四由微程序地址寄存器控制存储四控制存储四输出缓冲四和微程序地址控制四构成。

这微程序地址寄存器是D型触发四构成,它保存控制存储

口读出的下地址(类似于常规机的主状态移位寄存器口) P6

控制存储器是一个被ROM包含的 256×64 矩阵它的输出是馈送到控制存储器输出缓冲口。一个48位D型触发器寄存器也对接程序地址控制这控制存储器的输出缓冲口驱动多路开关选择口并提供使均衡的定时脉冲通过机口控制存储器输出也供给自己拥有的地址和选择外部信号及内部修改这个地址的读出状态。

任意的浮点指令藏藏另一个微程序技术的方面并且迅速地目前高密度ROM许可用户实现低价格的基本改进系统。

计算机系统的浮点能力减轻用户对十进制小数点的注意因为小数点在大的动态变化范围的应用中是麻烦的它允许高级语言程序例如像提供较快问题的Fortran和Basic使用这些“形式”的语言至少七倍地提高程序效率就能够超过汇编语言技术浮点乘法时间对于32位数是8μs而对64位数是15μs。按结果许多计算机用“浮点”处理口比用操作的程序设计高一倍。

系统的计算机功能是很适合分时应用的。分时系统的关键是系统资源的管理——恐怕其中最重要的是存储器。分配口提供一个被系统监督程序能对每个用户分配现行存储器的机构。这是通过给每个用户的分配程序和对存储系统的专门元件的程序中被执行的一部分放到高速双极存储器而大型数据阵列是放到较慢的存储器里(例如磁心)一个软件时其系统执行这些程序。

对存储器再向前是什么?一个发展将是半导体存储器的推广,更好的价格——致能高密度、快速元件更适用。当继续的高性能系统被实现时,未来发展的主方向将是朝着多处理器组合迈进。

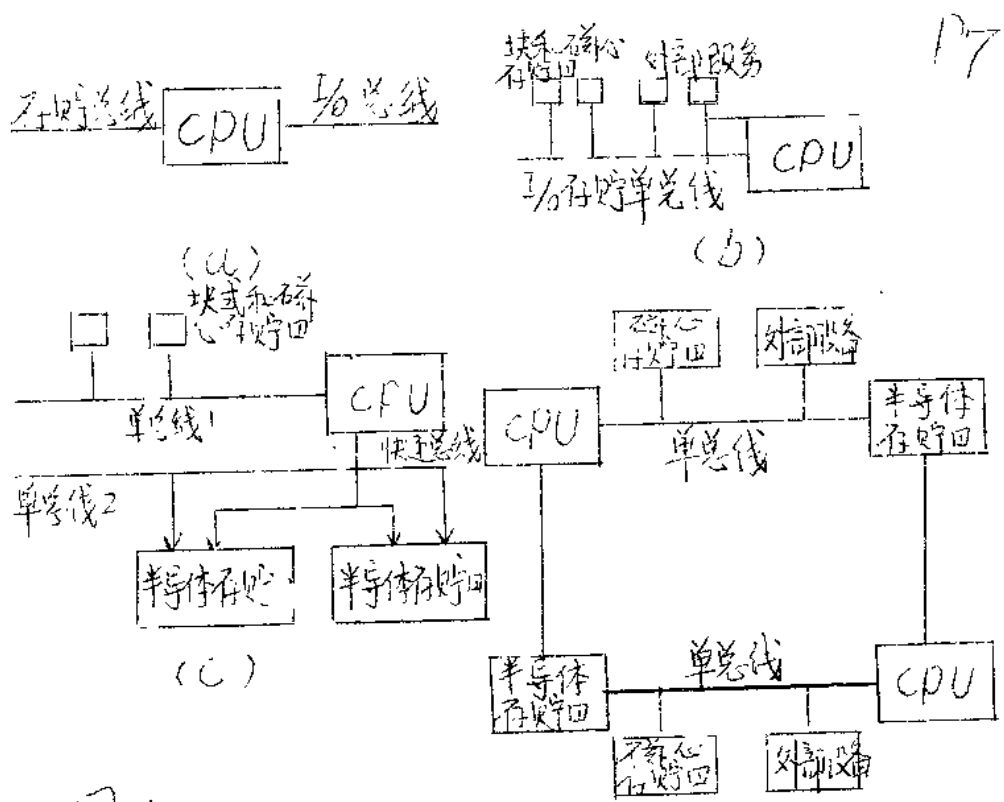


图 1

发片由来。早期的计算机(a)把I/O和存储总线分开通常小于10英尺长度。联合分枝概念(b)能管理长度与英尺的较多负荷。在(c)中的解决方法为：存储总线要求利用若干条总线，一个是缓慢存储总线的总线，另一个是较快速的总线。管理在CPU和快速半导体存储之间传输的供献。两个处理每系统允许两者共有数据实质上不冲突和负担数据时间。

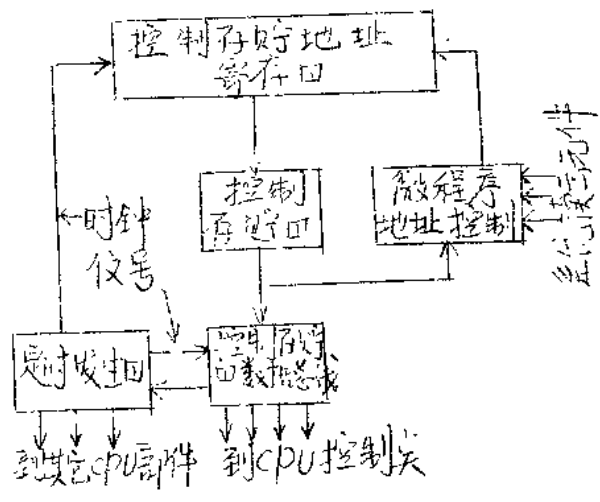
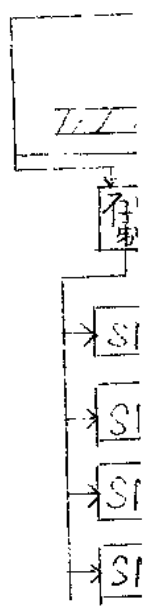
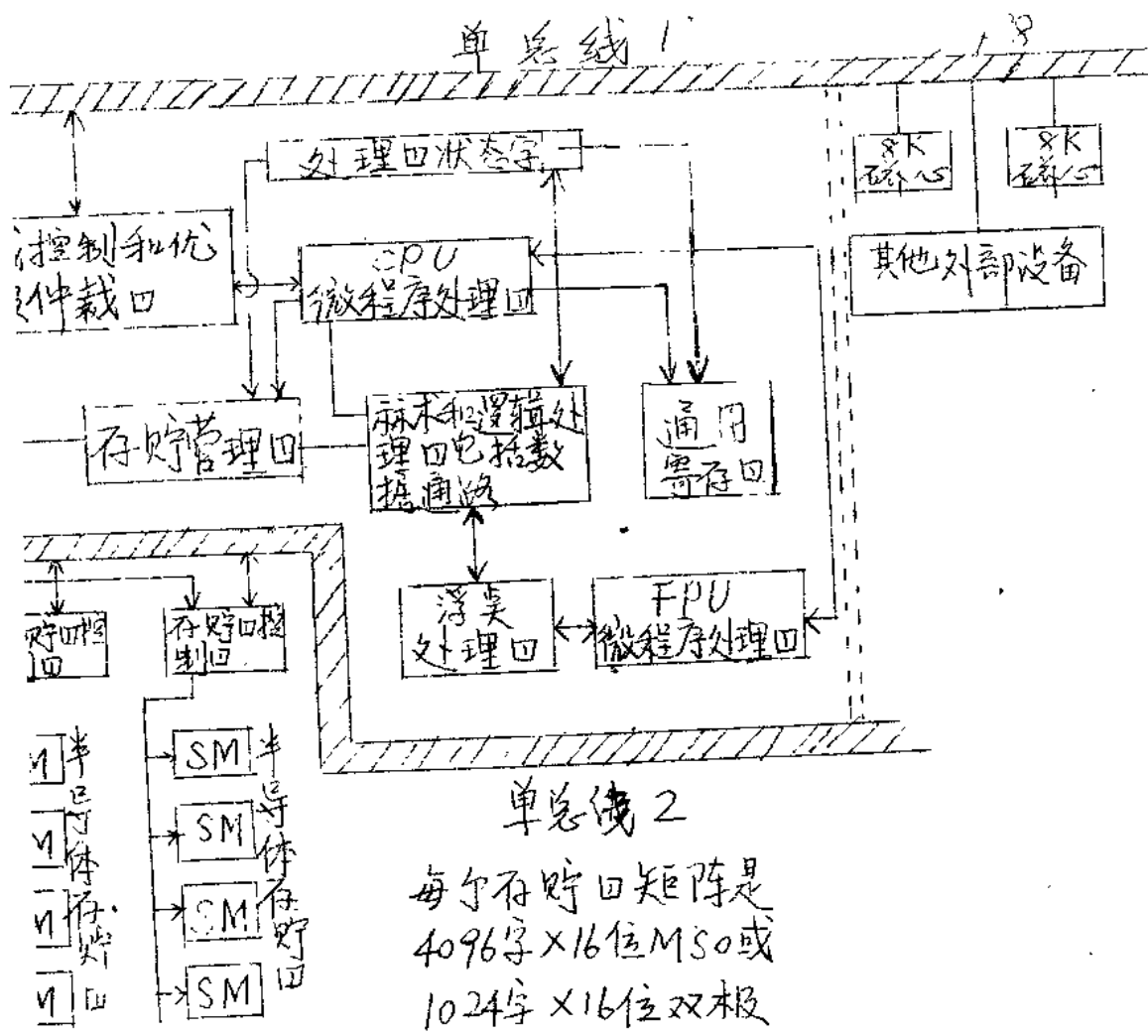


图3. 微处理控制回管理
状态顺序和数据通路总线控制。它是类似于指令译码和常规机的主状态控制。

总线
光驱





每个存储口矩阵是
 4096字 × 16位 MSO 或
 1024字 × 16位 双极

图 2 新方法 CPU 的存储管理通过连接总线对
 半导体存储口存放, 并提供地址 史宗和存储保护。浮点
 运算处理口对执行浮点算术同步地操作。

RAM 容量 (S 位字)
RAM 容量 (4 位字)
指令
其 它
分 别
功 率
低 功 率
42 插 脚

16584
x192
50 条
不 限 制
16

122

75~250 mV/每 位 件

这 时 钟 电 路 采 用 一 个 低 值 执 行 晶 体 振 盪 器 产 生 固 定 的 输 出
率 在 3.5 MHz 以 下 计 数 或 指 令 的 执 行 周 期 时 间 5 μs, 而 4 位 BCD
电 路 作 为 加 算 要 求 的 30 μs 完 成。

基 本 系 统 操 作

对 ROM 指令的相对地址由指令的相对地址和指令的相对地址组成。在每一个位时期 CPU 对 ROM 指令的相对地址进行计数 (bit time) 或进行数据处理的速率。

系 统 定 时

定时是由一位晶体的频率决定的。在 CPU 内部，时钟信号是 200 kHz，总线频率是 100 kHz。定时是由一位晶体的频率决定的。在 CPU 内部，时钟信号是 200 kHz，总线频率是 100 kHz。

多 路 系 统 数 据 传 输

另外，还有连接 CPU 与 ROM、RAM 的总线。在 CPU 内部，时钟信号是 200 kHz，总线频率是 100 kHz。另外，还有连接 CPU 与 ROM、RAM 的总线。在 CPU 内部，时钟信号是 200 kHz，总线频率是 100 kHz。

接在寄存器译决外输出1010系部
入出指令用选3到制码在外
输出指被存位据度代置中
行这输时当保一数字的放法
于线在址起然之送示位们方
位总编一当口传指低完些
4指保的在入存输即个把这
个数前之接写等率21一且在这
一的必能搭须位从11地並口高阻
自回变可入必口者为似据加生的根
据加改中输序组或码类数累产有满
数累到比样程三统一B到到地具路
送的直基也微样条位1A抗快巧开
传PU在1/1址选到低存组数很是
者C据个个地4送含晋口抄能MOS一
或到数16四生和传包出收复送和
个制把於令产2界令输接明传云保
一良且用命路1外指到入指据TTL输提
之为个是1/1电位从的容输将数是钟级
C)向出个对1/1的据1/1内取PU向口时
B)输到是个码数对的个C)之收A MOS
(A)或个54每式把条线云线统接像和
四B静位到对码是一总1/1完率入出
存(A)是当1时代令如据令据加输输TTL
将口口内位接址命制数命数路据由
出收口口的端地足界入足级电数作

图 8 的时钟发生回产生电路要求的 A 和 $\bar{A}$ 时钟波形。

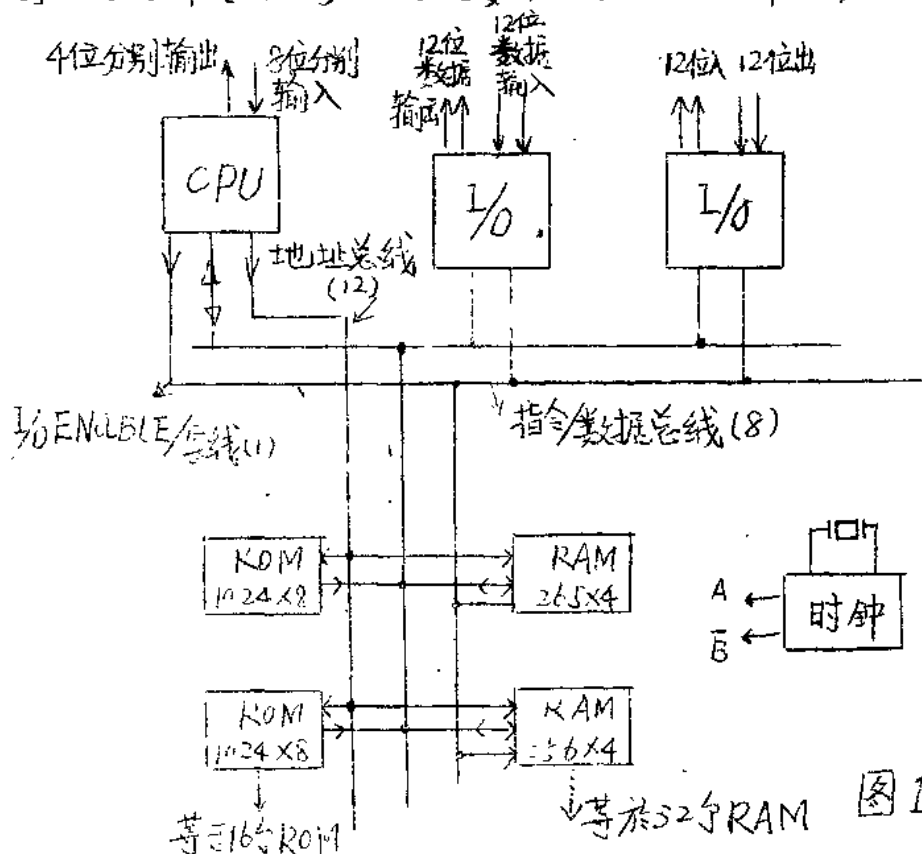


图1. 在相系统内包含所有设备型式在内的基本微处理系统组合除联合的RAM/ROM外, 一个12位地址总线, 8位数据总线, 和如没有附加其他分量形式, 系统设计得允许系统扩大。

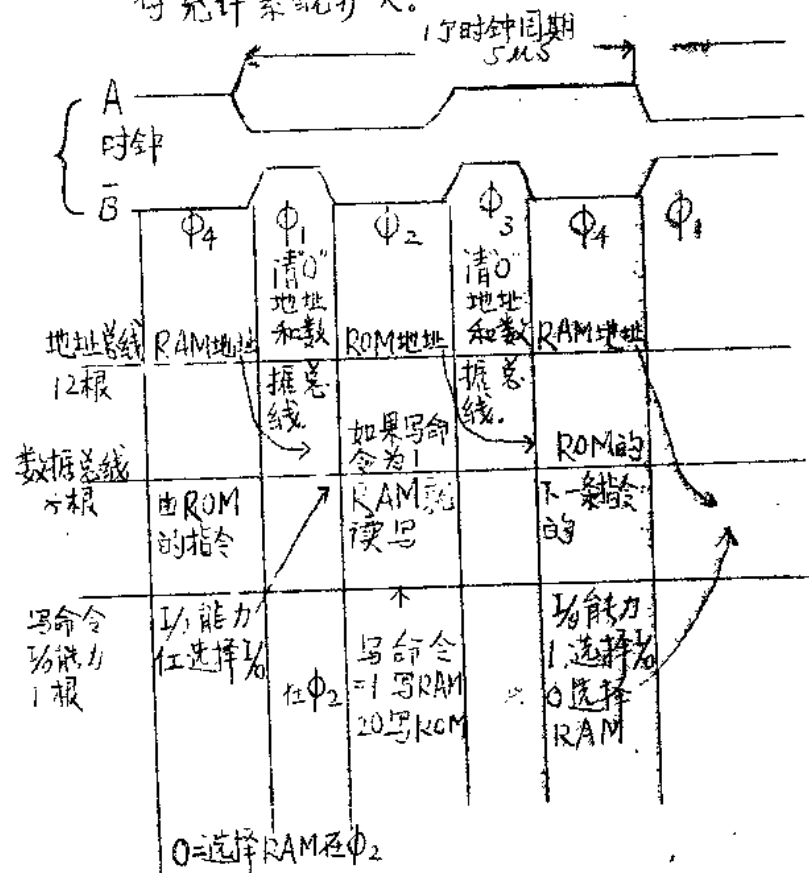


图2 系统总线定时

仅在2相和4相期间占有数据传送和在1相, 3相期间清除总线到0. 拥有许多设备共同总线产生高容量负荷驱动能力。

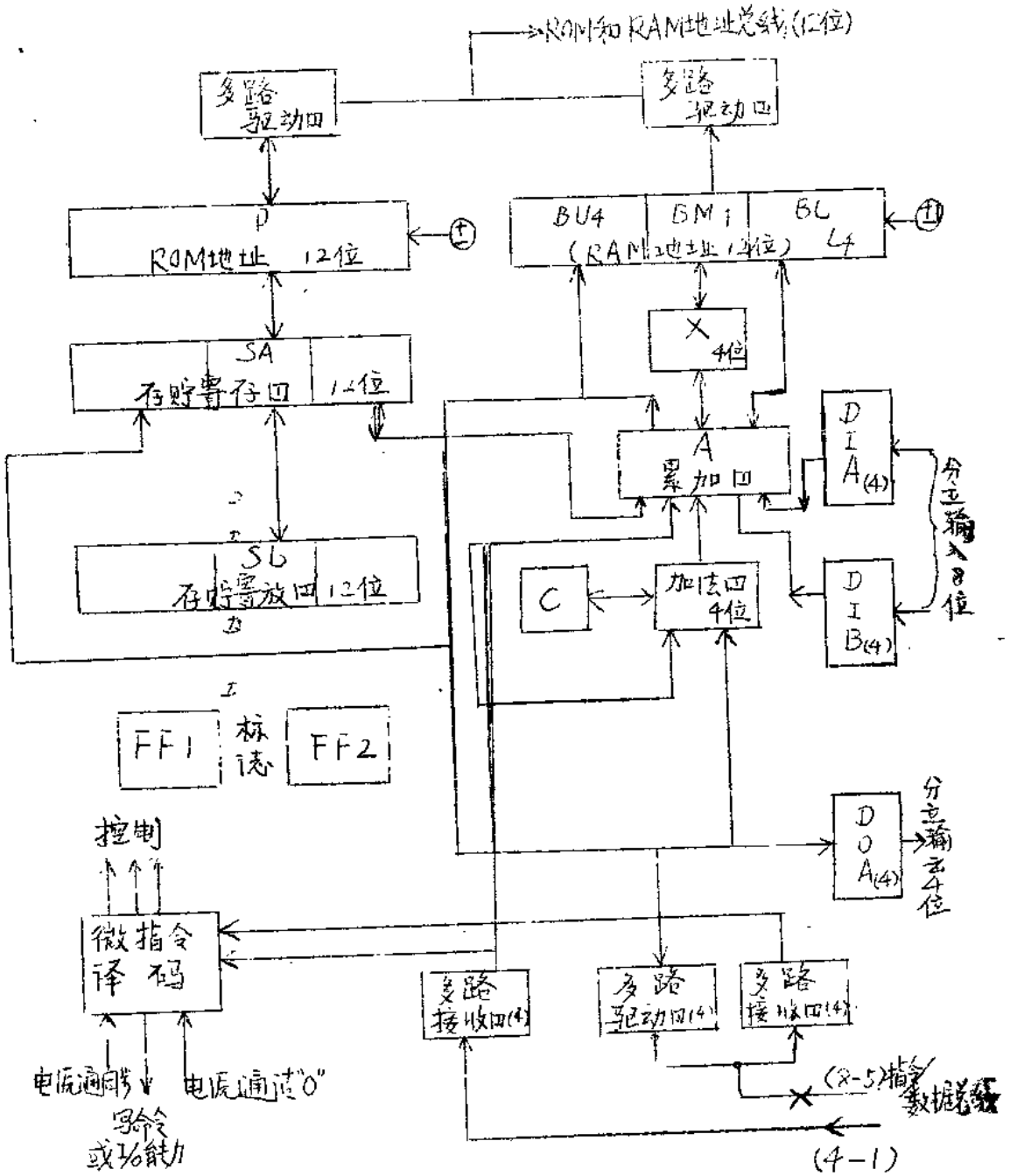


图3 CPU框图

指令译码、标求和控制逻辑、地址和暂存器、和带有放置系统内接口的接收与驱动器都包含在一个LSI基板上。