

INTEL 80186 微处理机入门

施志敏 陈宇康 施志群译
王辅兴校对

INTEL 局部网络浅说

张綸 周炳章译

中国英特尔计算机用户协会

INTEL 80186 微处理器入门

施志敏 陈宇康 施志群译
王辅兴校对

INTEL 局部网络浅说

张翰 周炳章译

中国英特尔计算机用户协会

80186微处理器入门

目 录

1. 引言.....	(1)
2. 80186概述.....	(3)
2.1 CPU	(3)
2.2 80186 CPU的增强.....	(4)
2.3 DMA部件.....	(5)
2.4 定时器.....	(5)
2.5 中断控制器.....	(6)
2.6 时钟发生器.....	(6)
2.7 选片和就绪 (READY) 信号产生部件.....	(6)
2.8 集成外设的访问.....	(7)
3. 80186的使用.....	(8)
3.1 80186的总线接口.....	(8)
3.1.1 概述.....	(8)
3.1.2 物理地址的产生.....	(10)
3.1.3 80186数据总线操作.....	(13)
3.1.4 80188数据总线操作.....	(14)
3.1.5 通用数据总线操作.....	(14)
3.1.6 控制信号.....	(16)
3.1.6.1 RD 信号和 WR 信号.....	(16)
3.1.6.2 排队状态信号.....	(19)
3.1.6.3 状态线.....	(20)
3.1.6.4 TEST 和 LOCK	(21)

3.1.7 HALT 时序	(22)
3.1.8 8288和8289接口	(23)
3.1.9 就绪信号线接口	(24)
3.1.10 总线性能问题	(28)
3.2 存储器系统的例子	(30)
3.2.1 2764接口	(30)
3.2.2 2186接口	(31)
3.2.3 8203 DRAM接口	(35)
3.2.4 8207 DRAM接口	(38)
3.3 HOLD/HLDA 接口	(39)
3.3.1 HOLD 响应	(39)
3.3.2 HOLD/HLDA时序和总线延迟	(40)
3.3.3 HOLD的产生	(43)
3.4 8086总线与80186总线之间的差别	(44)
4. DMA单元接口	(49)
4.1 DMA特点	(49)
4.2 DMA单元编程	(50)
4.3 DMA传输	(53)
4.4 DMA请求	(53)
4.4.1 DMA请求的时序和延迟	(54)
4.5 DMA响应	(56)
4.6 内部产生的DMA请求	(57)
4.7 外同步的DMA传输	(58)
4.7.1 源同步的DMA传输	(58)
4.7.2 目标同步的DMA传输	(59)
4.8 DMA的HALT和NMI	(60)
4.9 DMA接口举例	(62)

4.9.1 8272软盘接口	(62)
4.9.2 8274串行通讯接口	(64)
5. 定时部件接口	(66)
5.1 定时器操作	(66)
5.2 定时器寄存器	(68)
5.3 定时事件	(71)
5.4 定时器输入脚的操作	(72)
5.5 定时器输出脚的操作	(73)
5.6 80186定时器应用 举例	(74)
5.6.1 80186实时时钟定时器	(75)
5.6.2 80186定时器、波特率发生器	(75)
5.6.3 80186定时器事件计数器	(75)
6. 80186中断控制器接口	(77)
6.1 中断控制器模型	(77)
6.2 中断控制器的操作	(77)
6.3 中断控制寄存器	(78)
6.3.1 控制寄存器	(79)
6.3.2 请求寄存器	(79)
6.3.3 屏蔽寄存器及优先级屏蔽寄存器	(80)
6.3.4 服务中寄存器	(81)
6.3.5 查询及查询状态寄存器	(81)
6.3.6 中断结束寄存器	(82)
6.3.7 中断状态寄存器	(83)
6.3.8 中断向量寄存器	(84)
6.4 中断源	(84)
6.4.1 内部中断源	(84)
6.4.2 外部中断源	(85)

6.4.3 iRMX TM 86方式中断源	(87)
6.5 中断响应	(87)
6.5.1 内部向量, 主方式	(88)
6.5.2 内部向量, iRMX TM 86方式	(89)
6.5.3 外部向量	(91)
6.6 中断控制器的外部连接	(92)
6.6.1 直接输入方式	(93)
6.6.2 级联方式	(93)
6.6.3 专用全嵌套方式	(95)
6.6.4 iRMX TM 86方式	(96)
6.7 8259 A /级联方式接口 举例	(96)
6.8 80130iRMX TM 86方式接口 举例	(97)
6.9 中断延迟	(98)
7. 时钟发生器	(100)
7.1 石英振荡器	(100)
7.2 外部振荡器的使用	(101)
7.3 时钟发生器	(101)
7.4 就绪信号的产生	(101)
7.5 复位	(101)
8. 片选	(103)
8.1 存储器片选	(103)
8.2 外设片选	(105)
8.3 就绪信号发生器	(106)
8.4 片选应用例子	(106)
8.5 片选区的复盖	(107)
9. 80186系统中的软件	(108)
9.1 80186系统的初始化	(108)

9.2 iRMX™86的初始化.....	(109)
9.3 8086和80186指令执行的差异.....	(110)
10. 结论	(112)
附录A 外设控制块.....	(114)
A.1 给外设控制模块设置基地址.....	(115)
A.2 外设控制块寄存器.....	(116)
附录B 80186同步装置.....	(117)
B.1 为什么需要同步器.....	(117)
B.2 80186同步器.....	(118)
附录C 80186 DMA接口程序举例.....	(119)
附录D 80186定时器接口程序举例.....	(125)
附录E 80186中断控制器接口程序举例.....	(136)
附录F 80186/8086系统初始化程序举例.....	(140)
附录G 80186等待状态性能.....	(144)
附录H 80186的新指令.....	(152)
附录I 80186/80188的区别.....	(157)
INTEL局部网络浅说.....	(159)

一、引 言

随着工艺技术的日益提高，一片集成电路上的晶体管数目已经大大地增加了。并且器件的性能和功能都达到更高的水平。而处于领先地位的是Intel 80186和80286微处理机。80286以8086结构为基础，新增加了存储器保护和管理功能；而80186则将原来独立的六个功能模块集成在同一芯片上。

本文的主要目的是用各种例子来说明80186如何配合各种外设和存储器进行工作。80186将CPU与DMA部件、定时器、中断控制部件、总线控制部件和片选、就绪信号产生部件均集成在同一芯片上（见图1）。因为许多外设接口集成到80186上，所以简化了系统的构造。

80186系列实际上是由80186和80188处理器组成的。两者的唯一区别是：80186的外部数据总线是16位，而80188为8位。两者的内部结构完全相同，都带有相同集成外设部件而构成处理器。因此，除了特别地指出之外，本评述中关于80186的所有说明均适用于80188。有关80188的8位外部数据总线的一些结论在附录I中明确地给出。本评述中列出的所有参数均取自“iAPX 186 Advance Information”，它们适用于8Mhz的器件。

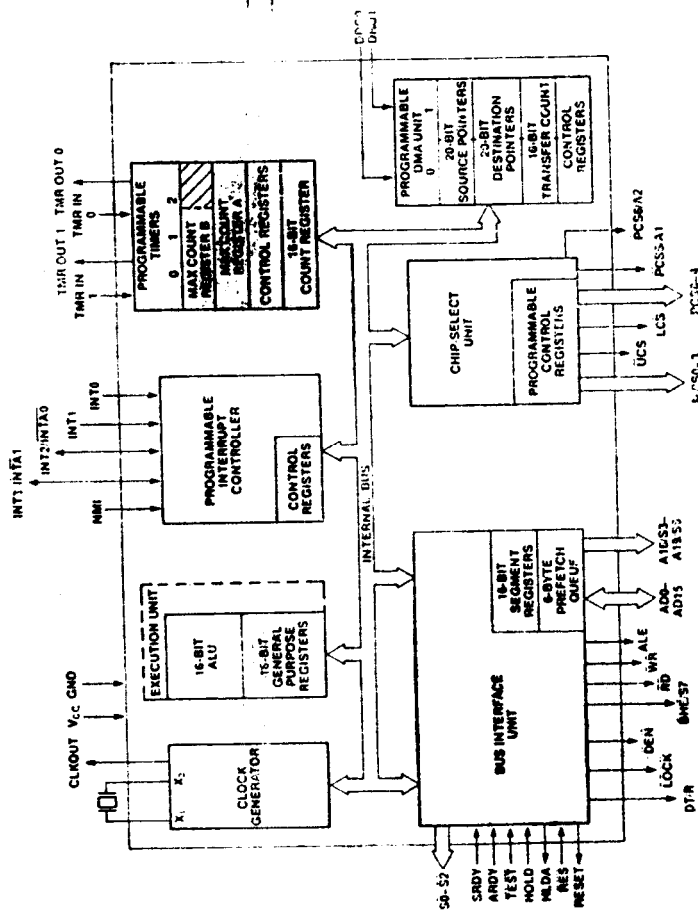


图 1 80186功能块示意图

二、80186概述

2.1 CPU

80186 CPU与8086、8088以及80286的CPU都有共同的基本结构。它的目标代码完全与8086/8088兼容。结构上它有四个十六位通用寄存器 (AX, BX, CX, DX)，四个十六位的“指针型”寄存器 (SI, DI, BP, SP)，四个十六位的段寄存器 (CS、DS、SS、ES) 和一个十六位指令计数器。其中，通用寄存器可以在8位或16位算术运算中作为操作数使用；指针寄存器不仅可用于算术运算中，而且还可用于访问带基变量的存储器；而段寄存器可进行简单的存储器划分用以支持模块化程序设计。

80186的物理存储器地址的产生方法与8086相同。首先将

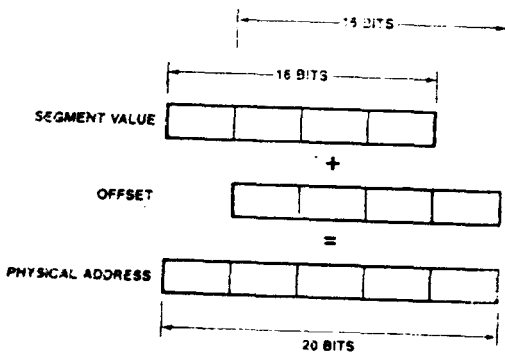


图2 80186的物理地址产生方法

16位段值左移4位,再加上一个偏移量(见图2)。而偏移量是指针寄存器、指令计数器和立即数三者组合得到的。上面加法产生的进位将被忽略。加法

的结果是一个20位物理地址，该地址放到系统的内存上。

80186有一个16位算逻辑部件（ALU部件），它可进行8位或16位的算术和逻辑运算。它也用于各寄存器、内存空间和I/O空间之间的数据传输。此外，使用串传输指令，CPU可完成两存贮区之间的高速数据传输；使用成组I/O传输指令，CPU则可实现I/O口子与内存之间的高速数据传送。最后，CPU提供了丰富的条件转移指令和其它的控制指令。

与8086相同，80186的取指令和执行指令是由两个部件完成的：总线接口部件和执行部件。另一与8086相同的地方是80186也有6字节的预取队列；而80188则与8088相仿，预取队列长度是4字节。当程序执行时，总线接口部件从内存中取出操作码置入预取队列内。当执行部件需要执行下一条指令时，它就到预取队列中取出。预取队列的作用是处理器的吞吐率。当执行部件执行一条长指令时，总线接口部件可以连续地取指令。这样CPU完成一条指令的执行之后，不必等待从内存中取下一条指令。

2.2 80186CPU的增强

尽管80186和8086的目标代码完全兼容，但大多数8086的指令在80186上执行要比8086上执行所需的时钟周期少。因为80186对总线接口部件和执行部件作了硬件增强。除此之外，80186提供了许多新指令，它们简化了汇编语言的编程，加强了高级语言的目标性能，减少了80186目标代码的长度。80286也含有这些新指令。关于80186结构和指令执行的完整说明请参见“iAPX86/186用户手册第I卷”。本小册子的附录H给出了新指令的算法介绍。

2.3 DMA 部件

1.2

80186有一个DMA部件，它提供两个高速DMA通道。DMA部件以字节或字为单位在I/O与内存空间、I/O与I/O空间和内存与内存空间之间实现数据传输。每一个DMA周期需要2至4个总线周期，一个或二个总线周期用于给内部寄存器取数据，而另外一个或二个总线周期用于存放数据。这样允许以字为单位的数据存放在奇边界的地址内，即可将以字节为单位的数据从奇地址传输到偶地址。这一点通常很难实现，因为数据的奇址字节是用16位数据总线的高8位传输的，而偶址字节是用16位数据总线的低8位传输的。

DMA的每一通道含有独立的20位的源指针和20位的目的指针。它们用于访问所传数据的源和目的地址。每个指针都可独立地寻址I/O空间或内存空间。每完成一个DMA周期，这些指针可独立地增1，减1或保持常数。每个DMA通道还带有一个传输计数器，在DMA工作之前程序预先设置一初值，然后就能终止一串DMA的数据传输。

2.4 定时器

80186有一个定时单元，由3个独立的16位定时/计数器组成。其中有两个定时器对外部事件计数、提供来自CPU时钟的波形或者来自任何占空比的外部时钟的波形，也可在规定的“事件”计数到时中断CPU。第三个定时器仅仅对CPU时钟计数。当某CPU时钟的编程值到达时，它可中断CPU，它也可作为另一个或另两个定时器的计数脉冲，或它向集成的DMA部件发一DMA请求脉冲。

2.5 中断控制器

80186含有一个中断控制器。这个中断控制器对所有内部和外部中断源的中断请求进行判优。它可作为主控制器直接与两个外部8259A中断控制器级联。此外，它也能配置成为外部中断控制器的从控制器，使其完全与80130，80150和iRMX86操作系统相兼容。

2.6 时钟发生器

80186有一个时钟发生器和一个石英振荡器。石英振荡器与一并行谐振的基波方式晶体一起使用，可以产生两倍于CPU时钟的频率（即，当80186为8MHz，产生16MHz）；它也可与外部振荡器一起使用，产生两倍于CPU时钟的频率。石英振荡器输出之前已经除2，以便提供50%的占空比CPU时钟，而所有80186系统定时都是来自它的。CPU时钟可供外部使用，而所有时序参数都是参照该外部可用信号。时钟发生器也为本机提供就绪同步信号。

2.7 片选和就绪信号产生部件

80186有一集成片选逻辑，用于允许（使用）存储器或外设部件。有六条输出线对存储器寻址，七条输出线对外设寻址。

在一典型的80186系统中，存储器片选线分成三组，分别寻址内存三个区域。这三个区域是用于复位系统的ROM区（上部），存放中断向量表的存储区（下部）和程序存储区（中部）。各区的大小由用户编程确定。但第一个区的首地址和第二个区的末地址是固定的，分别为00000H和FFFFFH，第三区

的开始地址可由用户编程确定。

七条外设选择线中的每一条可寻址七个连续128字节的块中的任一块，这是利用一可控的基址来完成的。这个基址可以放在内存里，也可以放在I/O空间，使外设器件映象到I/O或内存上。

每一个程控片选区与一组程控就绪位相连接。这些就绪位控制着一个集成的等待状态发生器。每当存取与这个片选区相连的存贮区时，就自动地插入一描述等待状态的可编程数（0—3）。此外，每一组就绪位中有一位用于确定是否使用外部就绪信号（ARDY和SRDY），或用于确定是否忽略它们（即，虽然一就绪信号还未返回到外部管脚上，总线周期仍将终止）。有五组就绪位允许产生独立的就绪信号，分别对应于内存上部区，内存的下部区，内存的中部区，0—3号外设和4—6号外设。

2.8 集成外设的访问

集成外设和片选电路由一组16位寄存器来控制。可使用标准的输入、输出指令或者使用标准的内存访问指令访问这组16位寄存器。这些外设控制寄存器全部存放在一个256字节区域中，而这个区域可放在内存空间也可放在I/O空间。因为对它们的访问同外部器件一样，所以不需新的指令类型访问和控制集成外设。关于集成外设的接口和访问技术更详细的介绍请参阅“80186 data sheet”，或“iAPX86/186用户手册第Ⅰ卷”，本小册子不作进一步介绍了。

三、80186的使用

3.1 80186的总线接口

3.1.1 概述

80186总线结构非常类似于8086总线结构。它包括一条多路地址/数据总线以及各种控制线和状态线（见表1）。每个总线周期需要最小4个CPU时钟周期和数个等待状态，以协调外存或外设的访问速度的限制。由80186 CPU启动的总线周期与80186集成DMA单元启动的总线周期完全相同。

表1 80186总线信号线

Function	Signal Name
address/data	AD0-AD15
address/status	A16/S3-A19-S6, BHE/S7
co-processor control	$\overline{\text{TEST}}$
local bus arbitration	HOLD, HLDA
local bus control	ALE, RD, WR, DT/R, $\overline{\text{DEN}}$
multi-master bus	$\overline{\text{LOCK}}$
ready(wait)interface	SRDY, ARDY
status information	S0-S2

下面讨论中所有给定的定时值都是针对8MHz的80186，其它的速率选择对各参数可能有不同的值。

80186总线周期的每个时钟周期叫一个“T”状态，顺序

编号为 T_1 、 T_2 、 T_3 、 T_n 、 T_4 。当处理器不需要总线操作（取指、写入内存、读I/O等等），在 T_4 与下一个 T_1 之间可附加空闲 T 状态，称 T_i 。就绪信号控制每个总线周期中插入的等待状态 T_n 的个数，其范围从0至无穷大。

一个 T 状态是靠CPU时钟的下降沿触发启动的。每个 T 状态分为两相，称相位1（低相位）和相位2（高相位），分别对应CPU时钟的低电平与高电平（见图3）。

各种类型的总线操作贯穿于所有 T 状态之中（见图4）。 T_1 期间产生地址信息， T_2 、 T_3 、 T_n 和 T_4 期间产生数据信息。在 T_1 之前的 T 状态（ T_4 或 T_i ）的中期，处理器的状态线从无效态（高阻）变为有效态，以此触发一总线周期开始。因为

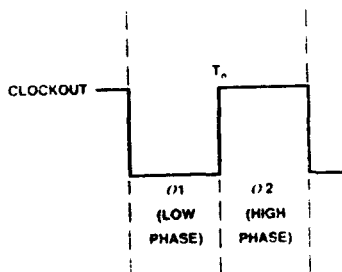


图3 80186中的 T 状态

下一个总线周期的信息是在其第一个 T 状态前的 T 状态中出现的，所以有两种类型的 T_4 和 T_i 。一种类型是该 T 状态之后立即

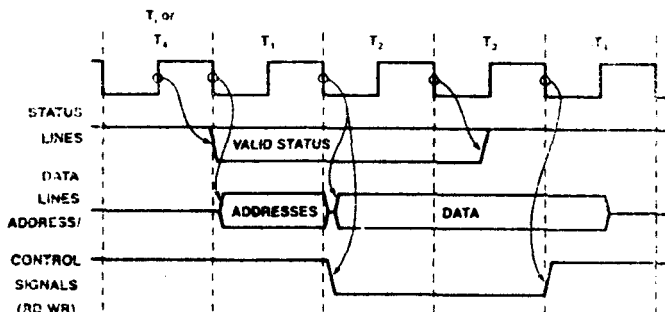


图4 80186总线周期举例

跟随一总线周期，而另一种类型是其后紧跟一空闲状态。

在前一类型的 T_4 或 T_1 期间，下一总线周期的有关信息出现在状态线上，使总线周期随之产生。该信息在 T 状态中期，80186时钟的上升沿到来之后的 t_{CHSV} (55ns) 之内始终为有效。在后一类型的 T_4 或 T_1 期间，状态线输出保持无效态（高阻），并不启动总线周期。这就意味着 T_4 和 T_1 性质的确定是在 T_4 或 T_1 之前的 T 状态开始处，以确定是否在 T_4 和 T_1 之后跟随一个 T_1 或 T_1 ，见图5。这样延迟总线时间（见3.3.2节）。

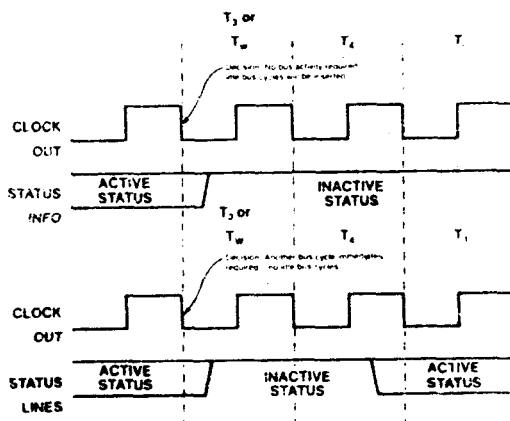


图5 80186有效—无效状态转换

3.1.2 物理地址产生

80186物理地址在总线周期的 T_1 状态中产生。由于地址线 and 数据线使用同一组管脚多路复用，所以如果要求地址在总线周期中保持稳定，就必须在 T_1 期间将地址锁存。为了便于物理地址的锁存，80186产生一个有效高电平ALE（地址锁存允许）信号，它可直接连到一个透明的锁存器的选通输入上。

图6解释了有关80186物理地址产生的参数。 T_1 开始到不