

抗辐照加固技术文集

计 算 机 专 集

第 三 分 册

航天工业部七七一研究所

辐照加固微处理机

技术报告

A F A L - T R - 7 8 5 5 第一卷

美国空军航空/电子学实验室

美国空军 W R I G H T 航空实验室

美国空军系统指挥部

WRIGHT-PATTERSON 空军基地

目 录

引言

- 1 · GPU 功能特性
- 1 · 1 GPU 特性概述
- 1 · 2 GPU 体系结构
 - 1 · 2 · 1 寄存器文件
 - 1 · 2 · 2 端口缓冲器
 - 1 · 2 · 3 数据类型选择器
 - 1 · 2 · 4 算术/逻辑部件
 - 1 · 2 · 5 移位选择
 - 1 · 2 · 6 边界、直接控制
 - 1 · 2 · 7 目标移位选择控制
 - 1 · 2 · 8 数据输入/输出
 - 1 · 2 · 9 地址译码器 P 1 B 和 P 2 B 源选择控制
- 1 · 3 控制描述
 - 1 · 3 · 1 源选择控制
 - 1 · 3 · 2 数据类型选择器
 - 1 · 3 · 3 A L C 控制
 - 1 · 3 · 4 目标移位选择器控制
 - 1 · 3 · 5 边界和直接控制
 - 1 · 3 · 6 数据输出使能

- 1.3.7 装入时钟
- 1.4 数据信号描述
 - 1.4.1 数据输入
 - 1.4.2 进位入、进位出
 - 1.4.3 全零检测输出
 - 1.4.4 多路转换器移位
 - 1.4.5 数据输出
- 1.5 GPU 定时限制
 - 1.5.1 P2 B 保持时间
 - 1.5.2 P1 B 保持时间
- 1.6 周期时间和时钟特性
 - 1.6.1 装入时钟
 - 1.6.2 数据通道延迟
 - 1.6.3 建立和保持时间
- 2. 仿真分析
 - 2.1 GPU 设计完备性
 - 2.1.1 GPU 功能设计缺陷
 - 2.1.1.1 GPU 流水线工作方法
 - 2.1.1.2 遗漏溢出检测逻辑
 - 2.1.1.3 进位入选择
 - 2.1.1.4 控制功能共享
 - 2.1.1.5 非同步设计

- 2.1.2 用GPU仿真
 - 2.1.2.1 GPU片外延迟
 - 2.1.2.2 MQ寄存器及LSI
- 2.2 ROM设计评论
- 2.3 GUA设计评论
- 2.4 RAM设计评论
- 2.5 建议采用的GPU SOS COS/MOS
器件系列
- 2.6 辐照加固CMOS/SOS电路
 - 2.6.1 TCS077乘法器
 - 2.6.1.1 电学特性
 - 2.6.1.2 辐照响应
 - 2.6.2 TCS072RAM
 - 2.6.2.1 电学特性
 - 2.6.2.2 辐照响应
 - 2.6.3 TCS091通用门阵列
 - 2.6.3.1 辐照响应
 - 2.6.4 辐照加强CMOS/SOS集成电路
 - 2.6.4.1 辐照加固氧化工艺
 - 2.6.4.2 辐照加固IC设计规划
- 3. GPU测试结果和方法
 - 3.1 测试结果
 - 3.1.1 概述

3.1.2 故障隔离和诊断

3.1.2.1 寄存器文件存取问题

3.1.2.2 P1B输入总线上的FET同时启动

3.1.2.3 对直接输入的输出截止

3.1.2.4 R, T和S, ABM竞态条件

3.1.2.5 装入时钟, P2B循环条件

3.1.2.6 遗漏溢出检测逻辑

3.1.2.7 译码器潜行脉冲

3.2 吞吐量

3.2.1 概述

3.2.1.1 寄存器到寄存器操作

3.2.1.2 寄存器到数据输出, 进位出和全零输出

3.3 测试方法

抗 辐 照 加 固 微 处 理 机

引言

加利福尼亚州、圣地亚哥市的Questron公司按照F 33615-77-C-1001号和P 00001号合同提供了这份最终报告。这项工作是在空军大尉T. Margraff及空军规划办公室的K. Conklin先生的指导下为空军航空电子学实验室即俄亥俄州代特恩的Wright-Patterson空军基地进行的。这份最终报告叙述了加利福尼亚州、圣地亚哥市E 1区的Questron公司计算机科学部从1977年10月1日到1977年12月31日所进行的工作。

这项工作受到计算机科学部的经理V. V. Nickl的指导。对这项工作作出贡献的主要工程师有：P. A. Rosenberg（资历较深的工程师）和G. L. McCollum（资历较深的工程师）。这份最终报告的原稿是作者在1978年7月脱稿的。

这项工作的目的是对RCA微处理机位片SOSCOS/MOS器件系列进行计算机仿真的可行性进行了评价。该器件系列是由下列器件组成的：

- (1) 通用处理器组件 (GPU) TCS-074
- (2) 通用门阵列 (GUA) TCS-091
- (3) 只读存储器 (ROM) TCS-075

(4) 随机存取存储器(RAM) TCS-072

该微处理机位片器件系列的核心器件是GPU，因而在第一部分详细叙述它。

在仿真分析中所采用的方法有两种，第一，分析该器件系列在仿真各种计算机(从简单的4位微处理机到高性能32位浮点处理机)中的有效性，在进行这种分析时发现，在GPU的功能设计方面有些不足之处，新的设计正在纠正这些不足。更重要的是，还发现在器件系列宽度方面也存在不足，建议增加一些部件类型作为该系列的补充器件(可参看2.5节内容)以改进系列宽度。第二部分叙述了仿真分析的结果。第二，力图用该器件系列确定和设计入门级相平行的计算机。这是一种仿真用的特殊计算机。这项工作为仿真该器件系列的真实能力提供了实际测试，结果发现在器件方面也存在缺点，这些缺点也在第二部分详细叙述。为进行仿真而选用的计算机是8080机。这种微处理机是市场上高性能处理机的公认代表，是一种极好的仿真分析工具。8080仿真器实验板的详细情况在第四部分叙述。

因为GPU器件本身是新品种，简直是“刚出炉的”，所以Questron公司对这种GPU进行了功能测试，以验证和评价它的设计。在测试过程中，Questron公司构思、研究和证明了对于LSI设计验证进行低成本功能测试的原理。第三部分对这个原理作了详细解释。在完成这项工作期间，Questron公司检测、隔

离和诊断出在GPU中的7个设计漏洞(请参看第三部分)。现在, GPU被重新制作以纠正这个漏洞。

概括起来, 这份报告完成的主要内容如下:

(1) GPU器件的详细的性能指标(第一部分)。使该器件的潜在用户能了解其特性及它们相互之间的差别。由于该器件新奇, 象这样的指标以前未曾出现过。

(2) RCA SOS CMOS器件系列的仿真有效性分析(第二部分), 这种分析已经导致了对GPU进行设计修改, 修改后, GPU的能力大大增强。另外建议该器件系列增加几种器件以提高该系列在仿真计算机过程中的有效性和寿命。

(3) 用于验证LSI设计的低成本功能测试原理的研究和证明(第三部分)。这种测试技术能检查、隔离和诊断与功能设计、逻辑设计、布设计、掩模设计及工艺有关的七个漏洞。现在, 在重新进行的GPU设计中正在修正这些漏洞。

(4) 完成实验性8080仿真器的详细设计(第四部分)。这种设计是足够详细的以致于能够获得硬件, 并能制造出一个8080实验性仿真器。

1. GPU的功能特性

这一部分描述了GPU的功能, 应该注意到, 在这一部分所描述的GPU, 从功能上讲与第三部分所描述的很不相同, 原因是这一部分描述的GPU是根据GPU仿真分析(在第二部分)和测试

结果而修改了的GPU。重新制造出来的GPU在功能上优于现存的GPU，在1978年第一季度已投入市场。

1.1 GPU特性概述

通用处理器组件(GPU)是一种8位中央处理器组件位片，打算把GPU用于各种CPU、外围控制器、程序可编的微处理器及专用控制器。GPU是一种高速、CMOS/SOS器件，它可以级联从而能有效地仿真8位以上字长的任何计算机。

如图1.1-1所示，GPU是8位处理器位片，它由16字×8位双存取寄存器文件、两个端口缓冲器(P1B、P2B)，扩展的数据类型选择多路传送系统、算法/逻辑电路(ALC)及强大的移位能力组成。它有分开的8位数据输入和数据通道。数据能直接输入到寄存器文件P1B或P2B。数据能从P1B、P2B或从ALC输出。把输出部件设计得能驱动30pF电容，在10伏电压下，电容的上升和下降时间为30毫微秒。把数据通道设计得能简化复杂算法的实现过程。例如，两位乘法数据通道在芯片上实现，它能把1位右移到ALC中，把1或2位右移到寄存器文件。虽然该器件尚未被充分表征，但是，初步测试指出它的速度是很快的，已经观察到其全周期操作，高达10MHz（从寄存器文件中取出两个操作数，通过ALC把它们进行运算，然后把其运算结果存回到该寄存器文件中）。表1.1-1概述了GPU的重要特性。

GPU是个48腿器件，它由2943个各种尺寸的晶体管构成，芯片面积为 $43.2 \times 10^3 \text{ mil}^2$ ，每个晶体管平均面积为

12.7mil²。GPU是用硅栅CMOS/SOS工艺制造的；只采用了一次外延淀积；用单离子注入淀积硅岛；用常规湿HCl热生长SiO₂方法形成沟道氧化层。

表1.1 GPU特性概述

- (1) 8位处理器位片
- (2) 16个双存取8位通用寄存器
- (3) 单时钟操作——能对两个寄存器进行存取，并进行操作，把计算结果存入寄存器文件，所有这些动作在一个时钟周期内完成。
- (4) 8位并行算术逻辑电路(ALC)，该电路具有先行进位、全零检测和溢出指示。
- (5) 供多级算法，例如，两位乘法、除法和浮点算法用的数据通道和控制。
- (6) 可扩展性——可以把任意多的GPU连接起来作为更大字长的机器。
- (7) 微程序多用性——能独立控制源、ALC操作和数据目标的选择。
- (8) CMOS/SOS——芯片尺寸为201×215。
低功耗、高速度、高抗扰性(抗噪声能力)、抗辐照性。

- (9) 静态操作,能以任何速度运行(从单步到10 MHz)。
- (10) 单DC电源,4伏到15伏。
- (11) 分开的数据输入和数据输出通道——输出缓冲器是三态的。
- (12) 流水线操作——能直接从数据输入向寄存器文件装入,并同时输出ALC的结果。
- (13) 片上8位,用于高速算术运算的先行进位。
- (14) 商数和余数调制硬件。

1.2 GPU的结构

为了容易理解和简化解释,把GPU分成几个子功能块,在下文中,把每一个子功能块作为一个独立的整体来说明。

1.2.1 寄存器文件

寄存器文件由16个字组成,每个字8位(总共128位)。单个的存储单元都是静态的,具有两个可选用的输出以便把存储单元的内容传送到两个端口。该寄存器文件是并行字结构,以两个8位输出反映启动相应端口的寄存器内容。图1.2-1是寄存器文件的位片图。在这个图中,两个输出端口被称作端口1和端口2。通过R地址位访问端口1,通过T地址位访问端口2。

在装入时钟(LC)直接控制下,使用分立的写数据通道把数据存入选中的寄存器中。在GPU工作期间,输入选中寄存器的数

据来源于移位选择器。当LC为高电平时，由R地址字段（端口1）访问的寄存器将接受这个数据，该数据代替选中寄存器中以前的内容。当LC变低时，该数据被锁入该寄存器——也就是说，该寄存器与写数据通道断开。在M位的控制下，LC被截止（仅对寄存器文件而言）。所以，GPU可以设计得适用于具有三个运行时钟的同步系统，而无需任何外部时钟截止逻辑。

1.2.2 端口缓冲器

端口1和端口2分别与端口1缓冲器（P1B）和端口2缓冲器连接。端口缓冲器P1B和P2B从属于主寄存器文件。当LC为低时，它们跟踪寄存器文件中被访问的寄存器的内容（当控制译码明显截止它时除外）。当LC为高电平时，寄存器文件与端口缓冲器脱离，这样缓冲器就能保持它们的值同时将信息写入寄存器文件。这两个缓冲器是整个寄存器文件的从属部件。这种主从关系在LC控制下通过图1.2-1所示的寄存器文件地址译码网络来实现。正如前面所述，当LC为低电压时，端口缓冲器并非在所有的时间都跟踪寄存器文件。其原因是，该缓冲器有另一个可能的输入，即从直接数据输入引脚输入。当两个缓冲器中的任一个直接输入数据时，相应的寄存器文件端口就与缓冲器寄存器脱离，这也是在寄存器文件地址译码网络中完成；这一次是对S位进行译码。当LC取高电平时，直接输入数据被锁入P1B中，通过改变S和A控制位把直接输入数据锁入P2B中，使寄存器文件与直接输入数

相脱离——与 P 1 B 不同，P 2 B 对其输入没有截止控制。

1 · 2 · 3 数据类型选择器

在 D 位控制下，两个数据类型选择器针对 A L C 输入选择数据（参看表 1 · 3 - 2）。左边数据类型选择器（L D T S）接收从 P 1 B 来的数据，并以未变动的 P 1 B、补码形式的 P 1 B、全零或右移一位的 P 1 B 提供给左边的 A L C 端口。为了右移，L D T S 中的最高有效位接受来自 M X H I 的输入，L D T S 中的最低有效位是对 M X H I 的输出。右边的数据类型选择器（R D T S）接受从 P 2 B 来的数据，并以未变动的 P 2 B、补码形式的或全零的 P 2 B 提供给右边的 A L C 端口。数据类型选择器控制位（D 2、D 1、D 0），总共提供 8 种可能的源组合。然而，使用控制共享技术能实现十种源组合。这种技术是，对 A L C 控制位的某种译码给出两个附加源结构代替常态 2。特别是 A L C 有两个加法控制译码，根据哪一个加法被译码，就按照 D 位，选择某种源结构。在下一部将更详细地解释控制共享问题。

1 · 2 · 4 运算/逻辑电路

G P U 上的运算/逻辑电路 A L C 能提供三种功能：加法功能、逻辑“或”功能和逻辑“与”功能。这里有一个向最小有效位进位入（Carry-in）和一个来自最大有效位的进位出（Carry-out）一组先行进位电路并入 A L C。一套级联中的每一个 G P U 都同时

建立它自己内部组合传播 (GP) 和组合生成 (CG) 状态。

$$GP = P_0, P_1, P_2, P_3, P_4, P_5, P_6, P_7$$

$$CG = C_1 P_{(0 \dots 7)} + G_{(0)} P_{(1 \dots 7)} + G_{(1)} P_{(2 \dots 7)} + \dots + G_6 P_7 + G_7$$

组合传播项对于与进位入无关的组合是唯一的，并与生成项相互排斥。所以，如果 GP 在一个特殊的 GPU 上是真的，那么，对这个特殊的 GPU 的进位入能够受到进位出的直接控制。如果 GP 是假的，GPU 能够输出一个组合生成 1 (GG1) 或组合生成零 (GG0)，它们与进位入无关。

$$GG0 = (\overline{GP}) (\overline{P})$$

$$GG1 = (GP) (\overline{P})$$

在 GPU 上，为检测加法和减法的边界条件提供了溢出指示。溢出被简单地定义为执行加法或减法运算时，符号位的变化。例如，如果在两个正数的加法运算中，符号位变成 1 状态 (负的)，就发生溢出。最大有效位的进位入和进位出取“异或”就能很容易地检测出 GPU 上的溢出。

$$\text{溢出} \equiv G \oplus C_0$$

溢出信号输出在 C 位控制下用 MXHI 引脚上的移位数据分时 (参看下一部分)。

同时还提供了 ALU 的全零输出检测。GPU 生成它自己的全零状态。一个组合级的传播/生成全零检测电路提供一个快速的组

→ 状态，其延迟很小。在 G P U 中的一个非全零状态是通过把 A Z O 从它的高阻态拉到零来表示的。在比一个 G P U 更大的系统中，A Z O 的全部输出被连接在一起形成“线与”。总线驱动 A Z O 上的逻辑 1 表示全零组合状态，用逻辑零表示非全零组合状态。A Z O 输出需要有一个外部上拉电阻。应当注意，对于逻辑操作，进位出 (Carry-out) 被置位如下：

与 C O $\equiv$ 1

或 C O $\equiv$ 1

1.2.5 移位选择

在把 A L C 的输出存回到寄存器文件之前，移位选择为它进供强大的左右移位能力。该移位选择能使 A L C 输出右移一位、右移两位、左移一位或直接通过（不移位）。移位选择数据的目标总是由端口 1 地址（R 地址）指定的寄存器。来自数据输入引脚的寄存器文件的直接数据输入也能通过移位选择（不移位）。该数据又被写入由端口 1 地址指定的寄存器。移位操作直接由 M 一位控制以确定移位；移位操作间接由边界连接控制（C 位）以确定移位输入和输出连接（参看 1.2.6 节）。把 M 位直接译码以选择对寄存器文件的移位输入。

1.2.6 边界连接控制

边界连接控制能确定在 M X H I、M X H O 最大有效双向输入/

输出移动位和MXL1, MXL0最小有效移动位上的输入和输出是什么——MXL0是双向的, MXL1仅是个三态输出。边界连接控制状态由C位(C2、C1、C0)确定。C位为四个MX移位引脚和移位选择器提供三个状态类别。第一类状态为多GPU机器中常规电路之间的移位操作构成GPU。第二类状态使溢出状态指示符在MXH1上输出而同时把“0”和“1”移入移位选择(如果建议移位的话)。第三类状态使MSB扩展以便右移,使特殊输出与MXH相连接以便左移。例如,TS和P2B位7能在MXH1上输出。经过对这些位的译码,TS也能从ALC的最大有效输出位装入。这对于保存除法中修正余数和商所需要的符号信息是有用的。

1.2.7 目标移位选择控制

为了控制移位选择,由M位(M_2 , M_1 , M_0)构成目标移位选择控制。另外,目标移位选择控制能截止寄存器文件的装入时钟并能选择在数据输出引脚上要输出什么。

1.2.8 数据输入/输出

有8根把外部数据输入到GPU的数据输入线。这个输入能够指向三个目标。外部输入数据就象源选择控制(S位)所指定的那样,对端口缓冲寄存器(P1B或P2B)或寄存器文件都是有效的。通过端口2的数据输入总是存储在P2B中,以便向加法器输