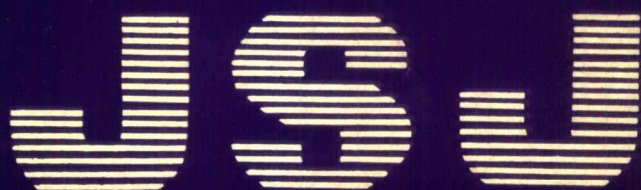


IBM PC/XT
维修丛书



多 功 能 接 口 板
工 作 原 理 和 故 障 检 修

《计算机科学技术与应用》编辑部

三 多功能接口板工作原理和故障检修

钱晴方

多功能接口板是为 IBM PC/XT 微机及其兼容机设计的,它为计算机系统提供了一些重要的功能。多功能接口板上的功能包括:

- RAM 扩充电路,从 64KB 到 256KB(或 384KB);
- 并行打印机接口;
- 两个异步通讯接口;
- 具有后备电池支持的时钟/日历电路。

上述每一个功能都设计得有一定独立性。如果不需要时,可以取消它。除了时钟/日历功能要求专门的软件支持外,其余的功能既由 PC-DOS(IBM)支持,又由 MS-DOS(Microsoft)支持。

下面我们以 IBMPC/XT 的 RAM 扩充板、并行打印机接口板和异步通讯接口板的逻辑图为例来分析工作原理(这几部分电路可参阅苏州电子计算机厂出版的《PC/XT 苏州 0520 逻辑原理图》)。由于多功能板是 PC/XT 的兼容板,因此这些工作原理也适合于多功能接口板上相应的功能电路。对于不同公司生产的多功能接口板其基本工作原理都是类似的,只不过在个别地方使用的元、器件有所不同,我们将在适当的地方给予简单的介绍。最后介绍各部分电路的故障分析。

§3-1 存储器扩充电路

§3-1-1 开关设置

在多功能接口板上有一个双列封装式开关(DIP——8 位开关组件),它控制所有的扩充存储器功能。

64/256K 内存扩充板上有 4 列(或 4 组)存储器,每列包含 9 块 RAM 芯片,每块芯片为 64KB×1 位,故每列容量为 64KB,其中还含有一位校验位。所以 64/256K 内存扩充板最多可以扩充 256KB,按 BANK0 到 BANK3 的模块顺序依次增加。

首先,必须确定多功能接口板上存储器的起始地址,并设置相应的开关位置。如果计算机中装有 256KB 存储器,则存储器的地址从 0KB 到 256KB(不包括第 256KB)。因此,如果要配置更多的存储器,那么增加的存储器起始地址应为 256KB。由此可见,要配置的多功能接口板上存储器的起始地址等于已经安装的存储器总量。

DIP 开关上位置 1、2、3、4 规定了 64/256k 内存扩充板上存储器的起始地址。表 1 列出了对应存储器起始地址的开关设置状态。

说明:表 3-1 和下面的表 3-2 中对开关设置的规定是针对“64/256K 内存扩充板”而言的。对于不同公司生产的多功能接口板和内存扩充板,其开关设置的原则是一样的,但对开关设置的规定(即开关中哪几位表示起始地址,哪几位表示扩充容量)是不一样的。使用时,应仔细阅读使用说明书中有关开关设置的规定。

表 3-1 64/256K内存扩充板上对应存储器起始地址的开关设置

64/256K内存扩充板上 DIP 开关设置				64/256K内存扩充板上
1	2	3	4	存储器起始地址
ON	ON	ON	ON	0KB
ON	ON	ON	OFF	64KB
ON	ON	OFF	ON	128KB
ON	ON	OFF	OFF	192KB
ON	OFF	ON	ON	256KB
OFF	ON	ON	ON	512KB

注: OFF = 逻辑1。

其次,我们要规定在多功能接口板上的存储器组数,每组为 64KB。通常,开关应设置成使所有的存储器组都得到认可。但是,鉴于计算机设计中的限制,以及在对存储器部分进行调试时,也可以使开关设置规定的认可数少于有效的存储器组数。

DIP 开关位置 5、6、7、8 规定了 64/256K内存扩充板上存储器的扩充容量。表3-2列出了对应存储器扩充容量的开关设置状态。

表 3-2 64/256K内存扩充板上对应存储器扩充容量的开关设置

64/256K内存扩充板上DIP开关设置				64/256K 内存扩充	与组数相应的
5	6	7	8	上存储器组数	扩充容量
ON	OFF	OFF	OFF	BANK0	64KB
OFF	ON	OFF	OFF	BANK1	128KB
OFF	OFF	ON	OFF	BANK2	192KB
OFF	OFF	OFF	ON	BANK3	256KB

注: ON = 逻辑1。

§3-1-2 电路原理

多功能接口板上存储器扩充电路除了存储器组件以外,还包括行列地址选通信号生成电路、行列地址多路转换开关、数据总线驱动器和奇偶校验电路等。

1、4164动态存储器

4164 动态存储器芯片内部有 65536×1 位存储单元,可以存放 64K 位二进制信息,16 引脚工业标准封装。4164 的引脚排列表示于图 3-1。

由于选择 64K 存储单元需要16位地址信息($2^{16} = 65536$),而 4164 的引脚数较少,为此把16位地址信息分两次锁存到芯片内部,共同译码访问指定的存储单元。两个地址锁存选通信号分别为行地址选通 $\overline{RAS}$ 和列地址选通 $\overline{CAS}$ 。写允许 $\overline{WE}$ 信号决定对存储器

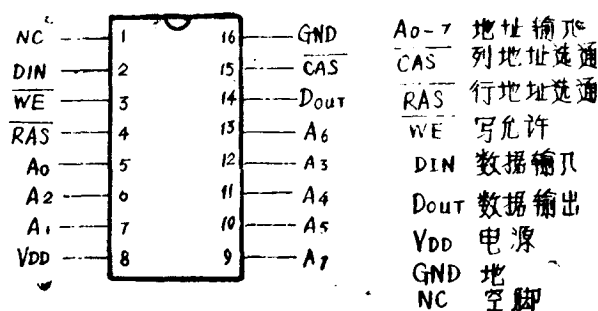


图 3-1 4164引脚排列

进行读操作还是写操作。当 $\overline{WE}$ 为高电平时是读出数据，被选中的存储器单元把数据送到数据输出端 D_{OUT} ；当 $\overline{WE}$ 为低电平时允许写入数据，数据输入端 D_{IN} 上的输入数据写进被选中的存储单元。4164 动态存储器芯片更详细的描述，请参阅苏计厂出版的《IBM PC/XT 集成电路手册》。

动态存储器必须定时地进行刷新。4164 要求每 2ms 对所有的存储单元刷新一次。刷新是通过执行只有 $\overline{RAS}$ 的动态存储器访问周期来实现的（即只有 $\overline{RAS}$ 而没有 $\overline{CAS}$ 的存储器访问周期）。

2、 $\overline{RAS}$ 和 $\overline{CAS}$ 生成电路

多功能接口板上行地址选通信号 $\overline{RAS}$ 和列地址选通信号 $\overline{CAS}$ 的生成电路和存储器的读/写时序如图 3-2 所示。

64/256K 内存扩充板上最多可以安装 256KB 的 RAM，即 4 组 (36 片) 4164 动态 RAM 芯片。访问这些存储器，需要用 4 组 $\overline{RAS}$ 和 $\overline{CAS}$ 信号。根据 64/256K 内存扩充板上的 DIP 开关的 5—8 位来决定 64/256K 内存扩充板上实际安装的存储器扩充容量，并产生选中信号 $CO_{SEL DEC}$ ，表示访问 64/256K 内存扩充板上的存储器。根据 DIP 开关 1—4 位决定的 64/256K 内存扩充板上存储器的起始地址，和系统总线上地址高位 $A_{16} \sim A_{19}$ 的信息，用 PROM 电路 24S10 产生控制信号，分别送入两片译码电路 74LS138，译码后产生 $\overline{RAS}$ 和 $\overline{CAS}$ 信号。

在地址总线上的地址信息稳定后，系统总线发来存储器读/写控制信号 $\overline{MEMR}$ 或 $\overline{MEMW}$ 。此时，PROM 电路 24S10 已经根据开关设置和地址线高位信息输出相应控制信号，行/列地址多路转换开关把行地址稳定地送到 4164 芯片上。当 $\overline{MEMR}$ 或 $\overline{MEMW}$ 信号到达时，3—8 译码器 74LS138 (U29) 动作产生 $\overline{RAS}$ 信号。经过 75ns，行地址锁存到 4164 芯片后，产生行/列地址多路开关切换信号 $ADDR_{SEL}$ ，把列地址送到 4164。再经 50ns 等待列地址信息稳定后，3—8 译码器 74LS138 (U30) 动作产生 $\overline{CAS}$ 信号。

在刷新操作期间， $\overline{DACK0}$ 为低电平，禁止两个 3—8 译码器工作。而 $\overline{DACK0}$ 和 $\overline{MEMR} / \overline{MEMW}$ 相与后，通过或门 74S08 (负逻辑) 输出 $\overline{RAS0} \sim \overline{RAS3}$ 信号，对 64/256K 内存扩充板上的全部 4164 芯片进行一次刷新。

3、RAM 电路

64/256K 内存扩充板上最多可安装 256KB 存储器，电路如图 3-3 所示。

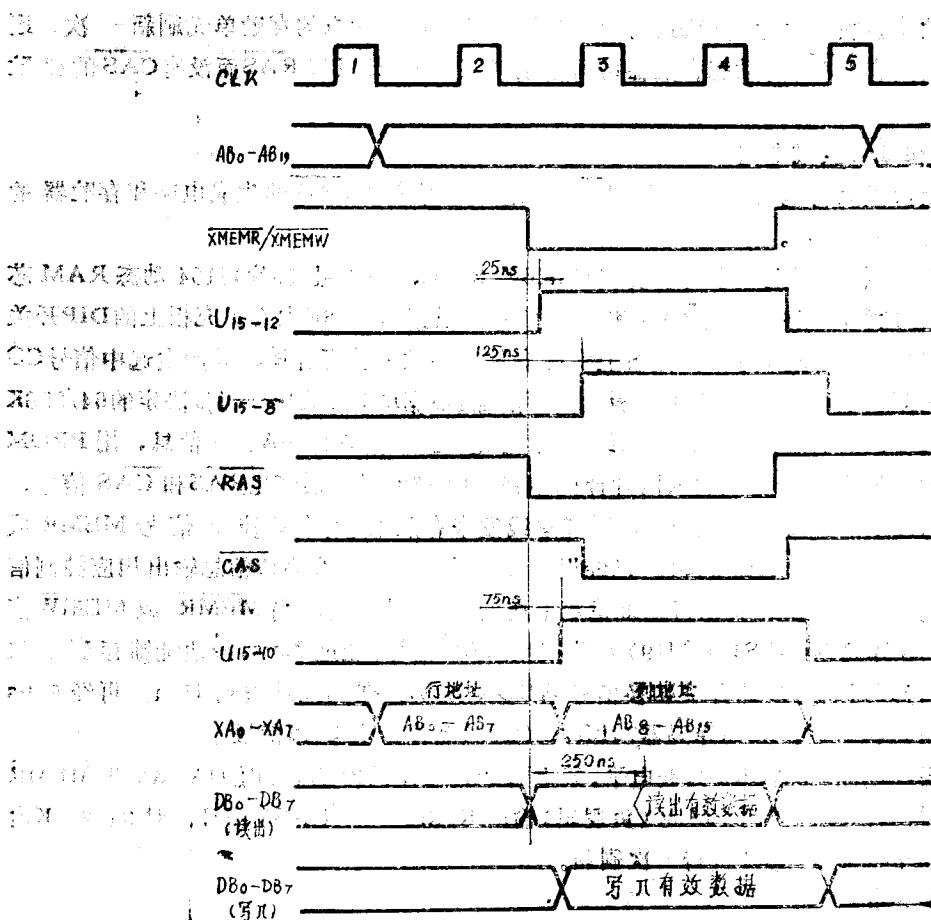
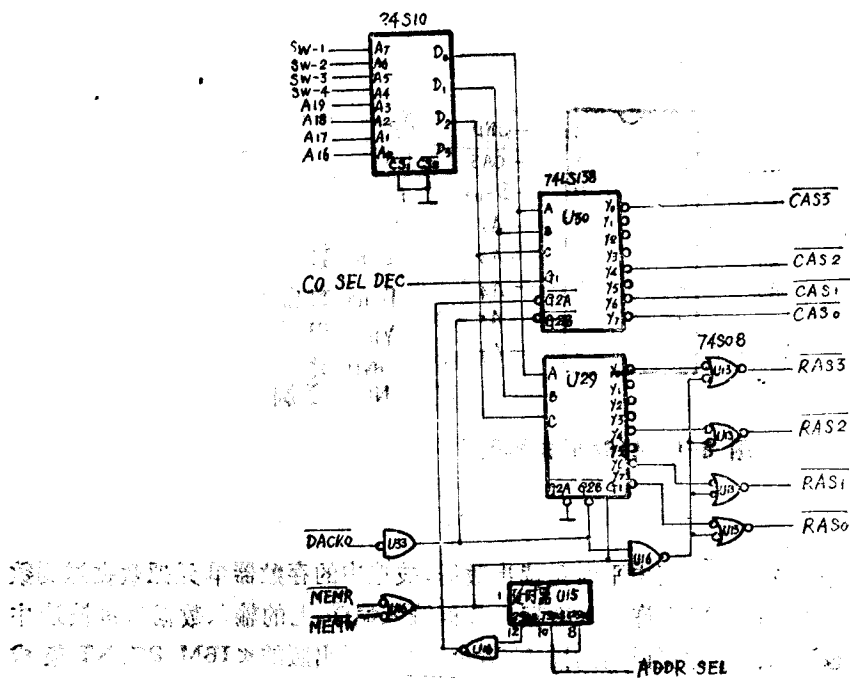


图 3-2 RAS 和 CAS 生成电路和存储器读/写时序

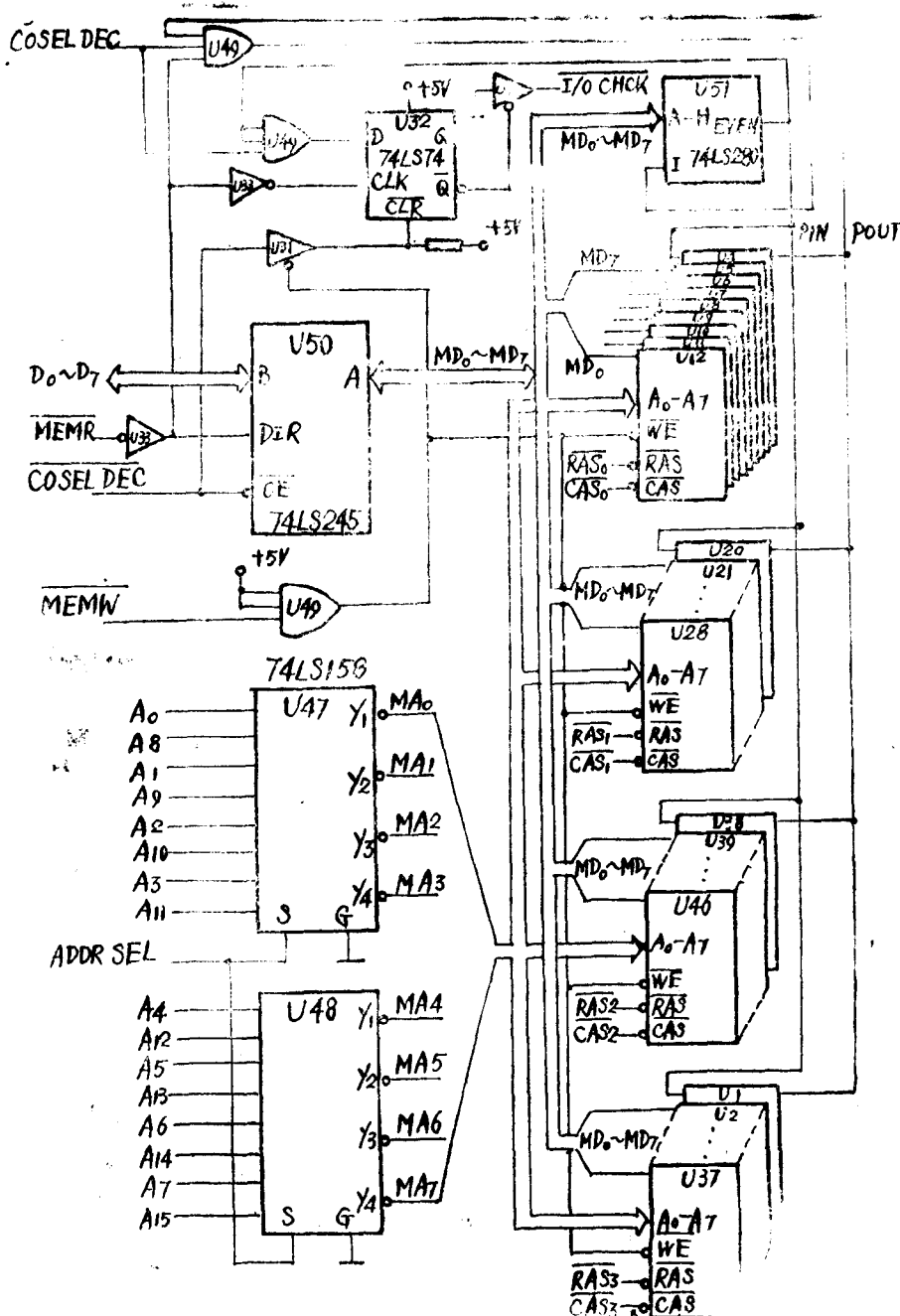


图 3-3 RAM电路

存储器每 64K 由一组 9 片 4164 芯片构成，其中 8 位是数据位，1 位是校验位。这位校验位用来检查 RAM 中保存的数据是否正确。PC/XT 微机采用奇校验，即在数据字位和奇偶校验位中为“1”的个数是奇数个。如果变成了偶数个，则表示出错。

奇偶校验发生器 74LS280 共有 9 个输入端 A—I，它能检查这些输入端上各位数据“1”的个数是偶数还是奇数。如果输入的 9 位数据中，“1”的个数为偶数，则偶输出 (EVEN) 为高电平，奇输出 (ODD) 为低电平；反之，“1”的个数为奇数，则奇输出为高，偶输出为低。

在存贮器写周期, 8 位输入数据在写入存贮单元的同时送到 74LS280, 由它生成校验位数据, 与数据字节一起写入存贮器中。若 A—H 中, “1” 的个数为偶数, 则校验位写入 “1”; 若 A—H 中, “1” 的个数为奇数, 则校验位写入 “0”。总之, 保证在写存贮器周期, 写入存贮单元的 9 位数据为 “1” 的个数总是奇数。

在存贮器读周期, 从指定单元读出 9 位数据, 一起送到 74LS280 进行校验。若 9 位数据中, “1” 的个数不是奇数, 则说明奇偶校验出错, 向系统总线发奇偶校验错 (I/O CHECK 信号, 请求 CPU 处理。

64/256K 内存扩充板采用偶输出奇校验。74LS280 的偶输出 (EVEN) 一方面作为奇偶校验位输入 (PIN) 送入存贮器芯片, 另一方面送到奇偶校验触发器。奇偶校验位输出 (POUT) 送到三输入与门 74LS11 (U49) 的输入, 其输出作为奇偶校验发生器第九个输入端 I, 它的逻辑表达式为: $I = \text{POUT} \cdot \text{MEMR} \cdot \overline{\text{CD SEL DEC}}$ 。当数据写入 64/256K 内存扩充板上存贮器时, I 为低电平; 当数据读出时, $I = \text{POUT}$ 。

与此同时, 奇偶校验发生器的输出 (EVEN) 经过 74LS11 (U49) 的另一个三输入与门送到奇偶校验触发器 74LS74 的输入端 D, 其逻辑表达式为: $D = \text{EVEN} \cdot \overline{\text{CD SEL DEC}}$ 。在写操作时, $\overline{\text{MEMW}}$ 信号控制缓冲器 74LS125 (U31), 使 $\overline{\text{CD SEL DEC}}$ 送入 D 触发器的清除端 ($\overline{\text{CLR}}$), 所以其输出端 ($\overline{Q}$) 为高电平, 禁止发校验错信号 (I/O CHECK)。在读操作时, 74LS125 的控制端被高电平禁止输出。而读信号 $\overline{\text{MEMR}}$ 作为 D 触发器的时钟 (CLK) 输入, 这时如果 EVEN 为高电平, 则 D 触发器的输出端 ($\overline{Q}$) 为低电平, 经 74LS125 (U31) 的另一组缓冲器向系统总线发奇偶校验错信号 I/O CHECK; 如果 EVEN 为低电平, 则禁止 I/O CHECK 输出。

数据总线驱动器 74LS245 在访问 64/256K 内存扩充板上存贮器时 ($\overline{\text{CD SEL DEC}}$ 为低电平) 开放, 数据传送方向由读信号控制。在读操作时, $\overline{\text{MEMR}}$ 为低电平, $\text{DIR} = 1$, 数据传输由 A 到 B, 扩充存贮器内容被 CPU 读入; 在写操作时, $\overline{\text{MEMR}}$ 为高电平, $\text{DIR} = 0$, 数据传输由 B 到 A, CPU 将数据写入扩充存贮器。

行列地址多路转换开关由两片 74LS158 构成。地址切换控制信号 ADDR SEL 由 RAS 和 CAS 生成电路产生 (见图 3-2)。

§3-2 并行打印机接口

并行打印机接口是专门为连接一台具有并行端口的打印机而设计的。但是, 它也可以作为一个有一定通用性的并行接口来使用。

§3-2-1 电路原理

图 3-4 是并行打印机接口的逻辑框图。并行打印机接口的逻辑结构比较简单, 它由命令译码器、数据收发电路、总线缓冲器、数据锁存器、控制锁存器和控制驱动器等电路组成。

1、I/O 命令口地址译码器

命令译码器负责识别从 CPU 送来的具有系统分配给打印机接口所规定的端口地址的输入输出指令, 并译出 “数据传送方向”、“读数据”、“读状态”、“读控制”、“写数据”、“写控制” 等六个信号命令。图 3-5 是命令译码器的电路原理图。

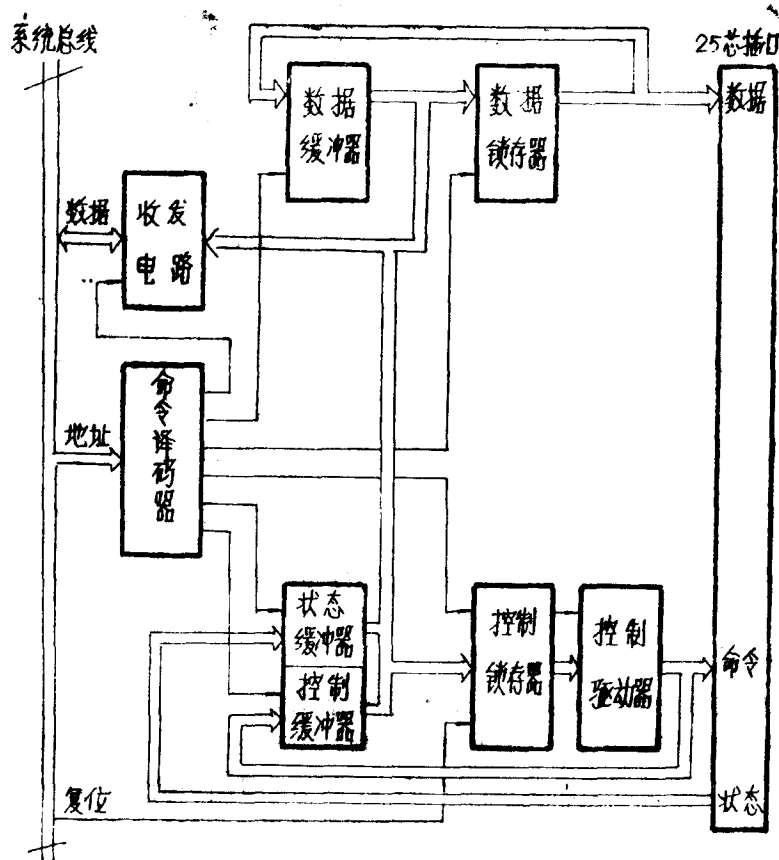


图 3-4 并行打印机接口逻辑框图

命令译码电路分成两个部分：八输入端单与非门 74LS30 对 CPU 送来的系统分配给打印机接口的端口地址进行识别；双 2-4 线译码器 74LS155 对 CPU 送来的读写命令（ IOR/IOW ），结合端口地址进行译码，产生相应的控制命令。

系统分配给打印机接口的端口地址为 378—37A，写成二进制数的形式为：00110111 10××，最后两位表示有 00、01、10 三种形式。由此可见，如果 CPU 选中打印机，则送来的地址线中，A3、A4、A5、A6、A8、A9 为高电平，A7 为低电平。所以 74LS30 的前六个引脚的输入为高电平。那么，剩下的两个引脚（即引脚 2 和引脚 1）的输入电平如何呢？

引脚 2 取自 2 输入四异或门 74LS86 (U_{11}) 的输出，其逻辑表达式为： $U_{s,2} = \overline{J_1} A_8 + \overline{A_8} J_1$ 。由于 J_1 接地，是低电平，所以当 A_8 是高电平时，引脚 2 也是高电平。

引脚 1 取自 2 输入四或非门 74LS02 (U_9) 的输出，其逻辑功能为： $Z = \overline{A + B} = \overline{A} \cdot \overline{B}$ 。所以原理图中画成非与门（负逻辑）形式，其逻辑表达式为： $U_{s,1} = \overline{A_7} \cdot \overline{AEN}$ 。AEN 是地址允许信号，在非 DMA 时，AEN 是低电平。所以当 A_7 为低电平时，引脚 1 也是高电平。

由此可见，当 CPU 选中打印机接口板时，74LS30 的八个输入端均为高电平，其输出为低电平。换句话说，打印机接口工作时，74LS30 的输出一定是低电平。这个低电平就是接口的选中信号。

再看 74LS155 是如何工作的，它的功能表请参阅苏计厂出版的《IBM PC/XT 集成

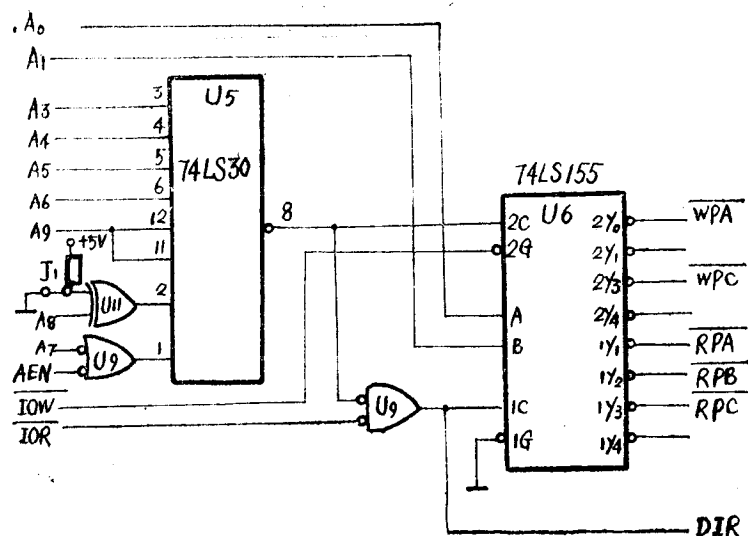


图 3-5 命令译码电路

电路手册》“中小规模集成电路”部分。

74LS155 有两个 2—4 译码器，分别进行读信号和写信号的译码。

先看读信号的译码过程。选通端(1G)接地，表示始终选通。数据端(1C)接 74LS02 (U9) 的输出，其逻辑表达式为： $1C = \overline{U_{5-8}} \cdot \overline{IOR}$ 。 $\overline{U_{5-8}}$ 是接口的选中信号，接口工作时， $\overline{U_{5-8}}$ 恒为低电平。所以在读操作时，1C 是高电平。由于 1G 为低电平，1C 为高电平从功能表可知，译码后产生的读信号低电平有效。选择端(A, B)接地址总线的 A0、A1，译码后按表 3-3 产生相应的读信号。

再看写信号的译码过程。选通端(2G)接 $\overline{IOW}$ 信号线，它在写周期时为低电平，所以仅在写周期时选通。数据端(2C)接 74LS30 的输出 $\overline{U_{5-8}}$ ，打印机工作时恒为低电平，由于，2G、2C 均为低电平，从功能表可知，译码后产生的写信号也是低电平有效。选择端(A, B)接法同前，这是两个译码器共用选择端的缘故。译码后按表 3-3 产生相应的写信号。

表 3-3 命令译码器的读/写信号表

A ₁	A ₀	读 信 号	写 信 号	
0	0	$\overline{RPA}$	$\overline{WPA}$	数 据
0	1	$\overline{RPB}$	—	状 态
1	0	$\overline{RPC}$	$\overline{WPC}$	控 制

读信号和写信号的译码过程是互不干扰的。在读信号译码过程中，由于 2G 为高电平，从功能表可知，写信号译码器的输出均为高电平，禁止对写信号进行译码。同样，在写信号译码过程中，由于 1C 为低电平，从功能表可知，读信号译码器的输出均为高电平，禁止对该信号进行译码。

2、锁存器、缓冲器及其它电路

数据总线接收发送电路由8位双向三态总线驱动器74LS245构成。输出控制端($\overline{OE}$)接地,表示始终选通。方向控制端(DIR)接命令译码器74LS155的输入端1C(见图3-5)。读周期时,DIR为高电平,表示接口的信号状态被CPU读入,数据传输从A到B。写周期时,DIR为低电平,表示接口从数据总线获取数据,数据传输从B到A。

数据锁存器由8D触发器74LS374构成。输出控制端($\overline{OE}$)接地,表示始终选通。时钟端(CLK)由 $\overline{WPA}$ (写打印机数据)信号选通。数据锁存器用来暂存CPU送出的打印数据字节,这些数据就是25芯D型插口引脚2—9的内容。

数据缓冲器由三态输出8总线缓冲器(同相)74LS244构成。选通端($\overline{G}$)由 $\overline{RPA}$ (读打印机数据)信号选通。CPU必要时,可利用 $\overline{RPA}$ 信号读回刚送出的打印数据字节,以便进行比较和故障诊断。

控制锁存器由带清除端6D触发器74LS174构成。时钟端(CLK)由 $\overline{WPC}$ (写打印机控制)信号选通。清除端($\overline{CLR}$)接输入来自系统总线RESET信号的74LS02的输出 U_{9-13} 。这里的74LS02的逻辑功能相当于非门: $Z = A + A = A$ 。RESET是复位驱动信号,用于开机或掉电后系统的初始化或复位。该信号同步于时钟周期的下降沿,高电平有效。所以清除端($\overline{CLR}$)为低电平有效,用作对打印机接口控制信号的复位和接口对打印机的初始化。

控制驱动器由开路集电极6反相器74LS05构成。用来驱动来自控制锁存器的控制信号。74LS174的输出端(3Q)接了两个反相驱动器,复位时,初始化信号(INIT)为低电平,表示复位之后,系统对打印机重新初始化。

状态和控制缓冲器由三态输出8总线缓冲器(反相)和三态输出4总线缓冲器74LS125构成。状态缓冲器的选通端($\overline{1G}$)由 $\overline{RPB}$ (读打印机状态)信号选通。打印机状态信息经 $\overline{RPB}$ 读入CPU,供软件分析打印机状态时使用。控制缓冲器的选通端($\overline{2G}$)由 $\overline{RPC}$ (读打印机控制)信号选通。CPU读回刚送出的控制字节,是为了进行比较和故障分析。

上面这些锁存器、缓冲器及其它电路之间的相互关系是怎样的呢?

数据收发器用来进行系统总线和接口内部总线之间的数据线、状态线和控制线的双向传输。

数据锁存器用来暂存CPU送出的打印数据字节。然后一方面通过25芯D型插口送到打印机去打印。另一方面又回送到数据缓冲器,以便CPU必要时可以读入比较,进行故障测试与诊断。

控制锁存器及控制驱动器一方面用来暂存并驱动五个控制信号——初始化、选通、自动走纸以及选择输入信号;另一方面将这些控制信号回送到控制缓冲器,同样也是为了让CPU在必要时可以读入比较,进行故障测试与诊断。

打印机的五个状态信号(联机、应答、忙、缺纸、出错)经状态缓冲器被“读状态”命令选通后,即送到接口内部总线,由CPU的输入指令经数据收发器取回,送入CPU供软件作分析打印机状态时使用。

3、中断请求电路

PC/XT微机的并行打印机接口还具备一个中断请求电路,但是通常打印输出控制采用的是查询方式,而不是中断方式。

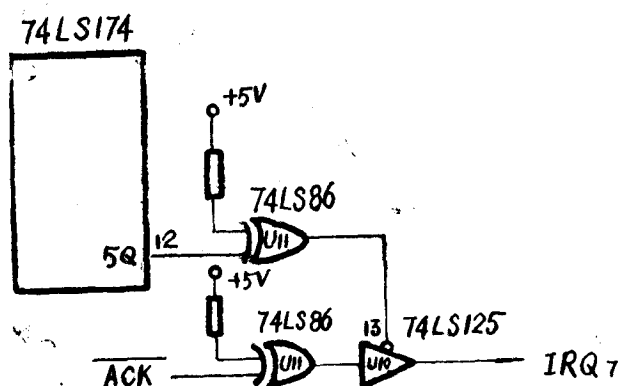


图 3-6 中断请求电路

中断请求电路由 74LS174、74LS125 及其它一些电路构成，其逻辑原理图如图 3-6 所示。控制锁存器 74LS174 的输出端 5Q 是中断请求控制。当 5Q 为高电平时，表示开中断；低电平时表示关中断。

当 74LS174 的输出端 5Q 为高电平时，中断输出缓冲器的控制端 U_{10-13} 变成低电平，允许中断请求 IRQ_7 输出。这时，如果打印机应答，则 25 芯 D 型插口的 $\overline{ACK}$ (应答) 信号经 74LS125 向系统发中断请求 IRQ_7 。

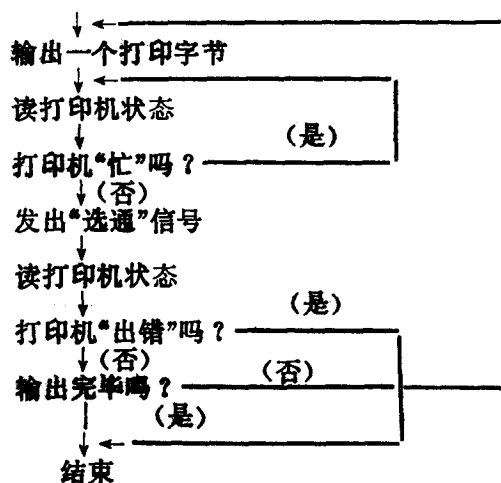
当 74LS174 的输出端 5Q 为低电平时，中断输出缓冲器的控制端 U_{10-13} 变成高电平，不考虑 $\overline{ACK}$ 的电平如何，禁止 IRQ_7 的输出。

§3-2-2 程序设计

打印机的程序设计比较简单，通常有两种方式可以选用，一种是查询方式，另一种是中断方式。

用查询方式进行打印输出的程序设计时，过程大致如下：

打印机初始化



用中断方式进行打印输出时，系统的效率比较高。上面图中每输出一个打印数据字节并发出选通信号之后，CPU 即可进行其它任务的处理。在执行其它任务的过程中，若打印机发出“应答”信号 (表示 CPU 发来的数据字节已被接收，可以再次发送数据)，则打印机

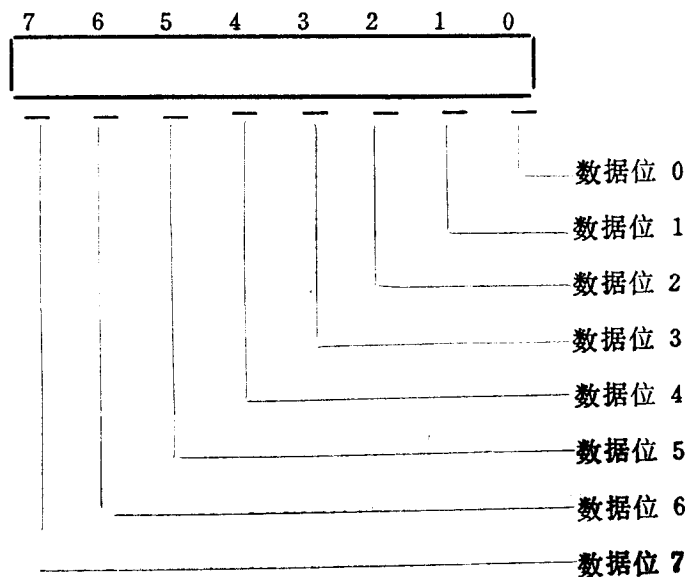
接口就会向CPU发出中断信号 IRQ7。于是，CPU再继续送出下一个打印数据字节及选通信号；不断重复上述过程直至结束。

IBM PC/XT 微机的 ROM 常驻 BIOS 中，打印输出控制采用的是查询方式。

用于打印机程序设计的输入输出指令共五条，其中两条用于输出，三条用于输入。它们的使用方法及相应端口地址简述如下。

1、打印数据字节的输出

输出端口地址为“378”，CPU 通过使用 OUT 指令在此端口输出的就是一个 8 位的打印数据字节，其格式和含义如下：

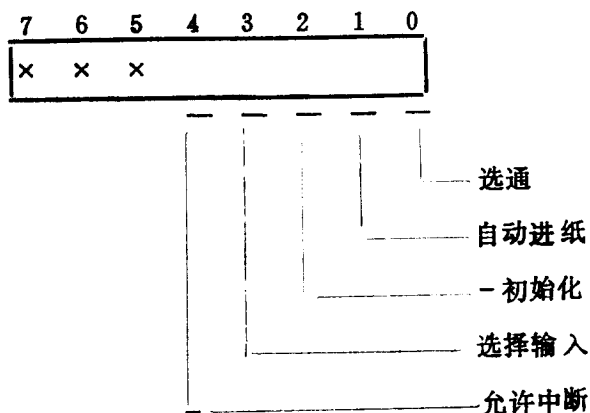


2、数据字节的输入

输入端口地址为“378”，CPU 使用 IN 指令所取得的是打印机接口上数据总线的状态。一般说来，它正是上一次刚送出的打印字节。本指令用于打印机接口的诊断。

3、打印控制字节的输出

输出端口地址为“37A”，CPU 使用 OUT 指令在此端口输出的是一个低五位的打印控制字节，其格式和含义如下所示。其中低四位以原码或反码的形式输出到 25 芯 D 型插口



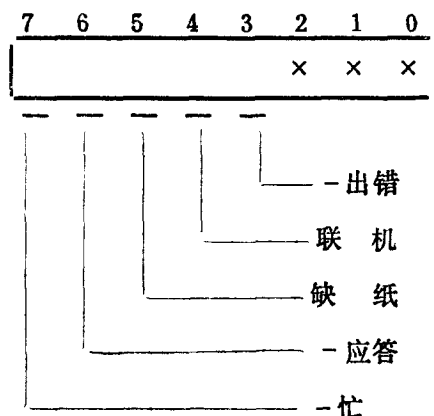
的相应引脚上。第五位是中断屏蔽位，为“0”时关中断，为“1”时开中断。

4、控制字节的输入

输入端口地址为“37A”，CPU 使用 IN 指令在此端口所取得的是上次刚送出的控制字节。本指令也在故障诊断时使用。

5、状态字节的输入

输入端口地址为“379”，CPU 从该端口所取得的是打印机的状态信息字节，其格式和含义如下：



§3-2-3 接口插座

并行打印机接口和打印机之间用25芯扁平电缆连接，连接并行打印机接口一端的25芯D型插座的引脚分配和接口信号说明都提供在表3-4中。

表 3-4 接口的引脚分配和信号说明

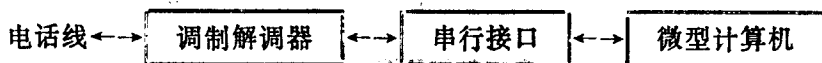
引脚号	信 号	方向	说 明
1	STROBE	出	输出数据选通脉冲，负脉冲有效，把输出数据打入打印机。
2~9	D ₀ ~D ₇	出	8位并行输出数据，正逻辑(1=H, 0=L)，数据位7为最高位，数据位0为最低位。
10	ACK	入	应答信号，负脉冲表示打印机已接收当前数据，并准备好接收下一个数据。
11	BUSY	入	忙信号，高电平表示打印机不能接收数据。忙信号在下列情况变为高电平：数据输入期间，打印操作期间，在脱机状态和在出错状态期间。
12	PE	入	纸完，高电平表示打印机缺纸。
13	SELECT	入	选择(联机)信号，高电平表示打印机被选中。
14	AUTO FD XT	出	自动进纸，低电平有效，控制打印机打印后自动走纸一行。
15	ERROR	入	出错信号，低电平时表示打印机处在纸完、脱机、或出错状态。
16	INIT	出	初始化信号，低电平时初始化打印机。
17	SELECT INPUT	出	选择输入，低电平时打印机才能接收输出数据。
18~25	GND		地

注：“方向”系指从并行打印机接口一端看信号流动的方向。

§3-3 异步通讯接口

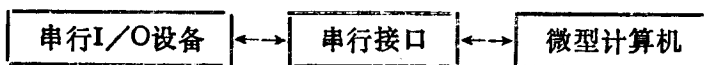
数据有通过电话线串行地传输,也有通过串行 I/O 设备串行地发送和接收。如果 CPU 要发送或接收串行数据,它必须具备移位逻辑电路,把串行数据变换成并行数据,或把并行数据变换成串行数据。

下面是电话线与微型计算机之间数据传输所遵循的步骤:



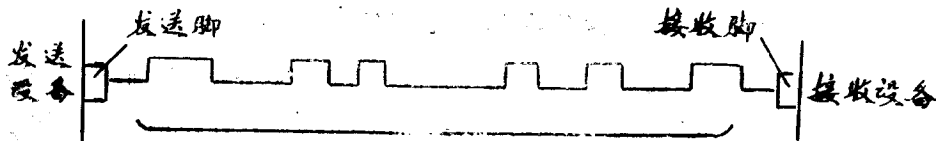
调制解调器(MODEM)是一个能够把电话线信号转换成数字逻辑电平,或把数字逻辑电平转换成电话线信号的设备。

任何类型的串行设备只要与接口信号安排一致,都能直接连到串行接口上:



§3-3-1 串行数据位的识别

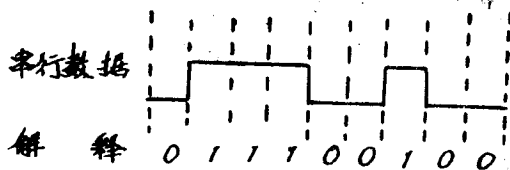
串行数据流的唯一特性是:数据传送与接收是作为一个单个信号经过单独的器件引脚进行的:



串行数据信号

接收设备是如何解释一个串行信号呢?象其它的数字信号一样,这个数据信号可以以一个“高”电平表示数字信号是1,而一个“低”电平表示数字信号是0。

试看一个二进制数据 011100100, 它的串行数据信号就表示为:



反过来,我们看到的串行数据信号容易用垂直的断续线内的数来解释。不过对接收部件而言,数据位间的分界线需要更加明确的表示。我们用时钟信号来识别这个时刻,在这个时刻,接收部件就可以解释这个数据信号,如图 3-7 所示。

发送设备必须在接收设备能解释信号之前产生一个串行数据信号,让我们研究这个简单必要性的含义。

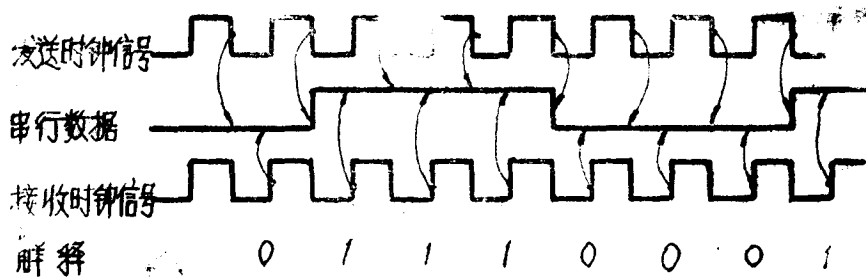


图 3-7 串行数据的读出

如果接收设备采用时钟信号来解释这个串行数据信号的话，那么这个发送设备就必须采用同样频率的时钟信号去产生这个串行数据信号，如图 3-7 所示。

在图 3-7 中，我们在时钟脉冲的后沿发送串行数据，并在下一个时钟脉冲的前沿进行接收，这是因为考虑了每个信号状态的变化都是需要时间的。采用这种方法，就能用单个信号来发送和接收数据。

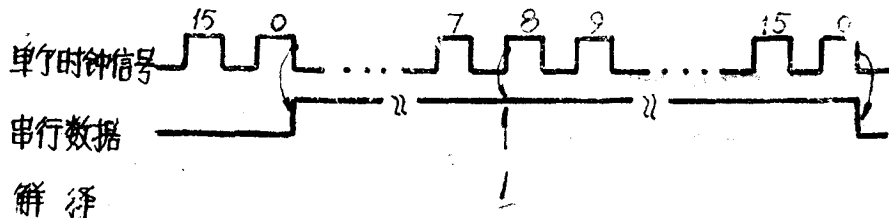


图 3-8 16 倍波特速率的时钟信号

由于串行数据信号表示成单个二进制数字，故串行数据信号的时间间隔直接关系到发送数据的速度。我们以“每秒位数”来衡量串行数据传输的速度，并称它为波特(速)率。例如，每秒钟发送 110 个二进制数字，就相当于 110 波特。

相当普遍地取时钟速率是波特速率的 16 倍，如图 3-8 所示。要用 $\times 16$ 时钟的原因是为了对串行数据取样时能尽可能接近单一的二进制数字时间间隔的中心。

串行数据需要一个配对时钟信号的事实并不意味着所有的串行 I/O 都必须要求有两根信号线，伴随的时钟信号实际上也并不是非得在配对的线路上传输。如果需要建立一个预先确定的波特速率的串行数据通讯接口，那么接收设备逻辑电路便不必去接收配对时钟信号。接收设备逻辑电路能产生它自己的本机时钟信号，由串行数据线传送来的信号同

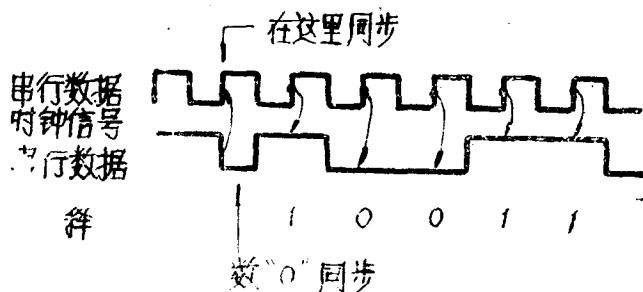


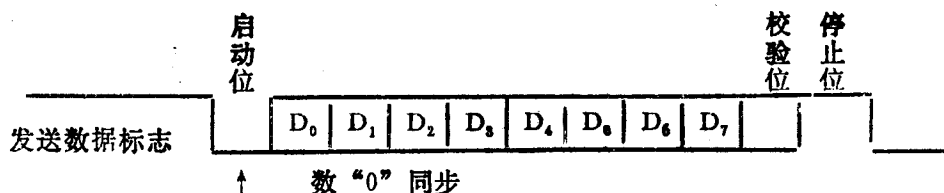
图 3-9 时钟信号的同步

步它，如图 3-9 所示。可以看出当没有传送数据时，串行数据信号一直为高电平，这通常称为“传号”(marking)。

一个串行数据流必须使用若干同步数字或字符的规定，这是许多规定中的第一点，必须硬塞在串行数据流上，以保证接收设备正确地解释发送的数据。这一套规则称为“通讯约定”。

每个串行 I/O 数据通讯线路必须有一个“通讯约定”，因为串行数据必须完全由它自己来规定。不象并行 I/O 那样，一直有伴随的控制线来告诉接收设备在那一时刻如何去解释数据。

异步串行数据流的数据格式为：



异步数据流中每个数据单元必须带有它本身的同步信息。异步数据单元由单独的“0”启动位同步时钟信号，并和停止位一起将数据位和校验位框住，其中停止位有一个、一个半或两个“1”三种。

§3-3-2 8250芯片介绍

INS8250 异步通讯接口器件是异步通讯接口的核心部件，所以我们在分析接口电路原理之前，先介绍 8250 芯片。

INS8250 是一种具有 40 引脚双列直插式封装的可编程异步通讯接口器件。它是用 N 沟道硅栅工艺制成的。在微型计算机系统中，它作为一种串行数据输入/输出接口使用。图 3-10 是 INS8250 的工作配置图。

在通信设施中，8250 完成两项功能，即把从外部设备或调制解调器接收进来的串行数据转换成并行数据；以及把 CPU 的并行数据转换成串行数据以利传送。在正常操作过程中，CPU 每时每刻都可以读 8250 的完成状态。状态信息报告 8250 传输操作的类型和状态，还包括各种错误状态，如奇偶校验、溢出、格式错误或停顿指示。

8250 除了提供异步数据通信的控制之外，还包括一个可编程波特率发生器，允许用 1 到 $(2^{16}-1)$ 中的除数对输入的基准时钟进行分频，并产生 $16 \times$ 时钟的频率去驱动内部发送电路和接收电路。

8250 还具有完整的调制解调器控制功能，包括：

- 允许发送 (CTS)； 请求发送 (RTS)；
- 数据设备准备好 (DSR)； 数据终端准备好 (DTR)；
- 振铃指示 (RI)； 载波检测 (CD)。

此外，8250 还具有自行排忧解难的处理机中断系统，可以根据用户的需要修改软件，使管理通讯链路所需要的计算时间减至最少。

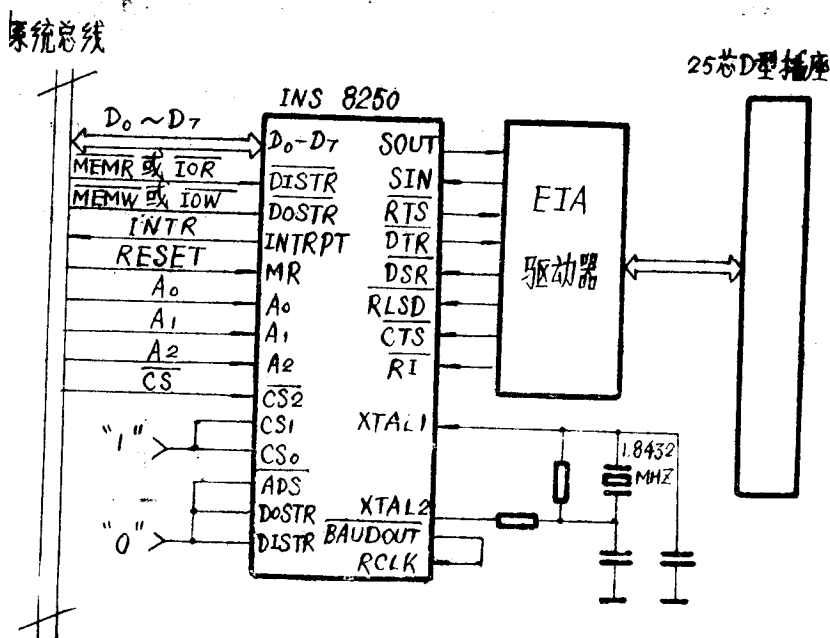


图 3-10 INS8250工作配置图

图 3-11 是 INS8250 的方框图

1、8250引脚功能说明

低电平表示逻辑 0(通常是 0 伏); 高电平表示逻辑 1(通常为 +2.4 伏)。

输入信号

片选(CS0、CS1、CS2)引脚 12—14: 当 CS0 和 CS1 为高电平, 而 CS2 为低电平时, 选中该芯片。当用一个有效(低电平)地址选通 (ADS) 输入去锁存已被译码的片选信号时, 完成片选。这就允许在 8250 和 CPU 之间进行通讯。

数据输入选通 (DISTR、 $\overline{\text{DISTR}}$) 引脚 22 和 21: 当该芯片被选中时, DISTR 为高电平或 $\overline{\text{DISTR}}$ 为低电平, 允许 CPU 从 8250 内被选中的寄存器读出数据或状态信息。

说明: 在读操作期间, 为了让 8250 发送数据, 要求有效的 DISTR 或 $\overline{\text{DISTR}}$ 输入。

因此如有引脚不使用时, 需要把 DISTR 的输入固定接到低, 或者把 $\overline{\text{DISTR}}$ 的输入固定接到高。

数据输出选通(DOSTR、 $\overline{\text{DOSTR}}$) 引脚 19 和 18: 当该芯片被选中时, DOSTR 为高电平或 $\overline{\text{DOSTR}}$ 为低电平, 允许 CPU 将数据或控制字写到 8250 内被选中的一个寄存器中。

说明: 在写操作期间, 为了传送数据给 8250, 要求有效的 DOSTR 或 $\overline{\text{DOSTR}}$ 输入。

因此, 如果有引脚不使用时, 需要把 DOSTR 的输入固定接到低, 或者把 $\overline{\text{DOSTR}}$ 的输入固定接到高。

地址选通(ADS)引脚 25: 当为低电平时, 提供对寄存器选择(A0、A1、A2)和片选(CS0、CS1、CS2)信号的锁存。

说明: 在读或写操作期间, 如果寄存器选择信号(A0、A1、A2、)会变化, 则要求一