

# 国外微处理机与微计算机的发展概况

上海市仪表电讯工业局科技情报研究所

一九八〇年十二月

# 国外微处理机与微计算机的发展概况

我们首先定义微处理机和微计算机的概念，以避免两者术语用词上的混淆。清华大学李三立付教授对微处理机和微计算机的定义是：微处理机由中央处理单元（CPU）、时钟脉冲发生器和控制器组成，它不是计算机，但它是小型计算机或微计算机的控制与处理部分；而微计算机则是具有完整运行功能的计算机，它包括微处理机、存储器、输入/输出（I/O）电路和其它配套电路；至于微计算机系统，则还包括软件支援、外围设备和电源等。

## 一、国外微处理机和微计算机的发展简史

自从1971年美国Intel公司宣布研制成功I4004型微处理机和MCS-4型微计算机以来，国外微处理机和微计算机的研制与应用就雨后春笋般地发展起来了，微处理机和微计算机的性能及其电路集成度几乎每年翻一番，其产量则每年数倍地增长，应用范围也迅速扩大。

1975年，继Intel公司首先研制成8位微处理机I8080之后，Motorola公司研制成了MC6800，Zilog公司研制成了Z80。当时，虽然8位微处理机的品种比4位微处理机的品种少，但是8位机很快就成为微处理机的主流，广泛地应用到各行各业，主宰了微处理机市场。到1978年，国外研制和生产的8位微处理机与微计算机类型已达20多种，其中除I8080、MC6800、Z80外，比较有名的还有I8048(8748)、I8049、I8021、I8022、MC6801、Z8；Mostek公司的3870、3872；日本电气公司的 $\mu$ COM83、 $\mu$ COM87等。尤其应指出的是，在此期间8位微计算机及其软件系统有较快的发展。表1列出了近几年来8位微计算机的特性。

近几年来，随着大规模集成电路和超大规模集成电路工艺的成熟与发展，以及各行各业对高速运算、分散处理和多重处理机系统等科学技术的需要，国外各厂商进一步加速了其研制和发展微处理

机与微计算机的步伐，竞相研制和生产更高级的微计算机。1978年9月，Intel公司研制成了16位微计算机I8086，接着Zilog公司研制出Z8000，1979年初，Motorola公司研制出MC68000。表2示出了目前国外几种主要的16位微计算机的特性指标。据报道，到1980年8月，国外可使用的微处理机和微计算机的种类已达近百种，加上还没有应用以及正在研制的将达几百种。从表1和表2可知，国外微处理机和微计算机的研制生产，水平最高的国家是美国，其次是日本。1979年初，国外许多厂家在大力发展16位微处理机和微计算机的同时，也十分注意研制、发展多微机系统。多微机系统就是以多个微计算机或多个微处理机为基础部件，通过一定的方式互连成的、功能强、速度快的计算机网络系统。

## 二、目前国外微处理机与微计算机的性能特点

以I8086、MC68000和Z8000为代表的新型微计算机，代表了目前微计算机的国际水平，也反映了微处理机与微计算机的发展方向，它们的共同特点是：

①在不必要重新汇编的条件下，具有代码的浮动性。这是通过使用存储器程序段（存储器具有关联程序段地址寄存器）或者使用基本地址寄存器而形成的。

②多处理功能。现代所有16位微处理机和微计算机的设计，都已考虑到多处理功能，具有用于多处理机操作的联锁指令，以便使用这些微型机作为基本元件来构成多微机系统。

③增强型指令和寻址能力。16位微处理机和微计算机大都具有增强型指令系统和寻址范围，具有16位字节和8位字节的操作能力，使直接寻址范围扩大到兆字节级。

但是，16位的微处理机和微计算机又各有其自己的特点，现分述于下：

Intel公司的16位微计算机I8086是用高密度短沟道硅栅MOS（HMOS）工艺制成的，其时钟频率达5兆赫（I8086-1达8兆赫）。I8086在硬件上有两个独立的控制部件：总线接口部件（BIU）和指令执行部件（EU），BIU中设有一组6个字节的指令排队寄存器。

表1 8位单片微计算机的特性

| 厂 商     | Intel  |      | Mostek |      | Fairchild | Zilog | Motorola | Rockwell |
|---------|--------|------|--------|------|-----------|-------|----------|----------|
| 型 号     | 8048   | 8049 | 3870   | 3872 | 3859      | Z8    | 6301     | 6500     |
| 位 数     | 8      | 8    | 8      | 8    | 8         | 8     | 8        | 8        |
| ROM(字节) | 1024   | 2048 | 2048   | 4032 | 1024      | 2048  | 2048     | 2048     |
| RAM(字节) | 64     | 64   | 64     | 128  | 64        | 144   | 128      | 64       |
| 指 令 数   | 96     | 96   | 70     | 70   | 70        | 96    | 72       | 53       |
| I/O线    | 24     | 24   | 32     | 32   | 32        | 32    | 30       | 34       |
| 电源(伏)   | +5     | +5   | +5     | +5   | +5        | +5    | +5       | +5       |
| 备 注     | 与F8相兼容 |      |        |      |           |       |          |          |

由于采用了大型计算机的控制方式，EU能迅速接收BIU馈送的6字节指令字串，从而消除了冗长的闲置时间，所以大大提高了I8086的功能，其工作速度大约为I8080A的7~12倍，程序长度可缩短10~25%。I8086有14个16位寄存器，即4个通用数据寄存器、2个指示寄存器、2个变址寄存器、2个状态标志寄存器、4个分段寄存器。其中，EU中的4个通用数据寄存器可按字节寻址，都能用24种寻址方式存取，操作非常灵活。BIU中的4个16位分段寄存器，把操作数中16位有效地址变换成20位物理地址，即在分段地址寄存器内容上加了4位分段起始地址0，变成20位，这些分段寄存器一次进行64K字节的变换，地址能以16字节为单位进行地址调整，因而可直接寻址1兆字节。利用这种产生地址的方法，可获得动态的再分配程序，重编入程序也很容易。I8086有256级中断，105种指令，指令形式和长度可变。这些指令包括二进制、二-十进制、ASCII等各种数据的8位或16位的带符号或不带符号的算术运算指令，重复进行字串或字节串处理的操作指令。由于I8086可与Intel系列的总线标准相兼容，而这种总线标准可用于单板计算机和多路总线，因此使I8086可作为多板计算机和多微机系统的“超级元件”，来构成功能强大的多板计算机和多微机系统。

Z8000具有“干净”的内部结构和兼容性很强的指令系统，它几乎全部采用随机逻辑制成。它有16个16位的通用寄存器，这些寄存器都可作为累加器使用；除一个以外，15个可用作变址寄存器；还可用

表 2 16位单片微计算机的特性

| 厂 商      | Intel           | Zilog                                | Motorola           | 日本电气                            | Fairchild                 |
|----------|-----------------|--------------------------------------|--------------------|---------------------------------|---------------------------|
| 型 号      | I8086           | Z8000                                | MC68000            | $\mu$ CM1600                    | FC9140<br>(FC9445)        |
| 采用工艺     | HMOS            | NMOS                                 | HMOS               | n沟硅栅E/D<br>MOS<br>n阱CMOS        | 1 <sup>s</sup> L          |
| CPU结构    | 寄存器定向的          | 寄存器定向的                               | 寄存器定向的             |                                 |                           |
| 地址总线(位)  | 20              | 23(分段式<br>8001)<br>16(不分段式<br>8002)  | 23+1               | 20                              |                           |
| 直接寻址范围   | 1兆字节            | 8兆字节<br>64K字节                        | 16兆字节              | 1兆字节                            | 64K字节<br>(128K字节)         |
| 寄存器数     | 14个16位<br>寄存器   | 16个16位通用<br>寄存器                      | 16个32位<br>寄存器      | 14个16位<br>寄存器                   | 11个16位<br>寄存器             |
| 寻址方式     | 24种             | 8种                                   | 14种                | 8种                              | 8种                        |
| 指令字长     | 1~6字节           | 2~6字节                                | 2~4字节              | 1~6字节                           | 19位                       |
| 基本指令数    | 97              | 110                                  | 61                 | 81                              | 由基本指令<br>和微指令组<br>合成2192种 |
| 指令最短执行时间 | 400毫微秒          | 750毫微秒                               | 500毫微秒,移<br>字节到寄存器 | 4个机器周期<br>( $R \leftarrow R$ )  |                           |
| 指令最长执行时间 | 37.8微秒          | 90微秒<br>(除符号)                        |                    | 19个机器周期<br>( $S \leftarrow S$ ) |                           |
| 时钟频率     | 5~8兆赫           | 4兆赫                                  | 直流/8兆赫             | 6.7兆赫                           | 12兆赫<br>(15兆赫)            |
| 时相/电压摆幅  | 1/TTL           | 1/TTL                                | 1/TTL              | 1/TTL                           | 1/TTL                     |
| 专用I/O控制线 | 无               | 无                                    | 6                  | 内部/公共                           | 有                         |
| 中断能力     | 最多256级          | 3种中断<br>5种保护                         | 8级                 | 8级                              | 16级优先权<br>中断              |
| 直接存储地址功能 | 有               |                                      |                    | 有                               | 有                         |
| 封 装      | 40脚DIP          | 48脚DIP<br>(8001)<br>40脚DIP<br>(8002) | 64脚DIP             | 64脚扁平封装                         | 40脚DIP                    |
| 电 源      | 5伏/275毫安        | 5伏/300毫安                             | 5伏/300毫安           | +5伏、1瓦                          | +5伏、1瓦                    |
| 功能比较     | 系8080的10倍<br>左右 | 与PDP11/45<br>相似                      | 与PDP11/45<br>相似    |                                 |                           |

作分段寄存器进行8位、32位、64位的分散数据处理。这16个16位通用寄存器，前8个亦可用作8位寄存器，而其余8个可用作16位通用变址寄存器。32位操作时，可把这些通用寄存器两个一组分成对子使用；64位操作时，则可四个一组分成对子使用。Z8000的时钟频率达4兆赫，它有7种数据处理形式，即按位处理、二-十进制数（4位）、字节（8位）、字（16位）、双倍字长（32位）、字节串或字串；8种寻址方式；110种指令，由数据形式和寻址方式可组合成414种指令，这些指令包括16位和32位带符号的乘除法运算指令、多微机系统用的TEST和SET指令、与CPU同步及通信用的指令。Z8000有不可屏蔽（NMI）、非向量（NVI）、向量（VI）三种中断方式和5种俘获方式。它有两种操作方式：标准方式和系统方式。标准方式是用来执行应用程序的；系统方式则可不受限制地存取系统存储栈，并负责处理实时环境和改变处理机状态。由于中断使用系统存储栈而发生前后关系的转换，所以这种与系统操作方式相关联的中断处理具有很大的灵活性，从而减轻了编写实时操作的任务和多微机系统的任务，这是Z8000的突出特点。Z8000有分段式处理和不分段式处理两种，Z8001采用分段式处理结构，由7位的分段编号和16位的偏置值组成23位的有效地址，其直接寻址范围达8兆字节（分成128个64K字节的存储段），配上存储器操作单元可把23位有效地址变成24位，并有存储保护和分段存储的功能，这时可寻址48兆字节（直接寻址范围不变）。Z8002是不分段式的处理结构，其有效地址为16位，直接寻址范围为64K字节，可扩展到384K字节。

MC68000有24位的程序计数器、16位的静态寄存器和16个32位的寄存器（其中，8个为数据寄存器、8个为地址寄存器。地址寄存器可用作存储栈指示器、基本地址寄存器及某些数据处理操作，而16个寄存器均可用作变址寄存器，寄存器极其灵活）。它的32位地址总线与16位数据总线是分别独立的，这与Z8000、I8086的不同，因此不需要多路调制，而16位数据总线可通过运算器、数据寄存器和地址寄存器变成32位，所以MC68000实际上是一种从16位向32位过渡的微计算机，它有助于今后32位微处理机和微计算机的发展。MC68000有6种数据形式（位、字节、字、双倍字、二-十进制数、ASCII字符），14种寻址方式，61种基本指令，通过组合能形成上千种操作码形式的指令。它们包括带符号和不带符号的乘除法运算指令、高速运算操作指

令、二-十进制数运算操作指令、扩展操作指令。高级的 LINK 和 UNLINK 指令减少了有关子程序调用的软件整理操作（如给置位与存储的多重寄存器制做的指令）。除更复杂的指令外，该机还实现了标准的 JSR、BSR、RTS 子程序指令，因此，MC68000 的指令比目前其他微型机的指令丰富得多。我们知道，利用预取指令和并行流水线作业法可提高处理速度，控制部件采用微代码也可加速其某些操作。MC68000 是当前采用微代码最多的微计算机，它使用两层次的微代码结构，一层馈给另一层，而第一层包含的“竖”指令又为第二层的“横”指令编码，Motorola 公司称它为毫微指令。该机还将目前不用的操作码改成浮点和字串运算的操作码。MC68000 的数据总线设计灵活，各种存储器、外围设备都可方便地连接到微处理机上，它的直接寻址范围为 16 兆字节，其速度比 Z8000 还要快 40%。象 Z8000 一样，MC68000 也有不同的操作方式：用户方式、管理方式、追踪方式。用户方式与 Z8000 的标准方式相对应；管理方式与 Z8000 的系统方式相对应，但它还允许使用特殊指令；追踪方式是一种调试方式，这种调试方式由设置在状态寄存器中的“追踪方式”位来调用。MC68000 实现了向量多级中断结构，它具有 8 级可屏蔽优先权中断，有 192 个向量位置。

目前 16 位微计算机的研制沿着两条不同的途径前进。第一，以 I8086 为代表，沿着与 8 位微处理机指令系统相兼容的道路发展。I8086 采用了一种灵活的折衷方案，它运用了与 8 位微处理机指令系统相兼容的通道，可直接与 I8080 系列的指令系统兼容。这种兼容性既不限 I8086 的结构特点，也不影响 I8086 的其余指令系统。第二，以 MC68000 和 Z8000 系统为代表，则沿着完全不同于 8 位微处理机软件结构的道路发展。MC68000 和 Z8000 系统放弃了与 8 位微处理机指令系统相兼容的特色，而设计成具有内建操作系统特点的微计算机。Motorola 公司和 Zilog 公司都想在它们的最新器件中采用存储器管理单元，使之能执行某些 32 位操作，它的整个系统包含有存储器保护、存储栈间隔、合理的程序区与数据区、应用程序和特殊指令。不管在研究方法上有何不同，这三家公司的 16 位微计算机都已具有代替小型计算机的能力，与前一代 8 位微处理机和微计算机比较，新的微型机在功能上大约提高了一个数量级。就这三种微型机比较而言，I8086 的性能比 Z8000 与 MC68000 的性能要稍差一些。

Intel 公司最近公布的 I8089 就是沿着上述第一种途径研制出来

的。I8089是为了与I8086一起使用而设计的一种智能输入/输出处理机，它为计算机系统提供两条高速的I/O通道（高达1.25兆波德），通道系自动操纵，使用灵活。I8089可以共享I8086系统的总线，它的实力在于其操作方式上，它可以支援它自己的局部总线（该总线独立于I8086的总线），从而把局部总线与自己的局部存储器、外部设备接口相连接。因此，除传送时的起动信息和完成信息外，I8089可以在不与以任何方式操作的CPU接口的条件下，依靠自己的局部总线进行处理机与外围设备之间的程序块数据交换。与主CPU通信是通过存储器中数据的控制程序块进行的。通信程序块相互连接，它由通道控制程序块、参量程序块和任务程序块组成。通道控制程序块和参量程序块驻留在系统存储器中；而任务程序块则包含实际的I8089软件，它驻留在I8089的局部存储器中。在由I8089处理的数据传输期间，除系统存储器的任何争用外，主CPU均不受影响。I8089增强了I8086的功能和吞吐量，它们联用时可构成功能超过16位小型计算机的微计算机系统，其吞吐速率比具有内建操作系统的高级微型机（如MC68000）的吞吐速率还要高。

为了使微处理机和微计算机从8位过渡到16位，国外厂商采取了这样一种手段：使微处理机在速度和功能方面处于8位和16位机之间，它具有16位的操作能力，但又可用8位数据总线进行操作，其软件与8位微处理机的兼容。国外把这种微处理机叫做中间型微处理机。最近出现的两种中间型微处理机是I8088和MC6809。

I8088的指令系统参照I8086；内部结构与I8086相同，也包括一个总线接口部件和一个指令执行部件；指令的流水线与I8086的相同。但是，由于I8088的外部数据总线从I8086的16位改成8位，指令排队寄存器从6字节变成4字节，所以I8088的排队指令较短。其寻址能力与I8086的亦相同。I8088还可使用8位微处理机I8080/8085系列的外部设备接口器件和支援器件。它可以象I8085一样，以20位地址总线寻址，而地址总线具有以8个数据位进行多路传送的低位字节。I8088也有两种操作方式，即用最小代码方式来产生自己的控制信号，而锁存器和总线控制器部分则采用最大代码方式。在最小代码方式中，可以利用I8085的标准总线结构，允许使用任何一种MCS-85系列外部设备接口器件。在最大代码方式中，它可同MCS-86系列器件直接兼容。I8088的执行速度比3兆赫的I8085快3~8倍，对于加强

计算和要求16位存取的任务而言，它实际上可达到I8086的速度。但是，I8088在执行操纵存储器中16位信息的任务方面，要比I8086差些。

MC6809的结构类似于MC6800，它可使用MC6800/6802系列的外部设备接口器件和支援器件，但其软件却与MC68000的软件不相兼容。MC6809基本上是字节定向的，但还有一些有用的16位指令，主要有加、减、比较运算、取数、存储、传送、交换数据以及某些存储栈操作等指令。它有两个存储栈指示器，一个用作硬件存储栈，另一个用作用户存储栈，允许在系统与系统之间有一定的独立性（这实质上是MC68000结构的概念）。它的新的变址方式包括自动增量与自动递减，以及变址与间址，这些功能的灵活性和其它寻址方式的扩展，使得其寻址范围超过了16位机的寻址范围。此外，它还可以将两个变址寄存器合在一起，使之变得更富有吸引力。

### 三、多微机系统的研究现状及特点

近几年来，随着微处理机和微计算机的功能越来越完备、成本越来越低，国外注重应用多个微型机来构成多微机系统的研究单位和厂家也越来越多了。在多微机系统中，各个微处理机或微计算机之间可以交换数据、互相中断；都能够共享主存、输入/输出通道、输入/输出设备和控制部件；而整个系统则由同一个操作系统控制。当前，国外多微机系统正处于研制、探索阶段。多微机系统的优点是：

1. 计算能力强，处理速度快，制造成本低。例如美国哥伦比亚大学研制的CHOPP多微机系统，是用2,000个微处理机构成的，其处理能力为10亿条指令/秒，是目前巨型机Illiac-IV处理能力的8倍，而成本为500万美元，只是Illiac-IV的五分之一。美国IBM公司的Hypercube-III多微机系统，含有162个微处理机，系统的总速度可达8100万次/秒，处理能力相当于IBM370/195机，但售价才40万美元，为后者的十分之一。

2. 多微机系统实现了模块化，系统功能的可扩展性好，适应性强；而且，系统设计简单、结构紧凑、调试容易、维修方便。当计算任务改变时，可以增减或调换多微机系统中的某些模块，配上其它所需的功能模块，重新组装成新的多微机系统，以适应新的任务。同

时，这也为软件的模块化开避了广阔的道路。

3. 信息吞吐量。由于信息吞吐量随微处理机或微计算机数量的增加而增大，因此，只要稍微增加系统的成本，就可获得更大的吞吐量，这对于纯数据处理系统是极重要的。

4. 可靠性高。多微机系统一般都有备用的微型机，当系统中的某个微型机失效时，可以立即将系统切断，换上备用的微型机，因此系统仍可继续工作，可靠性高了。

5. 可用多个微型机构成集中-分散型控制系统，使计算机技术与自动控制技术有机地结合起来，从而为实现可靠的过程自动控制开辟了新的途径，这将成为八十年代系统工程的核心内容。

在多微机系统的研究中，要着重解决的问题如下：

①由于多个微处理机或微计算机并行运算，所以要研究如何把单机上解题的算法分解成在多微机系统上并行运算的算法，即要研究有效的并行算法。这些并行算法包括对并行进程的识别；把并行进程划分成子进程或任务；对任务建立优先级顺序；在各微机之间分配任务与调度，以确保各微机之间同步；某个微机失效时，任务的再分配。

②内部各构件之间的互连问题，包括多微机系统内部各微机与存储器之间、各微机之间的互连问题。因为在多微机系统中，很可能出现同一时刻各部件都去争用系统内的某个资源（如某个存储器）的现象，如果内部互连不适当，部件会因争用资源而互相妨碍，以至使整个系统都停顿下来。

③系统软件结构问题。在多微机系统中，资源的管理、程序的分配和保护等，都需要有一个很复杂的软件结构。

④增大容错性问题。应使多微机系统有大的容错能力，这样才能使之在某个微处理机或微计算机部件发生故障时，其它部件仍能可靠地工作。

围绕上述研究课题，国外许多大学、科研单位和厂家已研究了一些不同的解决方案，归纳起来有四种基本的多微机系统网络，即树形网络、星形网络、总线形网络和环路形网络。

树形网络是一种塔式分级结构的网络系统，它包括最简单的二进制树结构和较复杂的X树结构等形式。在树形网络中，仅采用一种基本的模块（亦称为X节点），它是一个单片微处理机或微计算机，以构成多微机系统的网络。星形网络常用于分级系统，它具有中心节点

和分节点。所有的网络分节点均可与中心节点通信，分节点之间亦可通过中心节点而相互通信。这种网络的分节点极其简单，中心节点则较复杂。星形网络的可靠性主要取决于中心节点的可靠性，如果中心节点出了故障，则整个网络都要停顿，这是星形网络的主要缺点。总线形网络和环路形网络消除了中心节点，但是保持了其所有节点的简易性。在总线形网络中，信息流从总线的起端节点逐个节点地流向总线的尾端节点，每个节点读取通过的信息，识别该信息是否是供给它自己的。这种网络的优点是，信息流动路线简单，不需要网络的路线函数；缺点是节点数和总线长度有限，网络不能太长，否则信息响应时间就太长了。环路形网络分单环路网络和多环路网络，在环路形网络中，信息流沿单向环路流动，仅要求每个节点识别信息是否是供给自己的。在单环路网络中，总线长度虽然没有限制，但是如果环路中的任一节点出现故障的话，则都会引起系统的功能下降，所以单环路网络的可靠性也是低的。日本日立公司为了克服这些缺点，研制了以微处理机或微计算机为基础的多环路网络系统。这种多环路网络系统的节点由网络控制处理机（NCP）和主计算机组成，并且，把两个NCP分配给连接两个环路的节点，而每个环路则分别由另一个环路的NCP来控制。NCP由8位微处理机HD46802、4K字节的PROM、4K字节的RAM组成，整个NCP组装在一块 $230 \times 200$ 毫米<sup>2</sup>的印制电路板内。为了实现高速通信，采用了穿通传送信息的方式，其过程如下：当数据到达接收器时，处理模块必须把读指令发送给接收器，同时自动产生用于发送器的写指令，并发送到发送器；数据则由处理模块接收，同时发送到下一个NCP。多环路系统中的每个环路均用电缆（双扭线电缆、同轴电缆、光缆）连接。穿通传送信息的方案分为时间分隔方案和信息多路传送方案，它需要一种能避免两个节点或多个节点的信息相冲突的控制。为了实现不仅对所有节点提供对等的信息传输机会，而且给每个信息规定优先权，日立公司已研制成一种新的分布式争用控制。当环路空闲时，已在传送信息的任一节点均可发送它自己的优先权代码。

由于多微机系统功能强、成本低、优点多，所以近年来国外特别重视研制和发展多微机系统。可以预计，高效能的多微机系统必将迅速地发展起来。

## 四、国外微处理机和微计算机的发展趋势

自从I8086研制成功以来, 国外微处理机和微计算机已进入第三代了。从I8086、Z8000和MC68000系列的性能、发展和应用, 以及多微机系统的研制情况来看, 国外微处理机和微计算机的发展趋势是, 加强微处理机与微计算机制造技术的研究和开发, 大力发展超大规模集成电路的工艺和技术; 在巩固发展16位微型机的同时, 加紧研制新颖设计的32位微型机, 研制生产直接寻址范围大、运算功能强、I/O处理能力强、通用性强的模块化部件; 发展多微机系统; 注重软件的研制和生产, 进一步采用面向高级语言的指令系统, 实现软件模块化和固件化。

### (一)加强微处理机与微计算机制造技术的

### 研究和开发, 大力发展VLSI工艺技术

首先, 我们有必要认真研究和总结一下微处理机及微计算机与超大规模集成电路(VLSI)之间相互影响的结果。从历史上来看, 若以Intel等公司的微处理机和微计算机系列为例的话, 则在1975年以前, 芯片的集成度几乎是每年翻一番; 1971年存储器(RAM)芯片集成度达1K时, 制成了4位的I4004型微处理机。此后, 芯片集成度的增长速率放慢到每18~24个月翻一番; 1975年, 存储器(RAM)芯片集成度达4K~16K时, 制成了8位的I8080微处理机。到1978年底, 存储器芯片的集成度已达64K位/每片, 此时制成了16位的I8086、MC68000和Z8000。估计到1984年~1988年, 集成电路芯片的集成度还要增长16倍, 这可通过三条途径达到: ①改变设计规则, 可使集成度增大4倍; ②扩大芯片面积、减小单元尺寸面积, 可使集成度增大3倍; ③改进布线工艺, 减少无用的互连, 亦可使集成度略有增大。那时, 必将制出32位或更多位的微计算机。由此可见, 随着大规模集成电路向超大规模集成电路(VLSI)的发展, 半导体器件已摆脱了过去单纯属于部件的范畴, 而由系统的部件转化为系统本身的特征愈来愈

愈明显。同时，半导体集成电路工业和微计算机工业愈向前发展，就愈使得它们的产品之间的界限模糊不清，以至于出现了象今天这样的现象：一块半导体集成电路就是一个微计算机（如MC68000），器件和整机已成一体了。因此，美、日、西德、英、法、苏等国对发展VLSI都极为重视，其竞争也极为激烈。例如，日本把五个大公司和其它部门组织在一起，发展一项庞大的VLSI研究计划，他们宣称，1980年可用电子束工艺在硅片上直接做出单片32位的微计算机和单片256K位的RAM存储器。当然，这些产品还仅处于实验室阶段，现在不可能很快大量生产，这是因为256K存储器要达到大量生产，需要改革和更换一百多种半导体制造工艺。据报道，美国在1973年就制定了周密的计划，组织了大量的人力、物力、拨出了巨额经费，加紧超大规模集成电路的研制。最近，美国又制定了超高速集成电路的研制计划，并且已研制出了256K位的RAM存储器。目前，美、日等国正研制0.5兆位和1兆位的RAM，估计到80年代末期，将制出5兆位的RAM；还将研制出各种先进的集成电路制造设备。此外，日本还研制出一种新的超大规模集成电路存储器结构，即迭层式大电容RAM，该结构的存储单元由一个四重自对准场效应晶体管、一个氧化钽迭层大容量电容器、多晶硅字线和铝位线组成。用这种结构设计的512K位和1兆位RAM芯片，其面积可以分别为 $4.8 \times 9.5$ 毫米<sup>2</sup>和 $9.2 \times 9.5$ 毫米<sup>2</sup>。表3示出了美国实现其超高速集成电路研制计划之后，其超高速集成电路所具有的能力。西德、英、法、苏等国也极力争取到八十年代使集成电路细微加工达到1 $\mu$ 的实用水平。

由于半导体集成电路集成度的提高，在单块芯片上能集成的晶体管越来越多了，于是出现了这样的争论问题，即把芯片上的所有管子都制成CPU或微处理机，以增加字长、增强硬件指令功能好呢，还是分出一部分晶体管来做较大容量的存储器，以实现微处理机与存储器在同一块芯片上就近交换信息好？看来还是后者更代表了其发展方向。就VLSI工艺来说，目前占优势的仍是MOS工艺，尤其是HMOS，此外，日、美对SOS/CMOS工艺亦寄予很大希望。I<sup>2</sup>L工艺已很少用于制造微处理机，而主要用于A/D和D/A转换器及小型专用控制器上。虽然已用I<sup>3</sup>L工艺制成了16位的FC9440，但因I<sup>3</sup>L已失掉I<sup>2</sup>L工艺的简便性了，而接近于双极工艺，所以使用I<sup>3</sup>L的厂家不多。TTL工艺近几年来进展不大，但ECL工艺已有所突破。

表3 美国超高速集成电路的性能估计

| 参 数                                   | 1979年的能力        |                   | 八十年代中期的能力          |                    |
|---------------------------------------|-----------------|-------------------|--------------------|--------------------|
|                                       | 硅MOS型           | 硅双极型              | 硅MOS型              | 硅双极型               |
| 最小尺寸(微米)                              | 2.5             | 2.5               | 0.5                | 0.5                |
| 集成度(门数/片)                             | 5,000           | 5,000             | 250,000            | 250,000            |
| 传输延迟(毫微秒)                             | 25              | 5                 | 5                  | 1                  |
| 功率-延迟乘积(微微焦耳)                         | 2               | 2                 | 0.02               | 0.08               |
| 最高频率 $f_{\text{最大}}$ (兆赫)             | 50              | 50                | 50                 | 250                |
| 芯片面积(密耳 <sup>2</sup> )                | 250×250         | 250×250           | 400×400            | 400×400            |
| 器件类型                                  | nMOS            | npn               | nMOS               | npn                |
| 能力 $f_{\text{最大}} \times \text{门数/片}$ | $5 \times 10^4$ | $2.5 \times 10^5$ | $1.25 \times 10^7$ | $6.25 \times 10^7$ |

## (二)巩固发展16位微型机，加速研制通用性强 的新颖的32位微型机及其接口和总线电路

八十年代将是巩固发展16位微处理机和微计算机，加速研制和生产通用性强、直接寻址范围大、运算功能强、设计新颖的32位微型机，设计生产通用性强的接口电路和总线电路，以实现各行各业广泛应用微型机的时代。从微型机的新设计上来说，将有这样几个特点：

### 1. 大力研制和发展通用功能部件

由于单片微处理机和微计算机的设计成本高，所以微型机必须面向大量生产，才能降低其价格，要大量生产就必须有广泛的销路，因此认真设计出具有通用性的16位和32位微型机，使之成为各行各业都能应用的通用功能部件，是十分重要的。这也是当前国外在发展微型机时，大力研究的课题之一。未来的通用功能部件将是象I8086、MC 68000和Z8000那样的单片微计算机，甚至是比它们更复杂、更高级的微计算机。在任何情况下，信息从一个功能部件芯片到另一个芯片，往往出现性能障碍，或者功耗增大，或者传播延迟过度，这实质上是功能部件的互连问题，因此，在未来研制和发展通用功能部件的过程

中，也将主要解决其互连问题。所以，研制通用性的接口电路和总线电路将成为国外各厂家的众矢之的。

## **2. 以减小功耗来作为衡量微计算机芯片成本和性能的尺度**

VLSI已经改变了硬件复杂性的状况，对于微计算机芯片的性能和成本而言，衡量的尺度已不再是电路中的晶体管或逻辑门数量了，而是其功耗量和所采用的硅片面积。硅芯片的集成度将来主要是受到芯片功耗的限制，而不再是受到工艺本身所能达到的集成度能力的限制。因此，最近研制的存储器部分已经有了低功率备用方式。这种能力将提供给VLSI芯片上的各个功能块，从而使处理机以备用的方式保持所采用的全部功能块，这样就可以在一部分暂时不用的模块范围内达到了功率下降的目的。而各种模块的有效控制包含在各自的微结构内。目前，微程序设计者已担负了在指定的极限范围内保持最大的和平均的功率负载任务，以实现最佳的功率分布。

## **3. 尽量采用最简单、最规则的新颖设计方案，实现芯片内部的微诊断**

由于VLSI工艺发展极快，其芯片结构愈来愈复杂，而先进的设计工具和芯片的测试工具又一时不能满足研制、生产的需要，这就使得我们必须尽量采用最简单、最规则的新颖设计方案。我们知道，存储器的设计比微处理机设计要容易些，而微处理机设计中最难的是控制电路部分，这是因为控制电路的设计和放置位置经常变化的缘故。目前，从发展趋势看，采用可编程序的逻辑阵列(PLA)、ROM(或两者相结合)的结构，同时进行微程序设计的方法，将变成设计的主流。由于在制作VLSI处理机控制电路的同时，进行微程序的设计，使布线设计与微程序设计同时进行，因而大大缩短了产品的设计、研制周期，并且使布线设计更规则、更简便、更易于修改，这种技术是很有前途的。未来微计算机还将必须实现“从里到外”的测试，即大量的“微诊断”必须建立在器件的内部，这是因为微级诊断比机器级的程序设计更接近于硬件，所以是十分必要的。因而，微程序设计也变成未来复杂设计进行测试所必需的了。为了能够以任意方式来获得完全自由地运用计算机内部的各部分，在微程序存储器中必须有一可写的部分。I8086和MC68000就是同时设计了这种微程序的微计算机。

到1985年，估计微处理机和微计算机的新颖设计将有如下一

些特点：

①未来微计算机芯片设计将在芯片内采用大的局部存储器。

1979年国际固态电路会议曾对最新存储器部件的发展进行了讨论。一些学者认为，到八十年代中期，为了提高微计算机芯片的处理速度，将需要在芯片内部制造一种足够大的、更高集成度的存储器，这种存储器叫做大的局部存储器。从设计的观点来看，采用单晶体管RAM单元系列结构来制造大的局部存储器更容易、更方便些，效果也更好些。

无论采用何种工艺，一般都应按照较宽的存取速度范围来设计存储器的功能。这种设计包括各种存储器的单元结构、单元面积、功耗和存储器功能块尺寸之间复杂的权衡、折衷。

众所周知，2微米NMOS工艺（其最小的门延迟为0.4毫微秒，速度功率乘积为0.5微微焦耳）制造的1K、4K和16K位静态RAM的周期时间，分别是15、22和40毫微秒。同时，16K和64K位的动态RAM分别具有80毫微秒和120毫微秒的存取时间，而周期时间大约是它的两倍。因此，动态RAM比类似尺寸的静态RAM大约要慢四倍。这就允许我们在芯片上构成有效的存储器分级结构，在相同的工艺范围内，采用不同的制作存储器单元的方法，来获得最完美的结果。由快速静态存储器制成的、相对较小的超高速缓冲存储器与由较密集的动态RAM制成的大后备存储器适当组合，就可形成一个新的存储器，它的有效密度接近于动态RAM的，而它的存取时间则接近于静态超高速缓冲存储器单元的。通过适当设计这些单元，可以把这个存储器体系的不同部件的相对速度和存储容量，制作得使整个机器在性能、硅面积和总功耗之间达到最佳平衡。

表4列出了八十年代中期微处理机和微计算机芯片上各种功能块的分布，这是通过考察微计算机I8086和MC68000以及主计算机PDP-11和VAX-11/780而得出的。为了估价方便，我们把动态RAM单元与单晶体管等同起来，而把静态超高速缓冲存储器单元分成四类，并根据目前微处理机和微计算机的ALU、控制电路、I/O电路的复杂程度，估价了未来这些相应电路的规模。从表中可知，所有存储器功能电路将占整个芯片面积的80~90%。而高集成度主存储器则占有所有存储器电路面积的50~70%，即占芯片总面积的45~65%，ALU和控制电路约占芯片总面积的10~15%，I/O电路（包括缓冲器、焊接区

和有关驱动器)将占芯片总面积的1~3%。I/O之所以能变得如此小,主要是由于把存储器和处理机制在同一块芯片上,大大减少了通信和寻址引线的缘故。估计这种芯片将放在24条引线的封装内,如考虑加上特殊控制信号(中断)、扩展局部存储器的能力、以及功耗等因素,也可能需要采用较大一些的封装。

### ②采用具有纠错能力的设计。

我们知道,在DEC VAX-11/780、HP-300、IBM-370等计算机的主存储器中,都采用了纠错代码(ECC)作为提高机器可靠性的手段。在未来单片微计算机领域里,也将采用这种方法。在未来微计算机中,用于差错校正的逻辑部分放在超高速缓冲存储器与存储器之间。由于超高速缓冲存储器一般传送大的程序块,所以ECC规模的整理操作是低位的。对于ECC的预测而言,这些大的程序块是自然单元,而且,处理机通常可以给超高速缓冲存储器生产出存储器基准,这种基准不因ECC而下降。可以省掉超高速缓冲存储器与中央处理单元之间的差错校正。较大的和更有用的静态单元遇到随机转换误差的可能性极小。在纠错电路后面的存储器保持超高速缓冲存储器中每件事的副本,因此,只要通过简单地检验奇偶性,就可以检测出超高速缓冲存储器中的故障,接着通过用存储器中的适当副本代替无效的程序块,就可进行纠错。

### ③将设计多端口存储器。

在计算机执行期间,必须把指令、地址和数据分别传送到不同的目的地:指令译码器、地址寄存器和数据运算逻辑单元(ALU)。这就不可避免地会在执行过程中发生争用资源的情况,最好的解决办法是设计多端口存储器体系。把各个独立的、专用于处理程序(或者地址,或者数据)的超高速缓冲存储器连接到主存储器的输出端口,并使得各部件对主存储器总线的争用最小化,这无疑将是未来微计算机存储器设计的一个特点。

### ④设计用于复杂数据结构的支援。

未来微计算机在设计上的第四个特点是,将设计用于复杂数据结构的支援。我们知道,16位微处理机和微计算机的数据类型已经或者正在扩充到32位整数,16位和32位地址、字符和字串,以及4位二十进制数,以后将扩充到32位和64位浮点数。这种扩充式数据结构的支援,将使那些依赖于更高级数据类型的应用在性能上获得改进。同