



普通高等教育“十三五”应用型人才培养规划教材

PUTONG GAODENG JIAOYU SHISANWU YINGYONGXING RENCAI PEIYANG GUIHUA JIAOCAI

# 基于VHDL的 EDA实验指导教程

JIYU VHDL DE  
EDA SHIYAN ZHIDAO JIAOCHENG

主 编 ● 李翠锦 孙 霞



西南科技大学出版社

普通高等教育“十三五”应用型人才培养规划教材

# 基于 VHDL 的 EDA 实验指导教程

主 编 李翠锦 孙 霞

西南交通大学出版社

• 成都 •

-----  
图书在版编目 (C I P) 数据

基于 VHDL 的 EDA 实验指导教程 / 李翠锦, 孙霞主编

. 一成都: 西南交通大学出版社, 2018.8

普通高等教育“十三五”应用型人才培养规划教材

ISBN 978-7-5643-6349-9

I. ①基… II. ①李… ②孙… III. ①VHDL 语言 - 程 序  
设计 - 高等学校 - 教材②电子电路 - 电路设计 - 计算机  
辅助设计 - 高等学校 - 教材 IV. ①TP301.2②TN702.2

中国版本图书馆 CIP 数据核字 (2018) 第 189905 号  
-----

普通高等教育“十三五”应用型人才培养规划教材

基于 VHDL 的 EDA 实验指导教程

主编

李翠锦  
孙霞

责任编辑 黄庆斌

助理编辑 梁志敏

封面设计 何东琳设计工作室

印张: 11.5 字数: 284 千

成品尺寸: 185 mm × 260 mm

版次: 2018 年 8 月第 1 版

印次: 2018 年 8 月第 1 次

印刷: 成都蓉军广告印务有限责任公司

书号: ISBN 978-7-5643-6349-9

出版发行: 西南交通大学出版社

网址: <http://www.xnjdcbs.com>

地址: 四川省成都市二环路北一段 111 号  
西南交通大学创新大厦 21 楼

邮政编码: 610031

发行部电话: 028-87600564 028-87600533

定价: 29.80 元

课件咨询电话: 028-87600533

图书如有印装质量问题 本社负责退换

版权所有 盗版必究 举报电话: 028-87600562

# 前 言

近十年来,由于超大规模集成电路和软件技术的快速发展,使数字系统集成到一片芯片内成为可能。Atera、Xilinx、AMD 等公司都推出了多种 CPLD 和 FPGA 产品,并为这些产品的设计配备了软硬件开发工具,其中软件开发工具除了支持图形化设计外,还支持多种设计语言,使数字系统的设计更加容易。在大规模数字集成电路日渐式微的今天,作为一名电子技术工程技术人员不懂 VHDL 语言和 CPLD、FPGA 器件设计就像在计算机时代不会使用计算机一样可怕。

本实验指导书的目的是帮助读者学会设计数字系统,并熟悉 Altera 公司的产品和 QUARTUSII 软件,以及其他相关软件的使用。

本实验指导书的实验内容从简单的组合电路设计到复杂的数字系统设计,每个实验都详细介绍了系统的设计方法和软件的各种操作。读者可以通过这本实验指导书设计自己的数字电路。

本实验指导书选编了有代表性的实验共二十个,实验内容从简单到复杂,让使用者能够很快入手,同时本实验指导书还可以作为电子技术的拓展课程或作为电子技术工程师的参考用书。本实验指导书配合 SOPC-NIOSII、EDA/SOPC 系统开发平台系列产品使用。

本书依托重庆工程院校内教改重点项目(项目编号:JY2017201),全书由重庆工程学院李翠锦统稿和审校,其中前言、第 2~5 章、附录由李翠锦执笔,第 1 章由孙霞执笔。另外,在本书的编写过程中,得到了景兴红副教授的大力支持,他为本书提出了许多宝贵意见,在此表示感谢。

限于编者水平,书中难免存在不足之处,恳请各位专家和读者批评指正。

编 者

2018 年 7 月

# 目 录

|                        |    |
|------------------------|----|
| 第 1 章 简 述              | 1  |
| 第 2 章 系统模块介绍           | 3  |
| 2.1 核心板各模块介绍           | 3  |
| 2.1.1 FPGA             | 3  |
| 2.1.2 SRAM             | 4  |
| 2.1.3 SDRAM            | 6  |
| 2.1.4 NOR Flash        | 7  |
| 2.1.5 NAND Flash       | 9  |
| 2.1.6 RS232 模块         | 10 |
| 2.1.7 USB2.0 模块        | 11 |
| 2.1.8 以太网模块            | 12 |
| 2.1.9 音频模块             | 13 |
| 2.1.10 JTAG 调试接口       | 14 |
| 2.1.11 AS 固化接口         | 14 |
| 2.1.12 LED 模块          | 15 |
| 2.1.13 独立按键模块          | 15 |
| 2.1.14 七段数码管模块         | 16 |
| 2.1.15 扩展接口模块          | 16 |
| 2.2 底板各模块介绍            | 18 |
| 2.3 使用注意事项             | 21 |
| 第 3 章 QuartusII 软件概述   | 22 |
| 3.1 PC 机的系统配置          | 23 |
| 3.2 QuartusII 12.0 的安装 | 23 |
| 第 4 章 USB 电缆的安装与使用     | 34 |
| 4.1 USB-Blaster 概述     | 34 |
| 4.2 USB-Blaster 驱动安装   | 35 |

|              |                  |           |
|--------------|------------------|-----------|
| 4.3          | 注意事项             | 39        |
| 4.4          | 疑难解答             | 39        |
| <b>第 5 章</b> | <b>EDA 实验</b>    | <b>40</b> |
| 5.1          | 格雷码编码器的设计        | 40        |
| 5.1.1        | 实验目的             | 40        |
| 5.1.2        | 实验原理             | 40        |
| 5.1.3        | 实验内容             | 40        |
| 5.1.4        | 实验步骤             | 41        |
| 5.1.5        | 实验现象与结果          | 42        |
| 5.1.6        | 实验报告             | 42        |
| 5.1.7        | 主程序              | 43        |
| 5.2          | 含异步清零和同步使能的加法计数器 | 43        |
| 5.2.1        | 实验目的             | 43        |
| 5.2.2        | 实验原理             | 44        |
| 5.2.3        | 实验内容             | 44        |
| 5.2.4        | 实验步骤             | 45        |
| 5.2.5        | 实验现象与结果          | 46        |
| 5.2.6        | 实验报告             | 46        |
| 5.2.7        | 主程序              | 46        |
| 5.3          | 数控分频器的设计         | 47        |
| 5.3.1        | 实验目的             | 47        |
| 5.3.2        | 实验原理             | 47        |
| 5.3.3        | 实验内容             | 47        |
| 5.3.4        | 实验步骤             | 47        |
| 5.3.5        | 实验现象与结果          | 48        |
| 5.3.6        | 实验报告             | 48        |
| 5.3.7        | 主程序              | 48        |
| 5.4          | 四位并行乘法器的设计       | 49        |
| 5.4.1        | 实验目的             | 49        |
| 5.4.2        | 实验原理             | 50        |
| 5.4.3        | 实验内容             | 50        |
| 5.4.4        | 实验步骤             | 50        |

|       |          |    |
|-------|----------|----|
| 5.4.5 | 实验现象与结果  | 51 |
| 5.4.6 | 实验报告     | 51 |
| 5.4.7 | 主程序      | 51 |
| 5.5   | 基本触发器的设计 | 53 |
| 5.5.1 | 实验目的     | 53 |
| 5.5.2 | 实验原理     | 53 |
| 5.5.3 | 实验内容     | 54 |
| 5.5.4 | 实验步骤     | 54 |
| 5.5.5 | 实验现象与结果  | 55 |
| 5.5.6 | 实验报告     | 55 |
| 5.5.7 | 主程序      | 55 |
| 5.6   | 设计四位全加器  | 55 |
| 5.6.1 | 实验目的     | 55 |
| 5.6.2 | 实验原理     | 55 |
| 5.6.3 | 实验内容     | 56 |
| 5.6.4 | 实验步骤     | 56 |
| 5.6.5 | 实验现象与结果  | 57 |
| 5.6.6 | 实验报告     | 57 |
| 5.6.7 | 主程序      | 57 |
| 5.7   | 七人表决器的设计 | 58 |
| 5.7.1 | 实验目的     | 58 |
| 5.7.2 | 实验原理     | 58 |
| 5.7.3 | 实验内容     | 59 |
| 5.7.4 | 实验步骤     | 59 |
| 5.7.5 | 实验结果与现象  | 60 |
| 5.7.6 | 实验报告     | 60 |
| 5.7.7 | 主程序      | 60 |
| 5.8   | 四人抢答器的设计 | 62 |
| 5.8.1 | 实验目的     | 62 |
| 5.8.2 | 实验原理     | 62 |
| 5.8.3 | 实验内容     | 62 |
| 5.8.4 | 实验步骤     | 62 |

|        |                  |     |
|--------|------------------|-----|
| 5.8.5  | 实验结果与现象          | 63  |
| 5.8.6  | 实验报告             | 63  |
| 5.8.7  | 主程序              | 63  |
| 5.9    | 八位七段数码管动态显示电路的设计 | 65  |
| 5.9.1  | 实验目的             | 65  |
| 5.9.2  | 实验原理             | 65  |
| 5.9.3  | 实验内容             | 66  |
| 5.9.4  | 实验步骤             | 66  |
| 5.9.5  | 实验现象与结果          | 67  |
| 5.9.6  | 实验报告             | 67  |
| 5.9.7  | 主程序              | 67  |
| 5.10   | 矩阵键盘显示电路的设计      | 69  |
| 5.10.1 | 实验目的             | 69  |
| 5.10.2 | 实验原理             | 69  |
| 5.10.3 | 实验内容             | 70  |
| 5.10.4 | 实验步骤             | 71  |
| 5.10.5 | 实验结果与现象          | 72  |
| 5.10.6 | 实验报告             | 72  |
| 5.10.7 | 主程序              | 72  |
| 5.11   | 16×16 点阵显示实验     | 77  |
| 5.11.1 | 实验目的             | 77  |
| 5.11.2 | 实验原理             | 77  |
| 5.11.3 | 实验内容             | 79  |
| 5.11.4 | 实验步骤             | 79  |
| 5.11.5 | 实验结果与现象          | 80  |
| 5.11.6 | 实验报告             | 80  |
| 5.11.7 | 主程序              | 80  |
| 5.12   | 直流电机测速实验         | 100 |
| 5.12.1 | 实验目的             | 100 |
| 5.12.2 | 实验原理             | 100 |
| 5.12.3 | 实验内容             | 102 |
| 5.12.4 | 实验步骤             | 102 |

|        |            |     |
|--------|------------|-----|
| 5.12.5 | 实验结果与现象    | 104 |
| 5.12.6 | 实验报告       | 104 |
| 5.12.7 | 主程序        | 104 |
| 5.13   | 四相步进电机控制实验 | 107 |
| 5.13.1 | 实验目的       | 107 |
| 5.13.2 | 实验原理       | 107 |
| 5.13.3 | 实验内容       | 110 |
| 5.13.4 | 实验步骤       | 110 |
| 5.13.5 | 实验结果与现象    | 111 |
| 5.13.6 | 实验报告       | 111 |
| 5.13.7 | 主程序        | 111 |
| 5.14   | 交通灯控制电路实验  | 114 |
| 5.14.1 | 实验目的       | 114 |
| 5.14.2 | 实验原理       | 115 |
| 5.14.3 | 实验内容       | 115 |
| 5.14.4 | 实验步骤       | 115 |
| 5.14.5 | 实验结果与现象    | 116 |
| 5.14.6 | 实验报告       | 117 |
| 5.14.7 | 主程序        | 117 |
| 5.15   | 多功能数字钟的设计  | 122 |
| 5.15.1 | 实验目的       | 122 |
| 5.15.2 | 实验原理       | 122 |
| 5.15.3 | 实验内容       | 122 |
| 5.15.4 | 实验步骤       | 122 |
| 5.15.5 | 实验结果与现象    | 123 |
| 5.15.6 | 实验报告       | 123 |
| 5.15.7 | 主程序        | 123 |
| 5.16   | 数字秒表的设计    | 128 |
| 5.16.1 | 实验目的       | 128 |
| 5.16.2 | 实验原理       | 128 |
| 5.16.3 | 实验内容       | 128 |
| 5.16.4 | 实验步骤       | 129 |

|        |               |     |
|--------|---------------|-----|
| 5.16.5 | 实验结果与现象       | 130 |
| 5.16.6 | 实验报告          | 130 |
| 5.16.7 | 主程序           | 130 |
| 5.17   | 序列检测器的设计      | 134 |
| 5.17.1 | 实验目的          | 134 |
| 5.17.2 | 实验原理          | 134 |
| 5.17.3 | 实验内容          | 134 |
| 5.17.4 | 实验步骤          | 135 |
| 5.17.5 | 实验结果与现象       | 136 |
| 5.17.6 | 实验报告          | 136 |
| 5.17.7 | 主程序           | 136 |
| 5.18   | 出租车计费器的设计     | 139 |
| 5.18.1 | 实验目的          | 139 |
| 5.18.2 | 实验原理          | 139 |
| 5.18.3 | 实验内容          | 139 |
| 5.18.4 | 实验步骤          | 139 |
| 5.18.5 | 实验结果与现象       | 140 |
| 5.18.6 | 实验报告          | 140 |
| 5.18.7 | 主程序           | 140 |
| 5.19   | 可控脉冲发生器的设计    | 144 |
| 5.19.1 | 实验目的          | 144 |
| 5.19.2 | 实验原理          | 144 |
| 5.19.3 | 实验内容          | 144 |
| 5.19.4 | 实验步骤          | 144 |
| 5.19.5 | 实验结果与现象       | 145 |
| 5.19.6 | 实验报告          | 145 |
| 5.19.7 | 主程序           | 145 |
| 5.20   | 正负脉宽调制信号发生器设计 | 148 |
| 5.20.1 | 实验目的          | 148 |
| 5.20.2 | 实验原理          | 148 |
| 5.20.3 | 实验内容          | 148 |
| 5.20.4 | 实验步骤          | 148 |

|                       |     |
|-----------------------|-----|
| 5.20.5 实验结果及现象.....   | 149 |
| 5.20.6 实验报告.....      | 149 |
| 5.20.7 主程序.....       | 149 |
| 附录 I AS 模式下载说明.....   | 153 |
| 附录 II 核心板 IO 分配表..... | 157 |
| 附录 III 底板 IO 分配表..... | 164 |

# 第1章 简 述

EDA/SOPC 实验开发系统是根据现代电子发展的方向，集 EDA（电子设计自动化）和 SOPC（可编程片上系统）开发为一体的综合性实验开发系统，除了满足高校专、本科生和研究生的 SOPC 教学实验开发之外，也是电子设计和电子项目开发的理想工具。整个开发系统由 Nios II -EP4CE40 核心板、系统板和扩展板构成，根据不同的用户需求配置成不同的开发系统。

Nios II -EP4CE40 核心板是在经过长期市场考察后，同时兼顾入门学生以及资深开发工程师的应用需求而研发的。就资源而言，它可以组成一个高性能的嵌入式系统，运行目前流行的 RTOS（实时操作系统），如 uC/OS、uClinux 等。

系统主芯片采用 780 引脚、BGA 封装的 EP4CE40F29C6N，它拥有 39 600 个 LE（逻辑单元），11 134 kbit 片上 RAM，232 个  $9 \times 9$  硬件乘法器、4 个高性能 PLL（锁相环）以及多达 533 个用户自定义 IO。板上提供了大容量的 SRAM、SDRAM 和 Flash ROM 等以及常用的 RS-232、USB2.0、RJ45 接口和标准音频接口等，除去板上已经固定连接的 IO，还有多达 352 个 IO（输入输出接口）通过不同的接插件引出，供实验箱底板和用户使用。

Nios II -EP4CE40 核心板是为开发人员提供以下硬件资源：

- 拥有 39 600 个基本逻辑单元和 1 134 kbit 片上 RAM
- Cyclone IV EP4CE40F29C6N FPGA
- 64 Mbit 的 EPCS64 配置芯片
- 1 Mbyte SRAM，型号为 IS61LV51216
- 32 Mbyte SDRAM，型号为 HY57V561620
- 4 Mbyte NOR Flash ROM，型号为 AM29LV320D
- 64 Mbyte NAND Flash ROM，型号为 K9F1208U
- RS-232 DB9 串行接口
- USB2.0 Host 与 Device 接口，USB 芯片型号为 CH376S
- RJ45 网卡接口，其中网卡芯片为 W5500
- 音频接口，其中音频接口芯片为 TLV320AIC23
- 4 个用户自定义按键
- 4 个用户自定义 LED
- 1 个七段码 LED
- 标准 AS 编程接口和 JTAG 调试接口
- 50 MHz 高精度时钟源
- 两个高密度扩展接口（可与配套实验箱连接）
- 两个标准 2.54 mm 扩展接口，供用户自由扩展
- 支持+5 V 直接输入，板载电源管理电路

除了上述核心板资源，EDA/SOPC 实验开发平台系统板提供了非常丰富的硬件资源供学生或开发人员学习。硬件资源包括接口通信、控制、存储、数据转换以及人机交互显示等几大模块：接口通信模块包括 SPI 接口、IIC 接口、视频接口、RS232 接口、网卡接口、USB 接口、PS2 键盘鼠标接口、1-Wire 接口等；控制模块包括直流电机、步进电机等；存储模块包括 CF 卡、SD 卡等；数据转换模块包括串行 ADC、DAC，高速并行 ADC、DAC 以及数字温度传感器等；人机交互显示模块包括 8 个轻触按键、16 个拨档开关、4×4 键盘阵列、800×480TFT LCD、8 位动态 7 段数码管、16×16 双色点阵以及交通灯等。另外片上还提供了一个简易模拟信号源和多路数字时钟模块。

上述的这些资源模块既可以满足初学者入门的要求，也可以满足开发人员进行二次开发的要求。

EDA/SOPC 实验开发平台系统板提供的资源具体为：

- 800×480 超大图形点阵电容触摸屏
- RTC 模块，利用 DS1302 芯片提供系统实时时钟
- 1 个直流电机和测速传感器模块
- 1 个步进电机模块
- 1 个 65 536 色 VGA 接口
- 1 路视频输入和视频输出接口
- 1 个标准串行接口
- 1 个以太网卡接口，利用 ENC28J60 芯片进行数据包的收发
- 1 个 USB 设备接口，利用 CH376 芯片实现 USB 协议转换
- SD 卡接口，可以用于连接 SD 卡或 MMC 卡
- 基于 SPI 接口的音频模块，使用 VS1053 芯片实现语音录放
- 2 个 PS2 接口，可接 PS2 键盘或者鼠标
- 1 个交通灯模块
- 串行 ADC 和串行 DAC，其中 ADC 为 ADS7822，DAC 为 DAC7513
- 高速并行 8 位 ADC 和 DAC，其中 ADC 为 TLC5540，DAC 为 TLC5602
- IIC 接口的 EEPROM，AT24C02
- 基于 1-Wire 接口的数字温度传感器 DS18B20
- 扩展接口，供用户自由扩展
- 1 个数字时钟源，提供 24 MHz、12 MHz、6 MHz、1 MHz、100 kHz、10 kHz、1 kHz、100 Hz、10 Hz 和 1 Hz 等多个时钟频率
- 1 个模拟信号源，提供频率在为 80 Hz ~ 8 kHz、幅度为 0 ~ 3.3 V 可调的正弦波、方波、三角波和锯齿波
- 1 个 16×16 双色点阵 LED 显示模块
- 1 个 4×4 矩阵键盘
- 8 位动态七段码管 LED 显示
- 16 个用户自定义 LED 显示
- 16 个用户自定义开关输出
- 8 个用户自定义按键输出

## 第 2 章 系统模块介绍

### 2.1 核心板各模块介绍

下面对核心板上的各个模块及其硬件连接作详细说明。

#### 2.1.1 FPGA

继 Altera 公司成功推出第一代 Cyclone FPGA 后，Cyclone 一词便成为低功耗、低价位以及高性能的象征。接下来几年，Altera 公司陆续发布了第二代、第三代、第四代 Cyclone FPGA，与第一代相比，后几代的 FPGA 芯片加入了硬件乘法器，同时内部存储单元数量也得到了进一步提升，性能大大提高。本开发平台上采用的 FPGA 是 EP4CE40F29C6N，它便是 Altera Cyclone IV 系列中的一员，采用 780 引脚的 BGA 封装，表 2-1 列出了该款 FPGA 的内部资源特性。

表 2-1 EP4CE40F29C6N 资源列表

| 资源类型        | 参数         |
|-------------|------------|
| 逻辑单元        | 39 600 个   |
| 片上 RAM      | 1 134 kbit |
| 18×18 硬件乘法器 | 116        |
| PLL         | 4 个        |
| 用户可用 IO     | 533 个      |

EP4CE40F29C6N 管脚名称是通过行列合在一起来表示。行用英文字母表示，列用数字来表示。通过行列的组合来确定是哪一个管脚。如 A2 表示 A 行 2 列的管脚。AF3 表示 AF 行 3 列的管脚

开发板上提供了两种途径来配置 FPGA：

（1）使用 Quartus II 软件，配合下载电缆从 JTAG 接口下载 FPGA 所需的配置数据，完成对 FPGA 的配置。这种方式主要用来调试 FPGA 或 Nios II CPU，多在产品开发初期使用。

（2）使用 Quartus II 软件，配合下载电缆，通过 AS 接口对 FPGA 配置器件进行编程，在开发板下次上电的时候，会自动完成对 FPGA 的配置。这种模式主要用于产品定型后，完成对 FPGA 代码的固化，以便产品能够独立工作。

2.1.2 SRAM

IS61LV51216 是一个 8 M 容量，结构为 512K×16 位字长的高速率 SRAM。IS61LV51216 采用 ISSI 公司的高性能 CMOS 工艺制造，性能高，功耗低。

当/CE 处于高电平（未选中）时，IS61LV51216 进入待机模式。在此模式下，功耗可降低至 CMOS 输入标准。

使用 IS61LV51216 的低触发片选引脚（/CE）和输出使能引脚（/OE），可以轻松实现存储器扩展。低触发写入使能引脚（/WE）配合字节允许高位（/UB）存取和低位（/LB）存取将完全控制存储器的写入和读取。

SRAM 电路原理如图 2-1 所示。

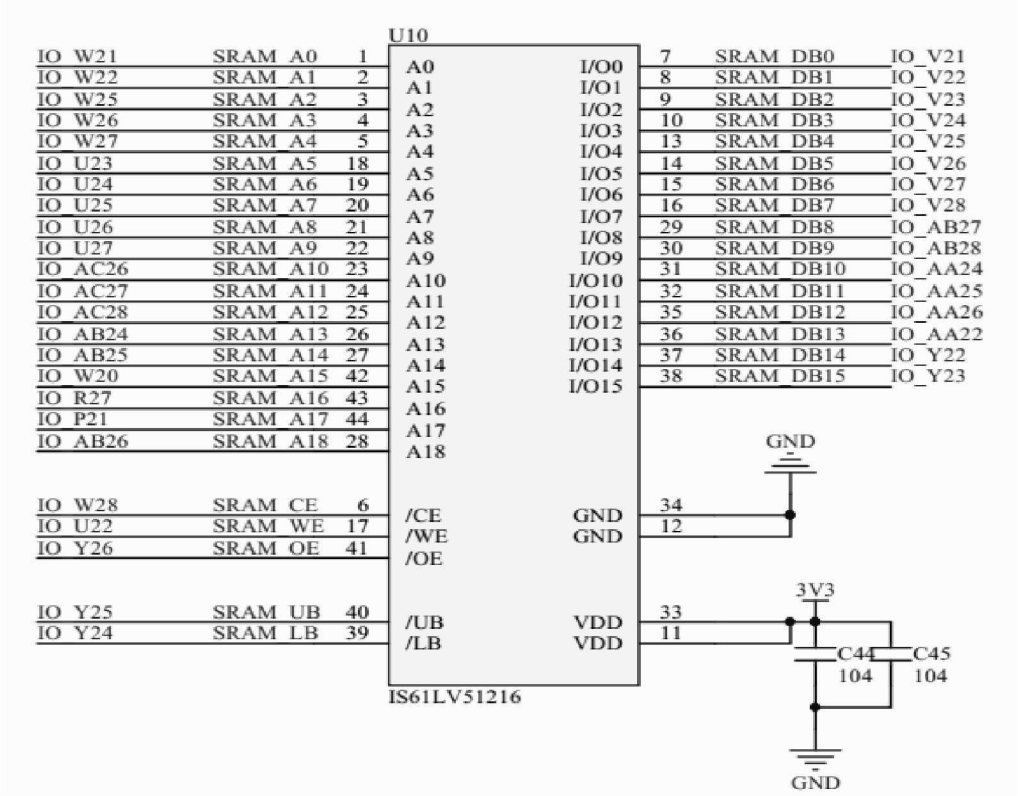


图 2-1 SRAM 电路原理图

SRAM 与 FPGA 的 IO 连接对应关系如下表 2-2 所示。

表 2-2 SRAM 与 FPGA IO 连接对应表

|     | SRAM | 对应 FPGA 引脚 |
|-----|------|------------|
| 地址线 | A0   | PIN_W21    |
|     | A1   | PIN_W22    |
|     | A2   | PIN_W25    |
|     | A3   | PIN_W26    |
|     | A4   | PIN_W27    |

续表

|     | SRAM | 对应 FPGA 引脚 |
|-----|------|------------|
| 地址线 | A5   | PIN_U23    |
|     | A6   | PIN_U24    |
|     | A7   | PIN_U25    |
|     | A8   | PIN_U26    |
|     | A9   | PIN_U27    |
|     | A10  | PIN_AC26   |
|     | A11  | PIN_AC27   |
|     | A12  | PIN_AC28   |
|     | A13  | PIN_AB24   |
|     | A14  | PIN_AB25   |
|     | A15  | PIN_W20    |
|     | A16  | PIN_R27    |
|     | A17  | PIN_P21    |
|     | A18  | PIN_AB26   |
| 数据线 | D0   | PIN_V21    |
|     | D1   | PIN_V22    |
|     | D2   | PIN_V23    |
|     | D3   | PIN_V24    |
|     | D4   | PIN_V25    |
|     | D5   | PIN_V26    |
|     | D6   | PIN_V27    |
|     | D7   | PIN_V28    |
|     | D8   | PIN_AB27   |
|     | D9   | PIN_AB28   |
|     | D10  | PIN_AA24   |
|     | D11  | PIN_AA25   |
|     | D12  | PIN_AA26   |
|     | D13  | PIN_AA22   |
|     | D14  | PIN_Y22    |
|     | D15  | PIN_Y23    |
|     | CE   | PIN_W28    |
|     | WE   | PIN_U22    |
|     | OE   | PIN_Y26    |
|     | UB   | PIN_Y25    |
|     | LB   | PIN_Y24    |

2.1.3 SDRAM

SHY57V561620 是一个容量为 32 Mbyte、拥有 4 个 Bank、地址结构为 13 位行地址×9 位列地址、刷新周期为 7.8 us（8 192 次/64 毫秒）的高速 SDRAM。

SDRAM 电路原理如图 2-2 所示。

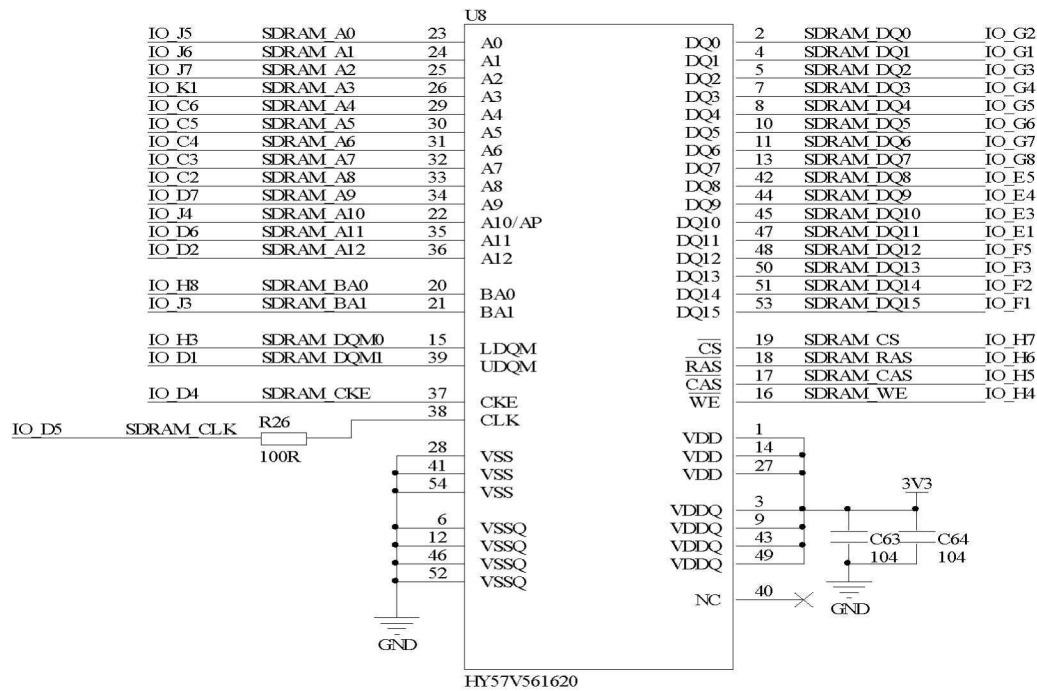


图 2-2 SDRAM 电路原理图

SDRAM 与 FPGA 的 IO 连接对应关系如表 2-3 所示。

表 2-3 SDRAM 与 FPGA IO 连接对应表

|     | SDRAM | 对应 FPGA 引脚 |
|-----|-------|------------|
| 地址线 | A0    | PIN_J5     |
|     | A1    | PIN_J6     |
|     | A2    | PIN_J7     |
|     | A3    | PIN_K1     |
|     | A4    | PIN_C6     |
|     | A5    | PIN_C5     |
|     | A6    | PIN_C4     |
|     | A7    | PIN_C3     |
|     | A8    | PIN_C2     |
|     | A9    | PIN_D7     |
|     | A10   | PIN_J4     |