

南京航空航天大学

硕士研究生学位论文

姓 名:	周 小 林
专 业:	电 路 与 系 统
研 究 方 向:	数字系统设计与计算机应用
指 导 老 师:	蒋 璇 教 授

一九九九年三月

南京航空航天大学

硕士研究生学位论文

姓 名:	周 小 林
专 业:	电 路 与 系 统
研 究 方 向:	数字系统设计与计算机应用
指 导 老 师:	蒋 璇 教 授

一九九九年三月

A Dissertation For Master's Degree

**Research On Application Of
FPGA and VHDL**

Author: Zhou Xiao-lin

Tutor: Prof. Jiang Xuan

Speciality: Digital System Design

& The Application Of Computer

March, 1999

摘要

当今数字系统设计领域中,高密度现场可编程门阵列FPGA和高效率VHDL语言的结合使用,大大改进了设计方法,加速了系统设计的进程。

本文使用 XILINX FPGA 完成了可编程脉冲延时系统的设计;提出适用于 XILINX FPGA 器件的 VHDL 语言设计流程;并且对可编程脉冲延时系统进行 VHDL 语言描述;最后介绍自行研制的面向教学、科研的 FPGA 硬件开发系统。

Abstract

In the field of digital system, high density FPGA and effective VHDL improve the system designing methods and process greatly.

In this thesis, the Programmable-Pulse-Delay System is designed by using XILINX FPGA. Next, this thesis puts out a designing process suiting for XILINX FPGA, and the VHDL description of the Programmable-Pulse-Delay System.

At last, this thesis describes the hardware development system, which is designed by us for teaching and scientific research.

前 言

高密度可编程逻辑器件 FPGA 的出现, 引起了数字系统设计方法的重大变革。它以逻辑容量大、功能强、速度快、以及现场可编程的特性, 赢得了广大设计人员的重视和应用。随着器件的发展, 各种性能完善的软硬件开发工具不断推出, 为数字系统设计提供了良好的开发环境。

现在 FPGA 在 PLD 市场的影响与日俱增, 开发和应用 FPGA 技术的势头方兴未艾。人们只需要一台电脑, 就可以实现现场设计、编程、配置、修改和验证, 且可实现数字系统的单片化设计及应用。改变了传统的 MSI、LSI 板级设计的落后局面。FPGA 技术在航空航天、通讯、测试等领域的应用越来越广泛。

本课题研究的内容包含三部分:

1. 应用 FPGA 技术完成航空部某研究所射频目标模拟器中可编程脉冲延时系统的预研设计。

射频目标模拟器用于模拟动态火控雷达回波信号, 它可以产生具有不同时间、频率、空间、相位等的电磁辐射信号。可编程脉冲延时系统是该模拟器中重要的组成部件, 其功能是模拟载机与目标之间的距离运动方程。本课题研究的第一阶段使用 MSI、SSI 通用集成电路实现可编程脉冲延时系统的电路设计。在课题研究的第二阶段, 使用 XILINX 公司最新的 FPGA 技术与开发环境 Foundation (简称 F1.4), 完成对可编程脉冲延时系统的电路集成, 实现了设计的优化。

XILINX FPGA 最新开发环境 F1.4 提供各种通用原理图编辑器和硬件描述语言, 为电路设计带来方便, 并且 F1.4 开发环境中的 LogicBox 与 LogicCORE 工具又将图形设计推向一个崭新的阶段, 它不仅使设计手段更加灵活, 而且 FPGA 器件资源利用率得以进一步提高。在本课题设计中将采用 LogicBox 提供的参数化图形模块, 使设计简便、快捷。

2. 硬件描述语言 VHDL 应用研究

随着电子技术的发展, 目前的数字系统设计可以直接面对用户需求, 根据系统的行为要求, 自上而下逐层完成器件设计中的描述、综合优化、仿真和验证等各个阶段, 其中除了系统描述以外都可以用计算机自动完成, 这就是电子设计自动化(EDA)。当前设计输入方式有图形输入和文本输入两种。而用硬件

描述语言来描述电路或系统是 EDA 的主要技术。80 年代后期由美国国防部开发的 VHDL 语言,统一了在此之前出现的上百种硬件描述语言。它实现了电路设计者所需求的,能够面对设计的多层次、多领域并且得到一致认同的标准硬件描述语言。VHDL 语言技术研究在国内方兴未艾,本课题也致力于 VHDL 语言应用技术的研究,并用 VHDL 语言完成可编程脉冲延时系统等多个实例,进而探讨 VHDL 语言的应用技术。

3. FPGA 教学实验环境建设

FPGA 教学实验环境建设是 PLD 教学的重要分支,在完成上述课题研究的同时,将 FPGA 和 VHDL 应用技术引向教学实践。根据 FPGA 教学环境建设的总体方案,开发了 XC4000 系列 FPGA、XC9000 系列 CPLD 演示系统并研制了 Xstend FPGA 多功能实验系统。目前,研究内容和硬件系统已用于教学实践,取得很好效果。

第 1 章 可编程脉冲延时系统设计1

1. 1 系统功能和组成1

1. 2 目标距离变化的运动方程和实验数据的生成3

1. 3 可编程脉冲延时系统的设计计算4

第 2 章 用 FPGA 实现可编程脉冲延时系统.....7

2. 1 方案讨论.....7

2. 2 FPGA 简介.....7

2. 3 可编程脉冲延时系统的电路实现.....11

2. 4 电路仿真.....18

2. 5 FPGA 的资源利用率.....33

第 3 章 VHDL 语言在 PLD 编程中的应用35

3. 1 概述35

3. 2 VHDL 语言的描述方式35

3. 3 VHDL 语言设计流程及设计优化目标.....36

3. 4 用 VHDL 语言设计状态机38

3. 5 进一步学习 VHDL 语言应注意的若干问题42

第 4 章 用 VHDL 语言建立可编程脉冲延时系统的描述文件43

4. 1 VHDL 语言描述可编程脉冲延时系统的方案43

4. 2 VHDL 语言描述可编程脉冲延时系统若干实际问题的讨论45

4. 3 用 VHDL 语言设计可编程脉冲延时系统的资源利用情况.....52

4. 4 VHDL 语言的不足之处.....53

第 5 章 FPGA 实验环境建设54

5. 1 FPGA 演示型实验系统.....54

5. 2 XSTEND 扩展型实验系统.....57

结 束 语68

参考文献69

附录.....70

第 1 章 可编程脉冲延时系统设计

可编程脉冲延时系统是航空部某号工程—射频目标模拟器中的重要组成部分，该系统作用是：将输入视频脉冲延时；在计算机的支持下，可脱机完成对视频信号的仿真，为雷达提供一个可变延时的回波脉冲，并且在一定范围内，完成对动目标信号的仿真，为雷达测距系统提供良好的检测条件，即提供目标回波。具体地说：当目标相对于载机进行运动时，两者之间距离不断变化。为了测出该距离的实际数值，载机就不断向目标发射电磁脉冲，并接收回波信号，根据发射与接收的时间延时来测定两者之间的实际距离。本课题对这个系统进行预研，模拟该物理现象。

可编程脉冲延时系统的示意图 如图 1-1 所示

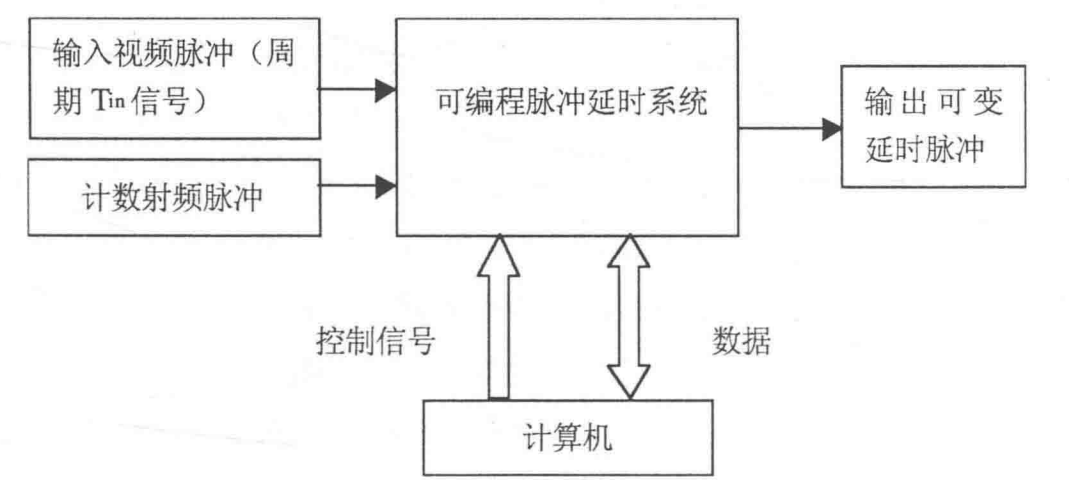


图 1-1 可编程脉冲延时系统示意图

1. 1 系统功能和组成

1. 1. 1 系统功能

为了形成对上述物理现象的模拟，将视频脉冲信号设定为机载雷达发射的信号脉冲。通过电路，对该视频信号进行可控时间（可编程）的延时，并将时间延时信号作为雷达接收的回波信号。发射信号与回波信号之间的时间延时就反映了载机与目标之间的距离，即将空间的远近表示为时间的长短。视频发射信号与接收的回波延时信号的时间关系由图 1-2 所示：

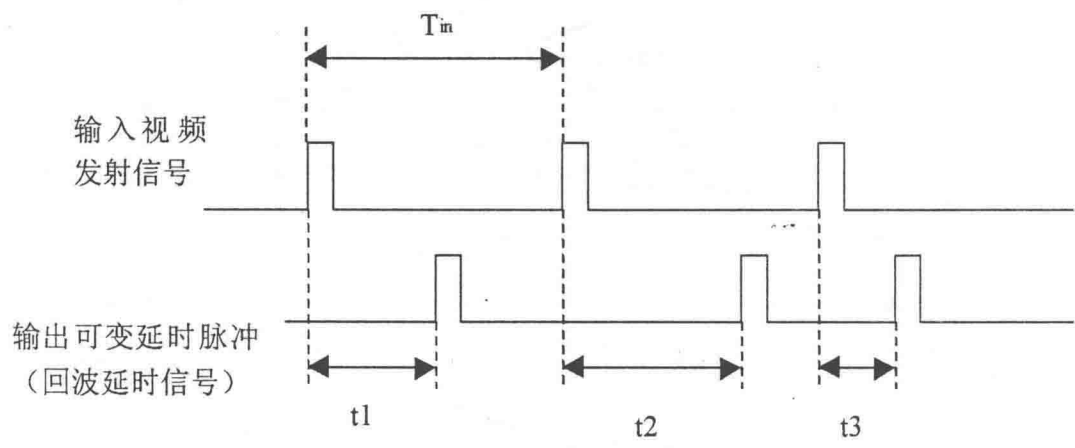


图 1-2 视频发射信号与接收回波延时信号时间关系图

由图 1-2 可见，输入视频发射信号是周期性脉冲，周期为 T_{in} 。系统产生的输出可变延时脉冲信号的延时时间 t 可以在 T_{in} 范围内变化，如图中的 t_1, t_2 和 t_3 等，称之为可编程延时。

通常，载体与目标之间的运动方程可以由足够多不同的距离来表示，所以只需要通过模拟足够多的不同发射与回波之间的时间延时，就等效模拟了载体与目标之间的运动方程。反映足够多不同距离的数据可以经过预先计算得到。把能代表载体与目标之间距离的这些数据预先存入适当的外部存储器内，并在仿真实验时又能将这些数据从外部存储器中读出。实现此功能的电路模块就是本系统的一个组成部分。系统的另一部分是以射频脉冲作为时钟信号的计数器，通过计数将所得计数值与外部存储器的数值相比较，两者相等时产生一个回波时间延时脉冲信号，完成对距离的模拟。

1. 1. 2 系统组成

综上所述，本课题的设计采用了联机送入所需实验数据，脱机输出数据的系统设计方案，即：实际工作时，不需占用计算机的工作时间，使计算机在此期间可以执行其他任务。

系统结构框图如图 1-3 所示：

1. 1. 3 技术指标

- 1. 延时距离：1km~18km，精度优于 10m
- 2. 模拟速度：-300m/s~+1200m/s
- 3. 计算机可控制上述功能

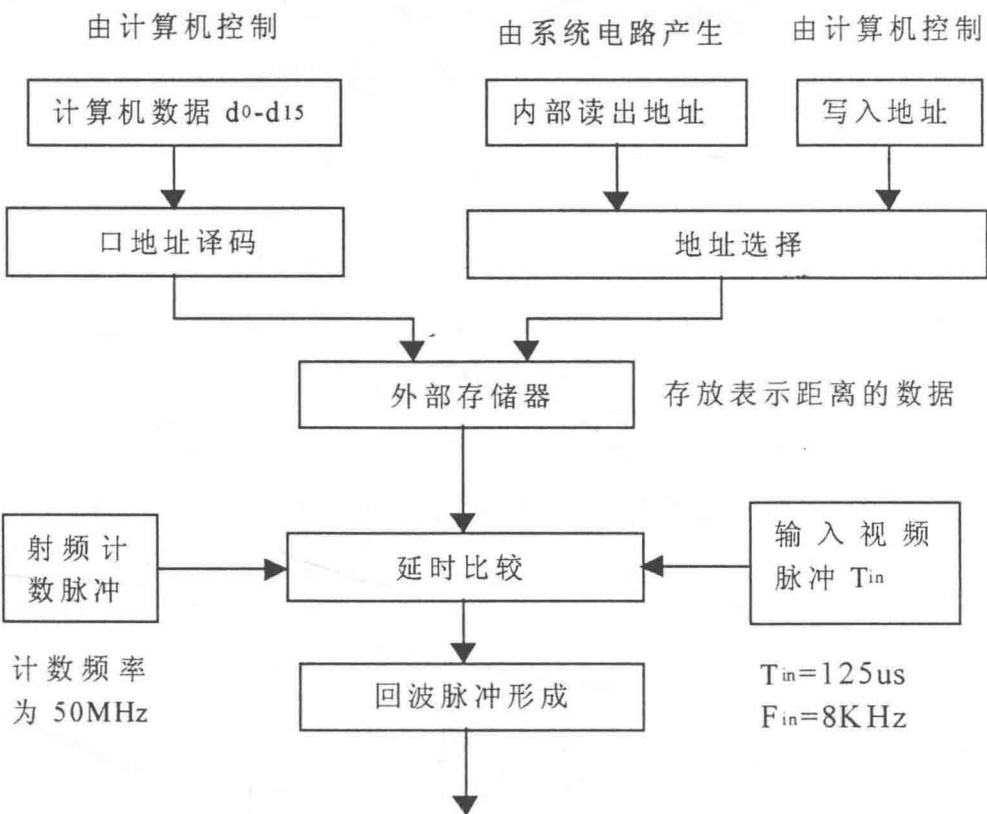


图 1-3 系统结构框图

1. 2 目标距离变化的运动方程和实验数据的生成

1. 2. 1 目标距离变化的运动方程

目标飞机初始出现在空中的某一点，然后按某种方式来运动。每次空战，双方相对运动不同。也就是说，目标与载机之间的运动方程不同。所以对于每次仿真，要选择不同的运动方程，去模拟目标在每一点相对于载机的距离，这正是本系统要完成的功能

对于设计目标的产生，首先要明确仿真目标回波的变化规律，从时域上来说，目标回波在时间上的变化，由两个因数决定：（1）初始时刻，目标距载机的距离 （2）目标相对于载机的运动。如图 1-4 所示

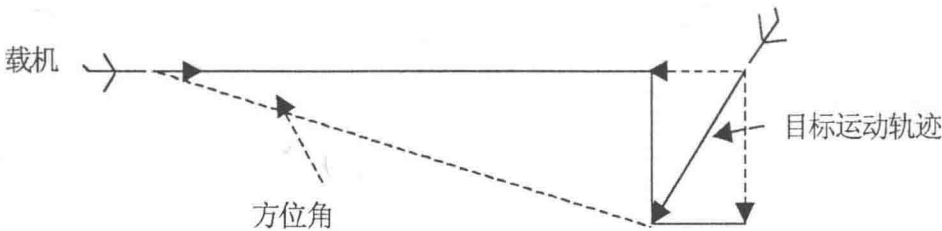


图 1-4 目标相对于载机运动图

图 1-4 给出了一种目标相对于载机的简单运动。仅以此为例，来说明本系统如何模拟这种运动方程。设目标的运动速度为 V_1 ，载机的运动速度为 V_2 。

则目标相对于载机的运动速度为：

$$\vec{V} = \vec{V}_1 - \vec{V}_2$$

目标相对于载机的距离为：

$$\bar{R} = \bar{R}_0 + \vec{V}t$$

其中： R_0 为初始距离。

此式即是所要模拟的目标相对于载机的距离运动方程。

1. 2. 2 实验数据的生成

目标回波延迟时间 t 是雷达发射的信号以光速运动到目标以及信号返回到雷达接收机的双程传播时间，所以目标相对于载机的距离为：

$$R = \frac{1}{2}Ct \quad t = \frac{2R}{C}$$

由上式可知，延迟时间 t 随目标相对于载机的距离 R 变化而变化，也就是延迟时间 t 等效于载机相对目标的距离。所以只要有足够多的目标回波延迟信号时间，就可以模拟目标的运动。延迟时间 t 的获得在本课题中是通过脉冲计数的方法得到的，这些代表延迟时间 t 的计数数据，可以存入外部存储器。

如果计数频率为 f ，计数周期为 T ，仿真实验数据为 X ，则

$$X = \frac{t}{T} = tf = \frac{2fR}{C}$$

由上式可以得到代表延迟时间的仿真实验数据。

1. 3 可编程脉冲延时系统的设计计算

1. 3. 1 计数频率的选择

按照技术指标的要求，距离模拟精度应优于 10 米。在此条件下，可计算出计数频率，也就是说距离精度由计数脉冲频率所决定。

$$t = 2R/C \quad X = t/T = tf = 2fR/C$$

两边求导

$$\Delta X = \frac{2f}{C} \Delta R$$

当 $\Delta X=1$, $\Delta R =10$ 米时, 则

$$f = \frac{C}{2\Delta R} = \frac{3 \times 10^8}{10 \times 2} = 1.5 \times 10^7 = 15 \text{ MHz}$$

从上式可知, 当 f 上升时, 则 ΔR 下降, 距离精度优于 10 米。

本课题计数频率选为 25MHz。

1. 3. 2 目标速度对数据量的影响

因为目标距离方程

$$\bar{R} = \bar{R}_0 + \bar{V}t$$

则两边求导

$$\Delta R = V\Delta t \cos \theta$$

在极限情况下

$$\Delta R=1\text{米} \quad \theta = 0^\circ \quad V = 1200 \frac{\text{米}}{\text{秒}}$$

则

$$\Delta t = \frac{\Delta R}{V \times \cos \theta} = \frac{1}{1200} = 833.3 \mu\text{s}$$

由此式可知, 当目标以最大迎头速度飞行时, 距离每改变 1 米左右就需时间 $833.3 \mu\text{s}$, 而视频脉冲重复频率为 8KHz, 周期 $125 \mu\text{s}$, 所以脉冲重复 7 次左右时, 所代表的目标距离才改变 1 米。本课题要求距离精度优于 10 米。则当脉冲重复 8 次以上更改一次数据地址, 仍能够达到精度要求。为此对应到电路设计中, 可按照每经过 8 个脉冲改变存储器地址的方法来设计。

1. 3. 3 实验数据量的计算和存储器的选择

本系统技术指标延时距离: 1 千米~18 千米。当模拟最大距离 18 千米的目标回波时, 可得仿真数据为

$$X = \frac{2fR}{C} = \frac{2 \times 25 \times 10^6 \times 18 \times 10^3}{3 \times 10^8} = (0BB8)_H$$

考虑到延时距离的设计余量, 实验数据选定为 16bit。

雷达脉冲重复频率为 8KHz。周期为 T_1

$$T_1 = \frac{1}{8 \times 10^3} = 125 \times 10^{-6} \text{ s}$$

设一次仿真实验所需要得数据字节数为 Y ，当仿真时间定为 $\tau=4$ 分钟，因为 8 个脉冲重复周期改变一次数据， 则：

$$8T_1Y = \tau$$

$$Y = \frac{\tau}{8T_1} = \frac{4 \times 60}{8 \times 125 \times 10^{-6}} = 0.24 \times 10^6$$

$$Y = 0.24 \times 10^6 \times 16 = 3.84 Mbit$$

根据以上计算，存储器容量选定为 4Mbit，即 4 片 628128。

第 2 章 用 FPGA 实现可编程脉冲延时系统

2.1 方案讨论

2.1.1 采用通用集成电路实现方案

本课题是航空部某研究所的预研项目，为了便于设计初期的交流与方案论证。应该所的要求，第一期工程采用通用集成电路实现方案。整个系统以四个功能模块为基础，并配以少量外围电路作支撑。四个功能模块是：

- (1) 脉冲延时产生电路。
- (2) 口地址译码电路。
- (3) 地址选择电路。
- (4) 内部地址产生电路。

上述电路模块均由 MSI、LSI 通用集成电路实现。

2.1.2 采用 FPGA 实现方案

随着系统设计方案的确立和设计思路的成熟，电路设计的优化就显得尤为重要，鉴于可编程脉冲延时系统有如下特殊的应用要求。

- (1) 必须能够与计算机进行数据交换，该项功能将涉及到地址总线、数据总线和许多控制线，这需要大量的引脚资源。
- (2) 可编程脉冲延时系统还必须能够随要求的变化而进行修改。
- (3) 可编程脉冲延时系统在计算机的扩展槽内使用。它对电路板所占物理空间的要求也颇高。

正是由于该系统的这些特殊要求，使得在电路设计中引入 FPGA 成为必然。

现场可编程门阵列 FPGA 可供用户根据待设计数字系统的要求，在现场自行配置的高密度专用数字集成电路。它具有集成度高、编程灵活、阵列引脚数多、功耗低、设计编程速度快等特点。

用 FPGA 实现可以将第一期实现方案的四个功能模块集成到一片 FPGA 器件内，再备以少量外围模拟电路构成整个系统，从而达到系统高稳定度、低功耗和小型化的要求。

2.2 FPGA 简介

美国 XILINX 公司推出的 FPGA 器件将门阵列技术的高逻辑密度和通用性与

用户现场可编程器件的设计灵活性以及成品
 的有效性结合起来。可将许多 TTL、PLD 逻辑器件执行的逻辑功能集成到一个单片 FPGA 器件中。

XILINX 公司 FPGA 器件系列颇多，其中 XC4000 系列属第三代产品，该系列器件的结构、功能比较完善。本设计采用的 FPGA 器件是 XC4010XL PQ160。

XC4000 系列 FPGA 的主要功能特征有：

- (1) 具有非常灵活的可编程资源，包括可编程 I/O 接口，可配置的逻辑模块 CLB，可编程的内部连线，可编程宽位解码。
- (2) 采用亚微米的 CMOS 工艺制作，系统时钟频率达 50MHz 以上，反向器切换率大于 100MHz。
- (3) 输入可编程设定为上拉或接地电阻，这样内部可编程的上拉和接地电阻把不常用的引脚连至 Vcc 或地，对于减少功率损耗十分有效。
- (4) 每个 IOB 的时钟极性均可单独配置，时钟信号可直接输入亦可选择反向输入，此功能比之其它公司 PLD 有了很大的改进。
- (5) 每个输出缓冲器可配置成快速缓冲或配置成可以减少噪音产生的缓冲器。

2. 2. 1 FPGA 结构原理

XILINX FPGA，主要由三部分组成：（1）可配置逻辑模块（CLB），（2）输入输出模块（IOB），（3）可编程内部连线（IP），如图 2-1 所示

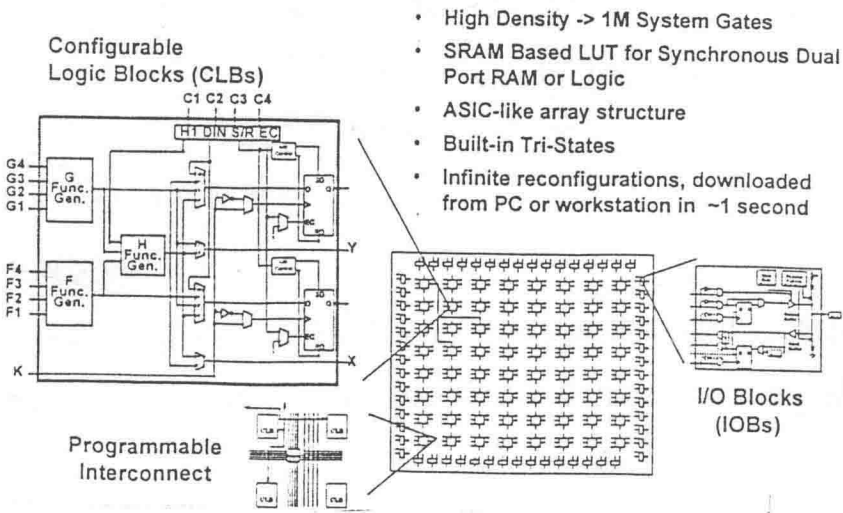


图 2-1 XILINX FPGA 结构图

XC4000 系列的 CLB 内含 3 个函数发生器, 可以实现多达九变量的任意组合函数。此种设计有助于减少信号的时延, 使系统速度得以提高。CLB 内配有两个 D 触发器, 与函数发生器一起可实现各种时序函数。值得一提的是, CLB 定义片内 RAM 的速度很高, 读写操作一般只需 5 至 6ns, 并且此种 RAM 所占的触发器资源很少。

XC4000 系列的 IOB 可配置为输入、输出和 I/O 三种结构且具下述特点:

- (1) 为减少功耗, 可将不常用的引脚连至 Vcc 或地。
- (2) 每个 IOB 输出均有一个上拉电阻供选择。
- (3) 具有可以配置成减少噪音产生的输出缓冲器。

XC4000 器件, 内部连线主要有三种类型: 单长线 (Single-length-line), 双长线 (Double-length-line) 和长线 (Longline)。它们为 CLB 和 CLB 之间, CLB 和 IOB 之间提供多种灵活的连线方式。

总而言之, 采用第三代 FPGA XC4000 系列产品, 能够更加方便地完成较复杂的电路。

2. 2. 2 FPGA 设计流程

FPGA 设计流程如图 2-2 所示。该流程包括设计输入和设计处理两部分, 设计输入支持图形输入和文本输入两种方式。其中文本输入包括 VHDL 语言在内的多种硬件描述语言建立的源文件。

设计处理包含: 网络表生成、逻辑优化、逻辑分割和映射、自动布局布线、产生位流文件和适配器件等各步骤。流程中还包括功能模拟和时延分析, 为设计提供全套服务。设计人员除进行功能确定和逻辑划分并以适当方式建立描述文件外, 其余工作均由软件系统来完成。如图 2-2 所示:

2. 2. 3 FPGA 器件配置

1. 器件配置模式

FPGA 配置模式是指 FPGA 作为用户设计系统使用时的逻辑配置形式和外部连接模式, 如表 2-1 所示。XC4000 配置模式可选为: 主动并行模式, 从动并行模式等。

2. 器件的配置流程

XC4000 系列器件的逻辑单元基于 SRAM 结构, 故有掉电丢失性, 每次上

电均有配置数据的过程。其配置流程是（1）清除配置存储器 （2）配置存储器

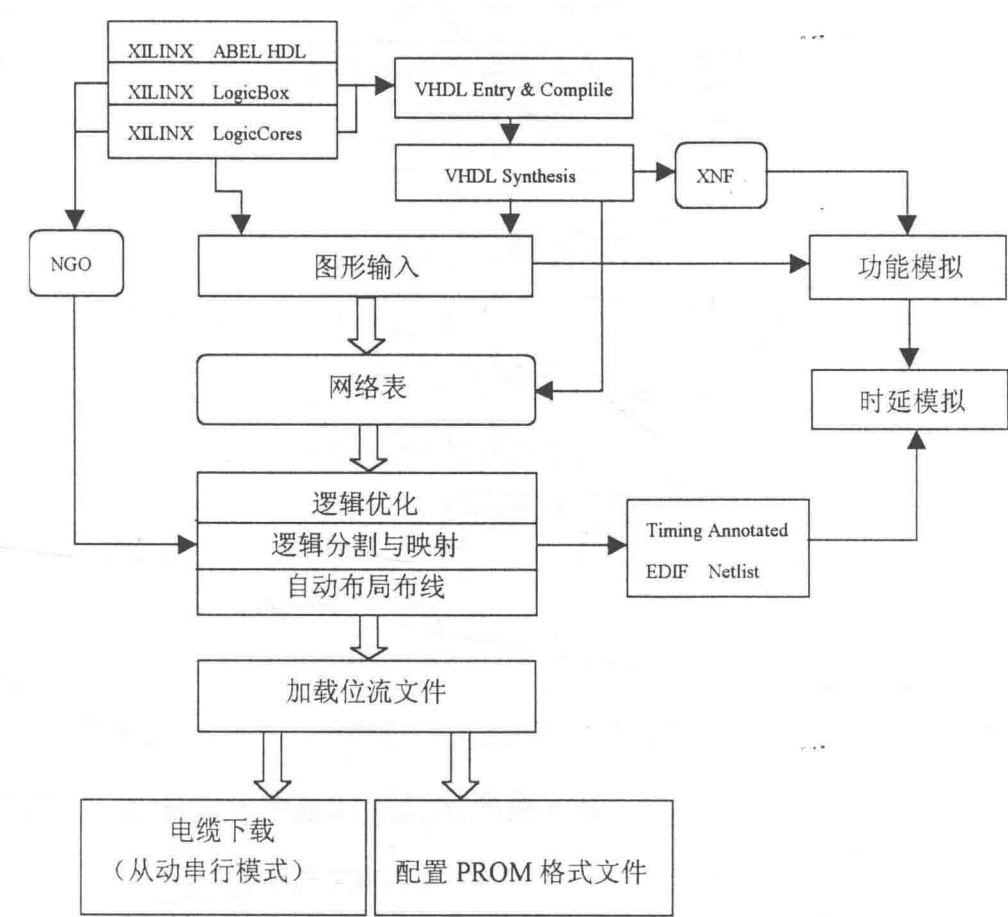


图 2-2 FPGA 设计流程图

表 2-1 FPGA 配置模式

配置选择			CCLK	工作模式名称	备注
M0	M1	M2			
0	0	0	输出	主动串行模式	
0	0	1	输出	主动并行模式	数据地址从 00000 起始↑
0	1	1	输出	主动并行模式	数据地址从 FFFFF 起始↓
1	0	1	输出	周边同步模式	并行
1	0	1	输出	周边异步模式	并行
1	1	1	输入	从动串行模式	

的初始化 （3）数据传输 （4）系统启动。FPGA 通过对器件进行配置程序的加载，从而决定了 FPGA 器件内部的逻辑功能和内连关系。如图 2-3 所示：