

戴澜 张晓波 陈铨颖 等编著

CMOS

集成电路EDA技术

作者**十年科研项目**的研究与设计工作**成果结晶**
提供**流程化、步骤化**的设计实例



机械工业出版社
CHINA MACHINE PRESS

CMOS 集成电路 EDA 技术

戴澜 张晓波 陈钺颖 等编著



机械工业出版社

电子设计自动化(EDA)工具主要是指以计算机为工作平台,融合应用电子技术、计算机技术、智能化技术最新成果而研制成的电子辅助软件包。该软件包可以使设计者在虚拟的计算机环境中进行早期的设计验证,有效缩短电路实体迭代验证的时间,提高集成电路芯片设计的成功率。一款成功的集成电路芯片源于无数工程师成功的设计,而成功的设计在很大程度上又取决于有效、成熟的集成电路 EDA 设计工具。

本书根据普通高校微电子学与固体电子学(集成电路设计)专业的课堂教学和实验要求,以提高实际工程设计能力为目的,采取循序渐进的方式,介绍进行 CMOS 集成电路设计的 EDA 工具。主要分为 EDA 设计工具概述、模拟集成电路 EDA 技术和数字集成电路 EDA 技术三大部分。在模拟集成电路方面,依据模拟集成电路:电路前仿真—物理版图设计—参数提取及后仿真的设计流程,详细介绍了包括电路设计及仿真工具 Cadence Spectre、版图设计工具 Cadence Virtuoso、版图验证及参数提取工具 Mentor Calibre 在内各工具的基本知识和使用方法。数字集成电路方面,根据代码仿真、逻辑综合、数字后端物理层设计流程,依次介绍 RTL 仿真工具 Modelsim、逻辑综合工具 Design Compiler、数字后端版图工具 IC Compiler 和 Encounter 四大类设计工具。书中配以电路设计实例,进一步分析各种 EDA 工具的设计输入方法和技巧,形成一套完整的 CMOS 集成电路设计工具流程。

本书帮助读者通过实例深刻了解 CMOS 集成电路 EDA 工具设计的基本流程和方法,可作为高等院校微电子专业 EDA 课程的实验教材和辅导书,也可作为相关专业技术人员的自学工具参考书。

图书在版编目(CIP)数据

CMOS 集成电路 EDA 技术 / 戴澜等编著. —北京:机械工业出版社, 2016.11

ISBN 978-7-111-55094-5

I. ①C… II. ①戴… III. ①MOS 集成电路—电路设计—计算机辅助设计 IV. ①TN432.02

中国版本图书馆 CIP 数据核字(2016)第 244942 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:江婧婧 责任编辑:江婧婧

责任校对:刘怡丹 封面设计:鞠 杨

责任印制:李 洋

北京振兴源印务有限公司印刷

2017 年 1 月第 1 版·第 1 次印刷

169mm×239mm·19.75 印张·397 千字

0001—3000 册

标准书号:ISBN 978-7-111-55094-5

定价:79.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

服务咨询热线:010-88361066

读者购书热线:010-68326294

010-88379203

封面无防伪标均为盗版

网络服务

机工官网:www.cmpbook.com

机工官博:weibo.com/cmp1952

教育服务网:www.cmpedu.com

金书网:www.golden-book.com

前言

进入 21 世纪以来,人类社会在信息领域正面临着一场巨大的变革,其先导因素和决定性力量正是微电子集成电路技术。集成电路(Integrated Circuit, IC)作为当今信息时代的核心技术产品,在国民经济建设、国防建设以及人民日常生活中发挥着越来越重要的作用。

随着 CMOS (Complementary Metal Oxide Semiconductor, 互补金属-氧化物半导体) 集成电路技术的日益进步,计算机辅助设计工具——电子设计自动化(Electronic Design Automation, EDA) 工具也日趋成熟。各类电路、版图设计、物理验证 EDA 工具的推出,有效地提高了电路设计效率,缩短了产品设计周期。依据 CMOS 模拟集成电路和数字集成电路设计、验证的基本流程,编者结合实例详细介绍了模拟电路设计工具 Cadence Spectre、版图设计工具 Cadence Virtuoso、版图验证和参数提取工具 Mentor Calibre 以及数字仿真设计工具 Modelsim、逻辑综合工具 Design Compiler、数字后端版图工具 IC Compiler 以及 Encounter 七大类 EDA 工具,以供学习 CMOS 集成电路设计与仿真的读者参考讨论之用。

本书分章介绍了目前广泛应用的 CMOS 集成电路设计 EDA 工具,共 8 章内容。

第 1 章主要介绍 CMOS 集成电路 EDA 技术的基本概况,包括发展历史、特点、现状以及未来发展趋势,使读者对该领域有一个概括性的了解。同时分步骤介绍了 CMOS 模拟集成电路和数字集成电路的基本设计流程,并依据该流程分类讨论了目前主流的 EDA 设计工具。

第 2~4 章通过实例介绍 CMOS 模拟集成电路设计的三大类 EDA 设计工具:电路设计工具 Cadence Spectre,版图设计工具 Cadence Virtuoso 和物理验证工具 Mentor Calibre 以及相应的仿真方法。

第 2 章首先对 Cadence Spectre 仿真环境进行了总体说明,包括 Spectre 软件的基本介绍和特点,以及 Spectre 的仿真设计方法、与其他 EDA 软件的连接。之后介绍了 Spectre 启动的配置和几个主要窗口,包括主窗口、设计库管理窗口、电路图编辑器窗口、模拟设计环境窗口、波形显示窗口和波形计算器,以及 analogLib 库中的基本器件和激励源,作为读者学习 Spectre 的知识储备。最后以一个低压差线性稳压源实例来阐述 Cadence Spectre 的基本设计方法。

第 3 章主要介绍模拟版图工具 Cadence Virtuoso 的主要界面和操作。并配合两级密勒补偿运算放大器的设计实例进行讨论。

第 4 章在电路和版图设计的基础上,详细讨论了模拟版图验证和提取工具 Mentor Calibre 的主要界面和操作,最后在两级密勒补偿运算放大器的版图基础上

进行了基本的操作说明。

第 5~8 章通过实例介绍 CMOS 数字集成电路设计的四大类 EDA 设计工具: RTL 仿真工具 Modelsim、逻辑综合工具 Design Compiler、数字后端版图工具 IC Compiler 和 Encounter 以及相应的仿真方法。

第 5 章首先对数字集成电路设计进行概述,包括一些基本语法和规范,并举例说明组合逻辑电路和时序逻辑电路。之后以交通灯为设计实例对仿真工具 Modelsim 进行了总体说明,从 Modelsim 的特点应用到基本使用方法,再延伸到一些高级用法,不仅囊括了建立工程、建立仿真环境、启动仿真、观测仿真结果等基本内容,还包含了使用过程中的一些小技巧。

第 6 章主要对逻辑综合及综合工具 Design Compiler 进行了详细说明,包括逻辑的定义、发展简介和逻辑综合的流程。之后介绍了综合工具 Design Compiler 的功能、使用模式及 DC-Tcl 脚本语言。同时讨论了使用 Design Compiler 综合工具进行综合、静态时序分析及时序约束的基本方法。再以第 5 章中的交通灯设计为例,阐述了使用 Design Compiler 进行综合的基本流程。

第 7 章围绕 ICC 对数字后端设计的各个流程进行介绍,从数据的准备阶段开始,到数据输出为止。着重介绍了后端数据准备与设置、布局、时钟树综合及布线等步骤。

第 8 章重点介绍了数字后端物理层实现工具 Encounter,包括 Encounter 设计相关的基本概念和方法,之后通过一个设计实例讨论了使用 Encounter 进行物理设计的基本流程。

本书内容丰富,具有较强的实用性,由北方工业大学微电子系副教授戴澜主持编纂。此外,北方工业大学张晓波高级工程师,厦门理工大学的陈铖颖博士,中科院微电子所王雷博士,中科院自动化所蒋银坪助理研究员、郭阳博士,华大九天软件有限公司梁曼工程师也参加了本书的编写工作。其中,戴澜完成了第 1、2、5、8 章的编写,并参与其他章节的编写,第 3 章由张晓波编写,陈铖颖完成了第 4 章的编写,蒋银坪和郭阳完成了第 6 章的编写,第 7 章由王雷和梁曼编写完成,另外,北京电子信息高级技工学校的贺桂霞老师为本书做了大量的整理工作,正是有了大家的共同努力,才得以使本书顺利完成。

由于本书涉及知识面较广,时间和编者水平有限,书中难免存在不足和局限,恳请读者批评指正。

作者

2016 年 9 月

目 录

前言

第 1 章 CMOS 集成电路 EDA 技术	1
1.1 CMOS 集成电路 EDA 技术概述	1
1.2 CMOS 模拟集成电路设计流程	3
1.3 CMOS 模拟集成电路 EDA 工具分类	5
1.4 CMOS 数字集成电路设计流程	8
1.5 CMOS 数字集成电路 EDA 工具分类	11
1.6 小结	13
第 2 章 模拟电路设计及仿真工具 Cadence Spectre	14
2.1 Spectre 的特点	14
2.2 Spectre 的仿真设计方法	16
2.3 Spectre 与其他 EDA 软件的连接	17
2.4 Spectre 的基本操作	18
2.4.1 Cadence Spectre 启动设置	18
2.4.2 Spectre 主窗口和选项介绍	19
2.4.3 设计库管理器介绍	22
2.4.4 电路图编辑器介绍	25
2.4.5 模拟设计环境介绍	29
2.4.6 波形显示窗口介绍	32
2.4.7 波形计算器介绍	37
2.5 Spectre 库中的基本器件	42
2.5.1 无源器件	42
2.5.2 有源器件	42
2.5.3 信号源	43
2.6 低压差线性稳压器的设计与仿真	45
2.7 小结	53
第 3 章 Cadence Virtuoso 版图设计工具	54
3.1 Virtuoso 界面介绍	54
3.1.1 窗口标题栏	56
3.1.2 状态栏	57

3.1.3	菜单栏	57
3.1.4	图标菜单	65
3.1.5	设计区域	67
3.1.6	光标和指针	67
3.1.7	鼠标状态	68
3.1.8	提示栏	69
3.1.9	层选择窗口	69
3.2	Virtuoso 基本操作	71
3.2.1	创建矩形	71
3.2.2	创建多边形	72
3.2.3	创建路径	73
3.2.4	创建标识名	74
3.2.5	创建器件和阵列	74
3.2.6	创建接触孔	76
3.2.7	创建圆形图形	76
3.2.8	移动命令	78
3.2.9	复制命令	79
3.2.10	拉伸命令	79
3.2.11	删除命令	80
3.2.12	合并命令	80
3.2.13	选择和放弃选择命令	81
3.2.14	改变层次关系命令	82
3.2.15	切割命令	84
3.2.16	旋转命令	85
3.2.17	属性命令	86
3.2.18	分离命令	87
3.3	运算放大器版图设计实例	88
3.3.1	NMOS 晶体管版图设计	88
3.3.2	运算放大器的版图设计	94
3.4	小结	102
第 4 章	模拟版图验证及参数提取工具 Mentor Calibre	103
4.1	Mentor Calibre 版图验证工具调用	103
4.1.1	Virtuoso Layout Editor 工具启动	103
4.1.2	采用 Calibre 图形界面启动	106
4.1.3	采用 Calibre View 查看器启动	106

4.2	Mentor Calibre DRC 验证	108
4.2.1	Calibre DRC 验证简介	108
4.2.2	Calibre DRC 界面介绍	110
4.2.3	Calibre DRC 验证流程举例	116
4.3	Mentor Calibre LVS 验证	125
4.3.1	Calibre LVS 验证简介	125
4.3.2	Calibre LVS 界面介绍	126
4.3.3	Calibre LVS 验证流程举例	137
4.4	Mentor Calibre 寄生参数提取	146
4.4.1	Calibre PEX 验证简介	146
4.4.2	Calibre PEX 界面介绍	147
4.4.3	Calibre PEX 流程举例	157
4.5	小结	163
第 5 章	数字电路设计及仿真工具 Modelsim	164
5.1	数字电路设计及仿真概述	164
5.2	数字电路设计方法	164
5.2.1	硬件描述语言 Verilog 的特点及规范	165
5.2.2	硬件描述语言 Verilog 的可综合设计	173
5.2.3	硬件描述语言设计实例	174
5.3	数字电路仿真工具 Modelsim	179
5.3.1	Modelsim 特点与应用	179
5.3.2	Modelsim 的基本使用	182
5.3.3	Modelsim 的进阶使用	192
5.4	小结	207
第 6 章	数字逻辑综合及 Design Compiler	208
6.1	逻辑综合概述	208
6.1.1	逻辑综合的定义及发展历程	208
6.1.2	逻辑综合的流程	209
6.2	Design Compiler 简介	210
6.2.1	Design Compiler 的功能	210
6.2.2	Design Compiler 的使用模式	211
6.2.3	DC - Tel 简介	212
6.3	Design Compiler 综合设计	216
6.3.1	启动工具及初始环境配置	216
6.3.2	综合库	218



6.3.3 Design Compiler 综合流程	219
6.4 静态时序分析与设计约束	227
6.4.1 静态时序分析	227
6.4.2 亚稳态	229
6.4.3 时钟的约束	229
6.4.4 输入输出路径的约束	231
6.4.5 组合逻辑路径的约束	232
6.4.6 时间预算	233
6.4.7 设计环境约束	234
6.4.8 多时钟同步设计约束	237
6.4.9 异步设计约束	239
6.4.10 多时钟的时序约束	240
6.5 基于状态机的交通灯综合	242
6.6 小结	246
第 7 章 数字电路物理层设计工具 IC Compiler	247
7.1 IC Compiler 简介	247
7.2 ICC 物理层设计的数据准备	249
7.2.1 逻辑层数据	249
7.2.2 物理层数据	250
7.2.3 设计数据	250
7.3 创建设计数据库与后端数据的设置	251
7.3.1 逻辑库设置	251
7.3.2 物理库设置	251
7.3.3 其他文件设置	252
7.3.4 创建设计数据库	252
7.3.5 库文件检查	252
7.3.6 网表导入	252
7.3.7 Tlu + 文件设置与检查	253
7.3.8 电源网络设置	253
7.3.9 TIE 单元设置	254
7.3.10 导入 SDC 文件并进行时序约束检查	254
7.3.11 定时序优化参数	255
7.4 不同 PVT 角下综合优化的设置方法	257
7.4.1 scenario 的建立	258
7.4.2 PVT 角设定	258

7.5 宏单元与 IO 布局	260
7.5.1 IO 布局与芯片布局空间创建	260
7.5.2 宏单元的摆放	261
7.6 电源网络的设计与分析	262
7.6.1 设计电源和地环	262
7.6.2 设计电源和地条	262
7.6.3 连接宏单元和标准单元	263
7.7 标准单元的布局与优化	264
7.7.1 检查是否需要添加 tap cell	265
7.7.2 spare cell 的标识	265
7.7.3 检查设计输入文件与约束	265
7.7.4 确认所有路径已经被正确地设置	265
7.8 时钟树综合与优化	267
7.8.1 综合前的检查	267
7.8.2 时钟树综合设置	267
7.8.3 执行时钟树综合核心命令	270
7.9 芯片布线与优化	271
7.9.1 布线前的检查	271
7.9.2 ICC 布线相关设置	271
7.9.3 天线效应简介与设置	273
7.9.4 执行布线命令	274
7.10 芯片 ECO 与设计文件导出	275
7.10.1 Freeze silicon ECO	275
7.10.2 unconstrained ECO	275
7.10.3 设计结果导出	276
7.11 小结	276
第 8 章 数字电路物理层设计工具 Encounter	277
8.1 Encounter 工具发展历史	277
8.2 Encounter 设计流程介绍	278
8.3 数据准备	279
8.3.1 设计数据	279
8.3.2 逻辑库数据	280
8.3.3 物理库数据	281
8.3.4 数据准备常用的指令与流程	281
8.4 布图规划与布局	285

8.4.1	布图与 IO 排布	285
8.4.2	电源网络设计	287
8.4.3	标准单元的布局与优化	287
8.4.4	布图规划与布局常用指令与流程	288
8.5	时钟树综合	295
8.5.1	时钟树综合简介	295
8.5.2	时钟树流程与优化	297
8.6	芯片布线	299
8.6.1	芯片布线工具简介	299
8.6.2	特殊布线	299
8.6.3	一般布线	300
8.6.4	芯片布线流程与优化	300
8.7	芯片 ECO 与 DFM	302
8.7.1	ECO 流程与优化	302
8.7.2	DFM 流程与优化	305
8.8	小结	305

第1章 CMOS 集成电路 EDA 技术

金属-氧化物半导体 (Metal Oxide Semiconductor, MOS) 集成电路技术始于 20 世纪 70 年代。随着 MOS 晶体管工艺尺寸的不断减小, 亚微米集成电路和深亚微米集成电路在随后的 20 世纪 80 年代和 90 年代逐渐发展起来。进入 21 世纪以来, MOS 集成电路更是进入纳米级电路时代。

在集成电路工艺领域, 历史上陆续出现了 P 沟道硅栅金属-氧化物半导体 (MOS) 工艺、P 沟道铝栅金属-氧化物半导体工艺、N 沟道硅栅金属-氧化物半导体工艺、高性能短沟道金属-氧化物半导体 (HMOS) 工艺等, 它们都各具优劣势, 在不同时期、不同领域得到了应用。随着集成电路集成度的日益提高, 普通 MOS 工艺已不能满足大规模和超大规模集成系统制造的需要, 于是互补金属-氧化物半导体 (CMOS) 工艺应运而生。互补金属-氧化物半导体在数字大规模集成电路和超大规模集成电路的制造中首先得到广泛应用, 并得到快速发展。特别是自 20 世纪 80 年代以来, CMOS 工艺更是成为了 CPU、RAM、ROM 等超大规模集成电路的主导制造工艺。

伴随着 CMOS 集成电路工艺的不断成熟和进步, CMOS 集成电路设计方法也发生着巨大的转变, 从最初的手工设计已经发展到目前的电子设计自动化 (EDA) 设计。如今, EDA 技术已经成为了集成电路设计的基本途径, 广泛应用于 CMOS 模拟、数字、混合信号以及射频集成电路、系统设计中。本书重点关注 EDA 技术在 CMOS 集成电路领域的应用和方法, 依据设计流程详细地介绍了 CMOS 模拟、数字集成电路设计中使用的各类 EDA 工具, 为初学 CMOS 集成电路设计的高等院校学生和工程师提供参考。

本章主要介绍 CMOS 模拟、数字集成电路 EDA 技术的基本概况和主流工具, 为之后的进阶学习奠定理论基础。

1.1 CMOS 集成电路 EDA 技术概述

微电子集成电路产业是一个集工艺制造、电路/系统设计、市场营销、消费应用为一体的复杂系统工程。其中, 电路/系统设计是连接集成电路工艺制造和市场、应用的桥梁, 是集成电路芯片产品开发的决定性一步。一款成功的集成电路芯片源于无数工程师成功的设计, 而成功的设计在很大程度上又取决于有效、成熟的集成电路 EDA 设计工具。

集成电路 EDA 设计工具主要是指以计算机为工作平台, 融合应用电子技术、

计算机技术、智能化技术最新成果而研制成的电子辅助软件包。该软件包可以使设计者在虚拟的计算机环境中进行早期的设计验证,有效缩短了电路实体迭代验证的时间、提高了集成电路芯片设计的成功率。迄今为止,用于集成电路设计的 EDA 工具从诞生到现在,经历了 3 个主要的发展阶段。

第一阶段:在 20 世纪 70 年代的集成电路产业发展初期,人们开始使用计算机辅助进行集成电路版图编辑,取代了以往的手工设计操作,产生了计算机辅助设计的概念。该阶段称为 CAD (Computer Aided Design) 阶段。

第二阶段:20 世纪 80 年代初,除了版图编辑和验证功能,出现了以 Mentor、Daisy、Valid 为代表的 CAE (Computer Aided Engineering) 系统,为工程师提供了较为便捷的电路原理图输入、功能模拟、分析验证功能,标志着集成电路 EDA 工具发展进入正轨,成为集成电路产业链中重要的一环。因此该阶段称为 CAE 阶段。

第三阶段:20 世纪 90 年代进入 ESDA (Electronic System Design Automation) 阶段,尽管 CAD/CAE 技术取得了巨大的成功,但并没有把工程师从繁重的设计工作中彻底解放出来。在整个设计过程中,自动化和智能化程度还不高,各种 EDA 工具界面千差万别,学习使用困难,并且互不兼容,直接影响到设计环节间的衔接。基于以上不足,人们开始追求能够贯彻整个设计过程的自动化,这就是 ESDA,即电子系统设计自动化,其中的代表是 Cadence、SYNOPSYS 和 Avanti 等公司推出的 EDA 工具。

进入 21 世纪以来,第四代 EAD 工具正沿着 ESDA 的途径继续演进。由于集成电路的工艺水平已经进入深亚微米 ($<20\text{nm}$),短沟道效应、连线延迟成为制约集成电路发展的重要瓶颈,因此必须大幅度提高 EDA 工具的设计能力,才能适应集成电路工艺的快速发展。

利用 EDA 技术进行集成电路设计主要具有以下几方面特点:

- 1) 采用计算机软件平台完成虚拟的电路、系统设计。
- 2) 用软件方式设计的电路、系统到硬件电路、系统的转换是由相应开发软件来自动完成的。
- 3) 设计过程可使用 EDA 软件对电路、系统进行功能及性能仿真,即虚拟测试,提前修改电路、系统中的错误和不足,优化电路。EDA 技术使电子工程师在实际的电子系统产生前,就可以全面地了解电路、系统的功能特性和物理特性,从而将开发风险消灭在设计阶段,缩短了开发时间,降低了开发成本。
- 4) 采用 EDA 技术的设计方法,可将一个庞大的系统设计在一块芯片上完成,即通称的 SoC (System on Chip),使系统具有体积小、集成度高的优势。

作为 EDA 技术主要的一个分支,CMOS 集成电路 EDA 技术在硬件方面融合了大规模集成电路制造技术、模拟/数字集成电路、版图设计技术、专用集成电路测试和封装技术等;在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 技术及多种计算机语言的设计概念;

而在现代电子学方面则容纳模拟/数字集成电路设计理论、数字信号处理技术、系统建模和优化技术等。

CMOS 集成电路 EDA 技术的核心是利用计算机实现 CMOS 集成电路设计的自动化, 因此, 基于计算机环境下的 EDA 工具软件的支持是必不可少的。CMOS 集成电路 EDA 软件经历了 20 年的发展, 目前广泛应用的主要有 Cadence、Mentor、SYNOPSYS 三家公司的 EDA 软件。这些软件功能很强, 可以进行电路设计与仿真, 输出多种网表文件 (Netlist), 与其他厂商的软件共享数据等。

总之, CMOS 集成电路 EDA 技术为现代集成电路理论和设计的表达与应用提供了可行性, 它已不是某一学科的分支, 而是一门综合性学科。它打破了计算机软件与硬件间的壁垒, 使计算机的软件技术与硬件实现、设计效率和产品性能合二为一, 代表了集成电路设计技术和应用技术的发展方向。

1.2 CMOS 模拟集成电路设计流程

CMOS 模拟电路设计技术作为工程技术中最为经典和传统的工艺形式, 仍然是许多复杂高性能系统中不可替代的设计方法。CMOS 模拟集成电路设计与传统分立元件模拟电路设计最大的不同在于, 所有的有源和无源器件都是制作在同一块硅衬底上, 尺寸极其微小, 无法再用电路板进行设计验证。因此, 设计者必须采用 EDA 软件仿真和模拟的方法来验证电路功能及性能。模拟集成电路设计包括若干个阶段, 图 1.1 所示为 CMOS 模拟集成电路设计的一般流程。

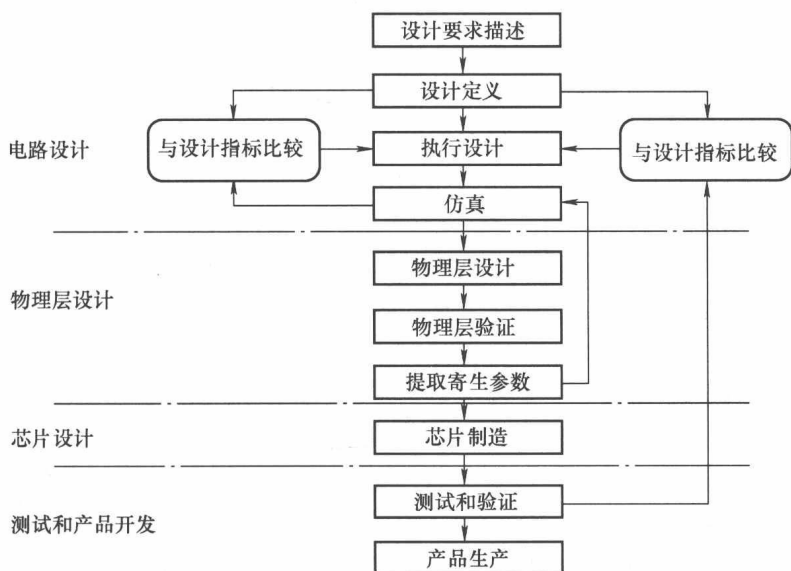


图 1.1 CMOS 模拟集成电路设计流程



- 1) 系统规格定义;
- 2) 电路设计;
- 3) 电路仿真模拟;
- 4) 版图实现;
- 5) 物理验证;
- 6) 参数提取后仿真;
- 7) 导出设计文件、流片;
- 8) 芯片制造;
- 9) 测试和验证。

一个设计流程是从系统规格定义开始的,设计者在这个阶段就要明确设计的具体要求和性能参数。下一步就是对电路应用模拟仿真的方法评估电路性能。这时可能要根据仿真结果对电路做进一步改进,反复进行仿真。一旦电路性能的仿真结果能满足设计要求就需要进行另一个主要设计工作——电路的版图设计。版图完成并经过物理验证后需要将布局、布线形成的寄生效应考虑进去再次进行计算机仿真。如果仿真结果也满足设计要求就可以进行制造了。

与用分立器件设计模拟电路不同,集成化的模拟电路设计不能用搭建电路板的方式进行。随着现在发展起来的 EDA 技术,以上的设计步骤都是通过计算机辅助进行的。通过计算机模拟,可在电路中的任何节点监测信号;可将反馈回路打开;可比较容易地修改电路。但是计算机模拟也存在一些限制。例如,模型的不完善,程序求解由于不收敛而得不到结果等。下面将详细讲述设计流程中的各个阶段。

1. 系统规格定义

这个阶段系统工程师把整个系统和其子系统看成是一个个只有输入输出关系的“黑盒子”,不仅要对其每一个进行功能定义,而且还要提出时序、功耗、面积、信噪比等性能参数的范围要求。

2. 电路设计

设计者根据设计要求,首先要选择合适的工艺库,然后合理地构架系统,由于 CMOS 模拟集成电路的复杂性和多样性,目前还没有 EDA 厂商能够提供完全解决 CMOS 模拟集成电路设计自动化的工具,因此所有的模拟电路基本上仍然通过手工设计来完成。

3. 电路仿真

设计工程师必须确认设计是正确的,为此要基于晶体管模型,借助 EDA 工具进行电路性能的评估和分析。在这个阶段要依据电路仿真结果来修改晶体管参数。依据工艺库中参数的变化来确定电路工作的区间和限制、验证环境因素的变化对电路性能的影响,最后还要通过仿真结果指导下一步的版图实现。

4. 版图实现

电路的设计及仿真决定电路的组成及相关参数,但并不能直接送往晶圆代工厂

进行制作。设计工程师需提供集成电路的物理几何描述,即通常说的“版图”。这个环节就是要把设计的电路转换为图形描述格式。CMOS 模拟集成电路通常是以全定制方法进行手工的版图设计。在设计过程中需要考虑设计规则、匹配性、噪声、串扰、寄生效应等对电路性能和可制造性的影响。虽然现在出现了许多高级的全定制辅助设计方法,仍然无法保证手工设计对版图布局和各种效应的考虑全面性。

5. 版图物理验证

版图的设计是否满足晶圆代工厂的制造可靠性需求?从电路转换到版图是否引入了新的错误?物理验证阶段将通过设计规则检查(Design Rule Check, DRC)和版图网表与电路原理图的比对(Layout Versus Schematic, LVS)解决上述的两类验证问题。几何规则检查用于保证版图在工艺上的可实现性。它以给定的设计规则为标准,对最小线宽、最小图形间距、孔尺寸、栅和源漏区的最小交叠面积等工艺限制进行检查。版图网表与电路原理图的比对用来保证版图的设计与其电路设计的匹配。LVS 工具从版图中提取包含电气连接属性和尺寸大小的电路网表,然后与原理图得到的电路网表进行比较,检查两者是否一致。

6. 参数提取后仿真

在版图完成之前的电路模拟都是比较理想的仿真,不包含来自版图中的寄生参数,被称为“前仿真”;加入版图中的寄生信息进行的仿真被称为“后仿真”。CMOS 模拟集成电路相对数字集成电路来说对寄生参数更加敏感,前仿真的结果满足设计要求并不代表后仿真也能满足。在深亚微米阶段,寄生效应愈加明显,后仿真分析将显得尤为重要。与前仿真一样,当结果不满足要求时需要修改晶体管参数,甚至某些地方的结构。对于高性能的设计,这个过程是需要进行多次反复的,直至后仿真满足系统的设计要求为止。

7. 导出流片数据

通过后仿真后,设计的最后一步就是导出版图数据(GDSII)文件,将该文件提交给晶圆代工厂,就可以进行芯片的制造了。

1.3 CMOS 模拟集成电路 EDA 工具分类

从 1.2 节中可以知道在 CMOS 模拟集成电路设计中,电路设计及仿真模拟、版图实现、版图物理验证及参数提取后仿真是工程师需要完成的最重要的三个步骤。本节就依据该设计流程介绍目前广泛应用的几类 EDA 设计工具。

1. 电路设计及仿真模拟工具

电路设计及仿真模拟的传统工具主要有 Cadence 公司的 Spectre、SYNOPSYS 公司的 HSPICE 以及 Mentor 公司的 Eldo 三大类。此外基于上述工具,为了满足大规模、快速仿真的需求,三大公司又分别开发了相应的快速电路仿真工具,分别是 Cadence 公司的 Spectre Ultrasim、SYNOPSYS 公司的 HSIM 以及 Mentor 公司的 Premier。



(1) Spectre

Spectre 是美国 Cadence 公司开发的用于模拟集成电路、混合信号电路设计和仿真的 EDA 软件, 功能强大, 仿真功能多样, 包含有直流仿真 (DC Analysis)、瞬态仿真 (Transient Analysis)、交流小信号仿真 (AC Analysis)、零极点分析 (PZ Analysis)、噪声分析 (Noise Analysis)、周期稳定性分析 (Periodic Steady - state Analysis) 和蒙特卡罗分析 (MentoCarlo Analysis) 等, 并可对设计仿真结果进行成品率分析和优化, 大大提高了复杂集成电路的设计效率。尤其是其具有图形界面的电路图输入方式, 使其成为目前最为常用的 CMOS 模拟集成电路设计工具。

Cadence 公司还与全球各大半导体晶圆厂家合作建立了仿真工艺库文件 PDK (Process Design Kit), 设计者可以很方便地使用不同尺寸的 PDK 进行 CMOS 模拟集成电路设计和仿真。除了上述仿真功能外, Spectre 还提供了与其他 EDA 仿真工具 (如 SYNOPSIS 公司的 HSPICE、安捷伦公司的 ADS、Mathworks 公司的 MATLAB 等) 进行协同仿真, 再加上自带的丰富的元件应用模型库, 大大增加了模拟集成电路设计的便捷性、快速性和精确性。

(2) HSPICE

HSPICE 是原 Meta - Software (现属于 SYNOPSIS 公司) 研发的模拟及混合信号集成电路设计工具。与 Cadence 公司的 Spectre 图形界面输入不同, HSPICE 通过读取电路网表以及电路控制语句的方式进行仿真, 是目前公认仿真精度最高的模拟集成电路设计工具。

与 Spectre 类似, HSPICE 也包含有直流仿真、瞬态仿真、交流小信号仿真、零极点分析、噪声分析、傅里叶分析、最坏情况分析和蒙特卡罗分析等功能。早期的 HSPICE 存在电路规模较大或比较复杂时, 仿真矩阵不收敛的情况, 在被 SYNOPSIS 收购后, 通过多个版本的升级, 这个问题逐渐得到改善。到了 2007sp1 版本后, HSPICE 已经有了质的飞跃, 仿真收敛问题也基本得到解决。

(3) Eldo

Eldo 是 Mentor 公司开发的模拟集成电路 EDA 设计工具, Eldo 可以使用与 HSPICE 相同的命令行方式进行仿真, 也可以集成到电路图编辑工具环境中, 比如 Mentor 的 DA_ IC, 或者 Cadence 的 Spectre 中。Eldo 的输入文件格式可以是标准的 SPICE, 也可以是 HSPICE 的格式。

Eldo 通过基尔霍夫电流约束进行全局检查, 对收敛严格控制, 保证了与 HSPICE 相同的精度。且与早期的 HSPICE 相比, 仿真速度较快。在仿真收敛性方面, Eldo 采用分割概念, 在不收敛时对电路自动进行分割再组合, 更改了仿真矩阵, 使得电路收敛性大大提升。

Eldo 可以方便地嵌入到目前的其他的模拟集成电路设计环境中, 并可以扩展到混合仿真平台 ADMS, 进行数字、模拟混合仿真。Eldo 的输出文件可以被其他多种波形观察工具查看和计算, Eldo 本身提供的 Xelga 和 EZWave 更是功能齐全和强