

现代计算机科学与技术系列教材

计算机硬件 实验教程

邹惠 王建东 秦彭 编著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

现代计算机科学与技术系列教材
工业和信息产业科技与教育专著出版资金

计算机硬件实验教程

邹 惠 王建东 秦 彭 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书共9章,内容包括数字电路实验基础、门电路和组合逻辑电路、时序逻辑电路、数字逻辑综合课程设计、运算器实验、控制器的设计、存储部件实验、基本CPU设计、流水线CPU的设计等。附录A~C给出实验用芯片逻辑图与真值表、VHDL入门与典型程序、Quartus II安装及使用指南等。

本书内容丰富,描写细致,可作为计算机专业本科、专科院校硬件类课程的实验教材,也可以作为相关专业研究生或计算机技术人员的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

计算机硬件实验教程/邹惠,王建东,秦彭编著. —北京:电子工业出版社,2016.4

现代计算机科学与技术系列教材

ISBN 978-7-121-28322-2

I. ①计… II. ①邹… ②王… ③秦… III. ①硬件-实验-高等学校-教材 IV. ①TP303-33

中国版本图书馆CIP数据核字(2016)第050021号

策划编辑:袁 玺

责任编辑:郝黎明 特约编辑:张燕虹

印 刷:三河市双峰印刷装订有限公司

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本:787×1092 1/16 印张:15 字数:384千字

版 次:2016年4月第1版

印 次:2016年4月第1次印刷

定 价:32.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:192910558 (QQ群), yuanxi@phei.com.cn。

前 言

2009 年, 我校开展了计算机科学与技术专业的教学改革, 改革旨在夯实学生专业基础, 提高学生创新能力。经过 7 年的努力, 改革取得了明显效果。本书是根据教学改革经验, 参考国内外理论及实验教材编写而成的。本书内容包括: 数字电路实验基础、门电路和组合逻辑电路、时序逻辑电路、数字逻辑综合课程设计、运算器实验、控制器的设计、存储部件实验、基本 CPU 设计、流水线 CPU 的设计等。

本书依据循序渐进的原则, 在数字逻辑基本实验后增加了数字逻辑综合课程设计, 在完成计算机各部件实验之后, 又先后安排了基本 CPU 设计和流水线 CPU 的设计。附录 A ~ C 给出了实验用芯片逻辑图与真值表、VHDL 入门与典型程序、Quartus II 安装及使用指南等。

本书由邹惠、王建东、秦彭编著。第 1 章由秦彭编写, 第 2 ~ 8 章由邹惠编写, 第 9 章由王建东编写。

在本书的编写过程中, 得到了石家庄经济学院信息工程学院刘坤起教授的悉心指导。关文革教授、左瑞欣副教授也对本书的编写提出了许多宝贵的意见。在此, 对以上老师表示衷心的感谢。同时, 感谢各届学生对讲稿内容所提出的宝贵的反馈和改进意见。

本书有大量的算法语句、程序语句及计算公式, 对于其中的变量, 为了方便读者阅读, 避免歧义, 不再区分正、斜体, 而是统一采用正体, 特此说明。

本书可作为计算机有关专业硬件课程的实验教材及参考书。

限于编者水平, 时间仓促, 书中一定存在不少错误和疏漏, 恳请读者给予批评和指正。

作 者

目 录

第1章 数字电路实验基础	1
1.1 实验环节	1
1.1.1 实验预习	1
1.1.2 实验过程	1
1.1.3 实验中常见问题及解决	2
1.1.4 实验报告	4
1.2 实验器械	4
1.2.1 TDS-4 型数字系统综合实验平台简介	5
1.2.2 示波器简介	7
第2章 门电路和组合逻辑电路	9
2.1 门电路特性研究实验	9
2.1.1 实验目的	9
2.1.2 实验器件	9
2.1.3 实验要求	9
2.1.4 实验原理	10
2.1.5 实验预习	11
2.1.6 实验过程及结果分析	11
2.1.7 实验报告及思考题	12
2.1.8 扩展实验及思考	12
2.2 组合逻辑电路实验——译码器与编码器的设计	12
2.2.1 实验目的	13
2.2.2 实验要求	13
2.2.3 实验原理	13
2.2.4 实验预习	14
2.2.5 实验过程及结果分析	14
2.2.6 实验报告及思考题	15
2.2.7 扩展实验	15
2.3 组合逻辑电路实验——数据选择器的设计	15
2.3.1 实验目的	15
2.3.2 实验要求	15
2.3.3 实验原理	16
2.3.4 实验预习	16
2.3.5 实验过程及结果分析	16
2.3.6 实验报告及思考题	16

2.3.7 扩展实验	16
2.4 组合逻辑电路实验——运算部件的设计	16
2.4.1 实验目的	17
2.4.2 实验要求	17
2.4.3 实验原理	17
2.4.4 实验预习	19
2.4.5 实验过程及结果分析	19
2.4.6 实验报告及思考题	20
2.4.7 扩展实验	20
第3章 时序逻辑电路	21
3.1 触发器实验	21
3.1.1 实验目的	21
3.1.2 实验要求	21
3.1.3 基础知识	22
3.1.4 实验预习	24
3.1.5 实验过程及结果分析	24
3.1.6 实验报告及思考题	25
3.2 寄存器及寄存器组的设计	25
3.2.1 实验目的	25
3.2.2 实验要求	25
3.2.3 实验原理	25
3.2.4 实验预习	26
3.2.5 实验过程及结果分析	26
3.2.6 实验报告及思考题	26
3.2.7 扩展实验	26
3.3 计数器/定时器的设计	28
3.3.1 实验目的	28
3.3.2 实验要求	28
3.3.3 实验原理	29
3.3.4 实验预习	29
3.3.5 实验过程	30
3.3.6 实验报告及思考题	31
3.3.7 扩展实验	31
3.4 状态机实验	31
3.4.1 实验目的	32
3.4.2 实验要求	32
3.4.3 实验原理	32
3.4.4 实验预习	35
3.4.5 实验过程	36
3.4.6 实验报告与思考	36

3.4.7 扩展实验	36
第4章 数字逻辑综合课程设计	38
4.1 课程设计要求	38
4.1.1 课程设计内容	38
4.1.2 课程设计过程	39
4.2 课程设计举例	39
4.2.1 霓虹灯显示系统的设计	39
4.2.2 电梯模拟系统的设计	42
4.2.3 洗衣机控制系统的设计	44
4.2.4 超市自动存包系统的设计	44
4.2.5 汽车尾灯控制系统的设计	45
4.3 参考题目	45
第5章 运算器实验	46
5.1 算术逻辑运算单元 (ALU) 实验	46
5.1.1 实验目的	46
5.1.2 实验要求	46
5.1.3 实验原理	46
5.1.4 实验预习	48
5.1.5 实验过程及结果分析	48
5.1.6 实验报告及思考题	48
5.1.7 扩展实验及思考	49
5.2 运算器构成实验	50
5.2.1 实验目的	51
5.2.2 实验要求	51
5.2.3 实验原理	52
5.2.4 实验预习	52
5.2.5 实验过程及结果分析	53
5.2.6 实验报告及思考题	53
5.2.7 扩展实验	53
第6章 控制器的设计	54
6.1 组合逻辑控制器实验	54
6.1.1 实验目的	54
6.1.2 实验内容及要求	54
6.1.3 实验原理	58
6.1.4 实验预习	62
6.1.5 实验过程及结果分析	63
6.1.6 实验报告及思考题	63
6.1.7 扩展实验	63
6.2 微程序控制器实验	63

6.2.1	实验目的	63
6.2.2	实验要求	63
6.2.3	实验原理	64
6.2.4	实验预习	68
6.2.5	实验过程及结果分析	69
6.2.6	实验报告及思考题	69
第7章	存储部件实验	70
7.1	只读存储器 ROM 实验	70
7.1.1	实验目的	70
7.1.2	实验要求	70
7.1.3	实验原理	70
7.1.4	实验预习	71
7.1.5	实验过程及结果分析	71
7.1.6	实验报告及思考题	75
7.2	随机存取存储器 RAM 实验	75
7.2.1	实验目的	75
7.2.2	实验要求	76
7.2.3	实验原理	76
7.2.4	实验预习	76
7.2.5	实验过程及结果分析	77
7.2.6	实验报告及思考题	77
7.3	FIFO 定制与读/写实验	77
7.3.1	实验目的	77
7.3.2	实验要求	77
7.3.3	实验原理	77
7.3.4	实验预习	78
7.3.5	实验过程	78
7.3.6	实验报告及思考题	78
第8章	基本 CPU 设计	79
8.1	模型机的基本框架	79
8.2	CPU 的设计规范	81
8.2.1	CPU 设计步骤	81
8.2.2	指令系统设计	82
8.2.3	确定总体结构	84
8.2.4	设计状态转换图	85
8.2.5	形成控制逻辑及完成各部件连接	85
8.3	16 位单周期 CPU 设计	85
8.3.1	指令系统设计	85
8.3.2	确定总体结构	86
8.3.3	形成控制逻辑	91
8.4	16 位变长指令集的多周期 CPU 设计	97

8.4.1	指令系统设计	97
8.4.2	构建数据通路	98
8.4.3	设计状态转换图	107
8.4.4	形式控制逻辑	116
8.4.5	完成各部件的连接	117
8.5	精简指令集的多周期 CPU 设计	117
8.5.1	指令系统设计	117
8.5.2	数据通路设计	118
8.5.3	设计状态转换图	120
8.5.4	形成控制逻辑并完成部件连接	124
8.6	CPU 的测试及应用程序编写	124
8.6.1	CPU 的时序仿真与实现	124
8.6.2	应用程序设计	124
8.7	16 位 CPU 的设计与实现实验	124
8.7.1	实验目的	124
8.7.2	实验要求	125
8.7.3	实验原理	125
8.7.4	实验预习	125
8.7.5	实验过程	125
8.7.6	实验报告及思考题	125
第 9 章	流水线 CPU 的设计	126
9.1	经典的 5 段流水线	126
9.2	相关	128
9.2.1	数据相关	128
9.2.2	名相关	128
9.2.3	控制相关	129
9.3	流水线冲突	129
9.3.1	结构冲突	129
9.3.2	数据冲突	132
9.3.3	控制冲突	137
9.4	流水线的实现	141
9.4.1	基本数据通路	141
9.4.2	改进的数据通路	144
9.4.3	指令流程和微命令序列	160
9.4.4	形成控制逻辑	161
9.4.5	完成各部件的连接	161
附录 A	实验用芯片逻辑图与真值表	164
附录 B	VHDL 入门与典型程序	170
附录 C	Quartus II 安装及使用指南	209
参考文献		230

第1章

数字电路实验基础



数字电路实验是在学习“数字逻辑电路与数字系统”理论课的基础上,根据具体要求进行电路设计、安装(或编程、下载)与调试的过程,它是一门验证理论,巩固所学知识,提高运用知识能力和动手能力,具有较强实践性的课程。课程通过一部分验证性实验,让学生明确理论和实践的关系,通过部分创新性实验,让学生开动脑筋,联系实际,学会设计方法、设计过程。

▶▶ 1.1 实验环节

完成好一个实验,需要以实验目的为导向,明确实验内容,做好实验预习,把握实验过程,观察实验结果,撰写实验报告,认真进行实验总结。

本书中的每个实验都明确给出了实验目的和实验内容,每次实验之前应该仔细阅读。电路设计前要进行需求分析,这样才能保证少走弯路,并有所收获。

1.1.1 实验预习

根据实验内容,做好实验预习,不仅关系到实验能否顺利进行,而且直接影响到实验效果^[3]。书中涉及的实验包括少量的面包板连线实验和大量的 EDA 实验,这两种实验的基本步骤不同。面包板连线方式实验要经历逻辑设计、画电路图、选择芯片、连线、测试等基本步骤。EDA 实验通常按照总体设计、模块划分、子模块设计、编程、仿真、下载等步骤进行。实验预习要做好如下工作:

- (1) 充分理解实验相关的理论基础。
- (2) 明确实现方法,选择相关的软硬件工具。
- (3) 根据教师要求,完成相应设计,考虑实验中可能出现的问题,并思考解决方案。

1.1.2 实验过程

面包板连线方式实验要注意以下几点:

- (1) 连线时不要将电源极性接反。



- (2) 合理利用信号线的颜色。
 - (3) 测试发现错误不要盲目拆线,可参考 1.1.3 节检查故障原因。
- EDA 实验要注意以下几个方面:
- (1) 采用自顶向下的设计思路。
 - (2) 不要急于编程,设计比编程更重要。
 - (3) 仿真的数据要典型。
 - (4) 下载前要检查相应连线是否正确。

1.1.3 实验中常见问题及解决

在实验中,出现问题是难免的,根据现象(或提示)找到原因很重要。

1. 面包板连线实验

本书中涉及的面板实验都是组合逻辑电路实验,其可能出现的故障如下。

(1) 芯片发热。

出现问题的原因有两个:其一是电源极性接反,可将电路断电,检查电源极性;其二是芯片损坏,可换一片相同型号的芯片重新检测。

(2) 输出信号不随输入信号的改变而变。

① 连线原因。芯片的接地和接电源线接触不良。

② 芯片原因。芯片型号不对或某个芯片已损坏。

(3) 电路输出不正确。

① 设计原因。电路设计可能不正确。

② 连线原因。电路中的信号线可能接错,也可能信号线有断线或接触不良。

除了上面描述的故障原因外,还有一些故障是由于不能正确使用实验器械而引起的,故在实验前要熟悉实验器械(包括面包板和示波器等)。

2. EDA 实验故障

应用 EDA 技术,使用 CPLD 实现时,造成错误的主要原因如下。

(1) 设计错误。设计错误体现在下列几个方面:没有正确理解题目要求、考虑不够周全、模块划分不当、模块之间的关系不清晰等。

(2) EDA 错误。目前实验使用的是 EDA 软件 Quartus,通常采用的硬件描述有 VHDL、Verilog 等。

以 VHDL 语言为例,基本 VHDL 编程语法错误如下:

- ★ 丢失关键字、符号和端口设置。
- ★ 前后不能呼应,丢失结尾等,如 if 对应 end if。
- ★ 实体与保存名不一致,调用名与实际名不一致,前后应用名不一致。
- ★ 从其他机器或 U 盘转换到另台机器时,由于版本不一致,致使字符及符号出错。
- ★ 要求的数据位数与程序中数据位数不一致出错。
- ★ 多个源冲突。
- ★ 设置端口、信号及变量数据类型出错。
- ★ 调用的文件必须与主文件在同一个文件包内。



★ 对一些运算及类型转换，必须加载库。例如：

```
use ieee.std_logic_unsigned.all;
use ieee.std_logic_arith.all;
use ieee.numeric_std.all;
```

以下是常见错误及分析。

★ Error: Top - level design entity "XXX" is undefined.

错误原因：顶层实体没有定义。要把工程名和实体名设为同一个。

解决方法：执行 Assignments -> Settings 命令，打开后单击第一个 General 选项，在 Top - level entity 标签指示下的编辑框里输入 VHDL 文本里的实体名字。

★ Error: VHDL Interface Declaration error in ALU.vhd(75): interface object "f" of mode out cannot be read. Change object mode to buffer or inout.

错误原因：信号类型设置不对。

解决方法：out 改为 buffer 或 inout。

★ Error: Node instance "u2" instantiates undefined entity "reg1".

错误原因：① 引用了例化元件"reg1"，但低层并未定义这个实体；② 引用时，元件名 reg1 写错了。

解决方法：① 定义实体"reg1"；② 修改元件名。

★ Error: VHDL error at reg.vhd(39): actual port "dinput" of mode "out" cannot be associated with formal port "D" of mode "in".

错误原因：通常出现在层次化设计中，端口 dinput 的模式为输出，端口 D 的模式为输入，两者无法实现连接。可能是设计错误或者端口模式错误。

解决方法：检查端口模式是否误写，如果不存在误写，需要重新审查具体设计。

★ Error: VHDL error at a2for4.vhd(4): object "std_logic_vector" is used but not declared.

Error: VHDL error at a2for4.vhd(6): object "std_logic" is used but not declared.

错误原因：缺少程序包说明。

解决方法：可以考虑添加 "library ieee; use ieee.std_logic_1164.all;"

★ Error: VHDL error at ALU.vhd(45): can't determine definition of operator "+" -- found 0 possible definitions.

错误原因：无法确定操作符 "+" 的定义。

解决方法：可以考虑添加 "library ieee; use ieee.std_logic_unsigned.all;"

★ Error: VHDL error at regi.vhd(12): can't infer register for signal "qout[0]" because signal does not hold its value outside clock edge.

错误原因：信号无法在时钟边沿外赋值。不符合触发器的描述方式，现有综合工具支持不了这种特殊的触发器结构。在编程时，如果使用了 "if clk' event and clk = '1' then - else ..." 的结构，一般会出现这种错误提示。

解决方法：将上述 if 语句中的 else 删除。

★ Error: VHDL expression error at cpu_defs.vhd(16): expression has 4 elements, but must have 5 elements.

错误原因：必须要有 5 个元素，而语句中只有 4 个元素。



解决方法：语句中添加一个元素。

★ Error: VHDL syntax error at cpu_defs. vhd(6) near text "and" ; expecting an identifier ("and" is a reserved keyword), or a character.

错误原因：VHDL 中保留关键字不能作为标识符。

解决方法：重新命名相关的标识符。

★ Error: Ignored construct a at ALU. vhd(20) because of previous errors.

错误原因：前一个错误导致。

解决方法：修改前面的错误。

★ Error: VHDL error at cpu. vhd(133) : type of identifier "mar" does not agree with its usage as integer type.

错误原因：“mar” 的定义类型与使用的类型不一致。错误一般出现在赋值符左右两边类型不匹配的情况下。

解决方法：可以考虑类型转换或重新定义数据类型。

★ Error: Can't resolve multiple constant drivers for net "z" at ALU. vhd(27).

错误原因：对“z”进行了多次赋值。

出现问题是因为“无意的线或逻辑”（Unintentional Wired - OR logic），同一信号量（或变量）在两个进程或赋值语句中多次被赋值。

解决方法：在程序中查找是否存在两个进程或赋值语句中同一信号量（或变量）被多次赋值。

★ Error: Run Generate Functional Simulation Netlist (quartus_map ALU -- generate_functional_sim_netlist) to generate functional simulation netlist for top level entity "ALU" before running the Simulator (quartus_sim)

错误原因：仿真模式为功能仿真，但仿真前没有建立功能仿真的网表文件。

解决方法：先建立功能仿真的网表文件，再仿真。

(3) 测试不正确。下载到 CPLD 后，对实验结果进行测试。可能存在一些连接错误，如电源和接地端没有正确连接等。

1.1.4 实验报告

撰写实验报告不仅能总结实验内容，更能巩固和加深对理论知识的理解，还能培养学生的写作能力，提高分析和解决问题的能力。

所撰写的实验报告要求内容详实、条理清晰，图表工整。一般应包括如下内容：

(1) 实验内容及需求分析。

(2) 实验过程（包括设计、实现和测试）及各种图表。

(3) 实验分析及总结。包括实验进行是否顺利，说明实验过程中出现的问题、原因以及解决对策，或者实验失败的原因，本次实验的收获，以后应该注意的问题等。

1.2 实验器械

本书涉及的部分实验可以使用 TDS-4 型数字系统综合实验平台和示波器完成，也可以使用其他数字逻辑实验平台及设备完成。



1.2.1 TDS-4 型数字系统综合实验平台简介

TDS-4 型数字系统综合实验平台广泛应用于以集成电路为主要器件的数字逻辑实验中。平台由平台面板、内部电路及扩展模块组成。平台面板图如图 1-1 所示,它由上、中、下三个部分构成。

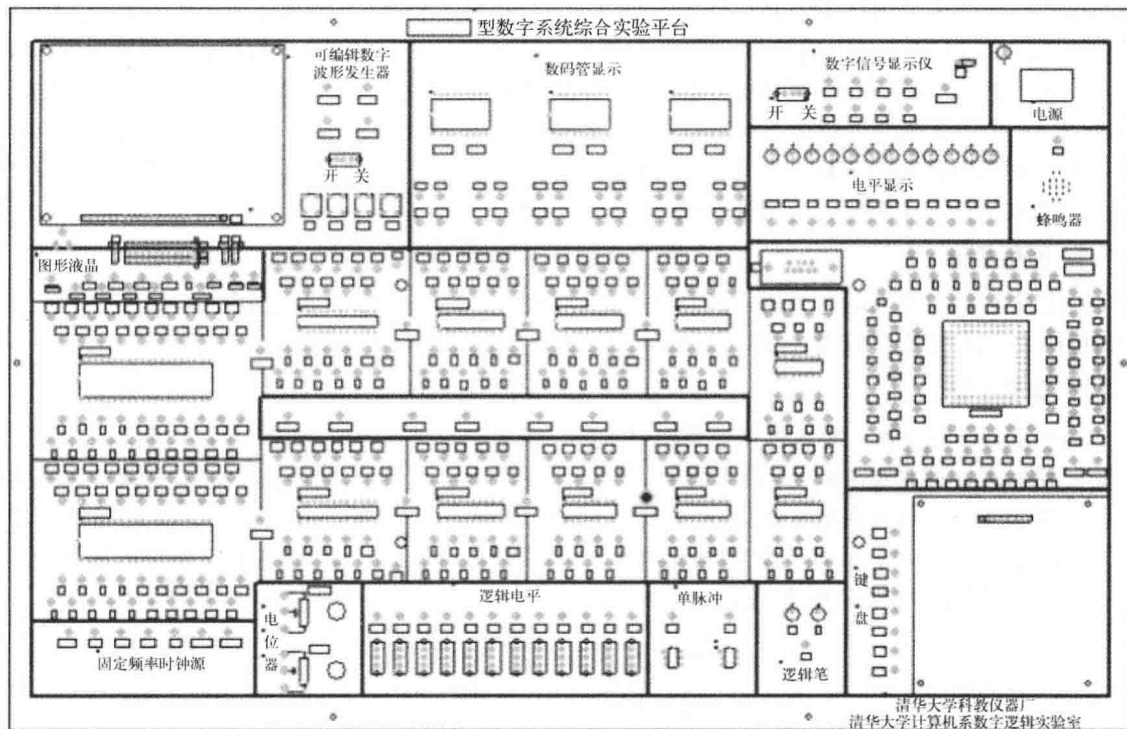


图 1-1 TDS-4 型数字系统综合实验平台面板图

1. 面板上部

面板上部由电源区、数字信号显示仪专用插座区、LED 指示灯区、数码管区、图形液晶区、可编辑数字波形发生器区组成。

- ★ 电源区: 由电源电路板、指示灯组成, 电源电路板置于平台下方, 电源开关接通后, 交流 220V 经过它转换成直流 +5V, 供实验平台使用。并装有自恢复保险器, 其抗短路能力强, 安全可靠。
- ★ 数字信号显示仪专用区: 内置一台数字信号显示仪, 8 路测试插孔, 通过专用电缆将 J2 插座与计算机串口相连, 可进行测试。这是该平台特色之一。
- ★ LED 指示灯区: 由红、绿、黄三色发光二极管组成, 每 4 个采用一种颜色, 共 12 个。可显示逻辑电平的高低, 输入插孔接高电平时, 发光二极管亮为逻辑电平“H”, 输入插孔接低电平时, 发光二极管灭为逻辑电平“L”。12 个发光二极管由非门驱动。
- ★ 数码管区: 由 3 组 6 个共阳极数码管、专用插孔、驱动电路组成。每个数码管由一片 BCD 七段译码器/驱动器 74LS47 驱动。只需在各数码管的 4 个输入插孔输入 BCD 码, 数



码管就显示出相应数字。DCBA 4 个插孔由高到低。

★ 可编辑数字波形发生器区：该区由图形液晶，调光电位器，连接插座，4 个控制按钮、4 路输出插孔 CK0、CK1、CK2、CK3 和内置的单片机及控制电路组成，为用户提供多种选择。

★ 图形液晶区：用户可自行对该图形液晶进行编程。

在本实验系统中， Δ MGLS-12864 点阵图形液晶显示器具有两个功能。一是当用于可编辑数字波形发生器时，须将 J4、J5、J6 插座的 1、2 用短路子相连；J7、J8、用短路子对应相连即 J7 的 1 与 J8 的 1 相连，J7 的 2 与 J8 的 2 相连，以此类推。二是当用户自行应用图形液晶时，须将 J4、J5、J6 插座的 2、3 用短路子相连；J8、J9 用短路子对应相连即 J8 的 1 与 J9 的 1 相连，J8 的 2 与 J9 的 2 相连，以此类推。

★ 小喇叭电路：向“In”插孔输入不同频率的数字信号，通过驱动三极管的基极控制喇叭按希望的频率鸣叫，可做报警或电子琴输出用。

2. 面板中部

面板中部是实验区即通用插座区：包括 2 个 DIP40、2 个 DIP24、3 个 DIP20、3 个 DIP16、2 个 DIP14 的圆孔插座，以及 ALTERA 的 EPM7128 可编程 CPLD 器件专用区。

3. 面板下部

面板下部由键盘区、单脉冲区、逻辑电平区、固定频率时钟源区、电位器区构成。

★ 键盘区：键盘是 4×4 电容式键盘，如图 1-2 所示，引出了 4 根行线（X1~X4），4 根列线（Y1~Y4）。在每一条行线与列线的交叉点接有一个按键，16 个按键的编号为 K0~KF（即 K0~K15），当某一个按键闭合时，与该键相连的行线与列线接通。使用时根据实验需要可用单片机或 GAL 控制。

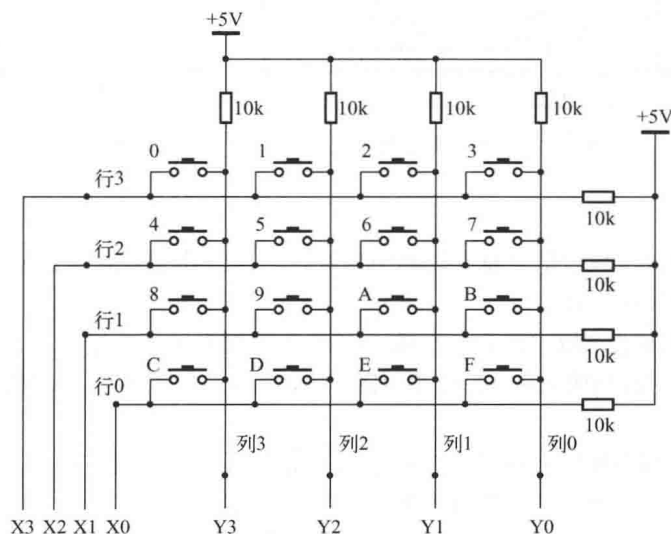


图 1-2 4×4 电容式键盘结构图

★ 单脉冲区：单脉冲信号是数字电路实验中需用的时钟信号，由 P1、P2 两路组成，每按一次按钮，对应插孔就产生一个单脉冲。单脉冲电路由 RS 触发器构成，可消除抖动。



- ★ 逻辑电平区：由 K0 ~ K11 共 12 个拨动开关组成。提供逻辑电平，向上为逻辑电平“H”，向下为逻辑电平“L”。拨动开关的接电源端串接了 $2\text{k}\Omega$ 的电阻。
- ★ 固定频率时钟源区：可输出 12 MHz、6 MHz、3 MHz、2 MHz、1 MHz、500 kHz、100 kHz 共 7 种频率的方波。由 12 MHz 晶振产生脉冲信号通过编写可编程器件 GAL16V8 产生所需的 6 种不同频率的方波。
- ★ 电位器区：有两个电位器，一个是 $10\text{k}\Omega$ ，另一个是 $4.7\text{k}\Omega$ 。两个电位器的三端分别接到相应的插孔上，供使用。

1.2.2 示波器简介

实验用示波器的面板如图 1-3 所示，其左侧包括如下部件。

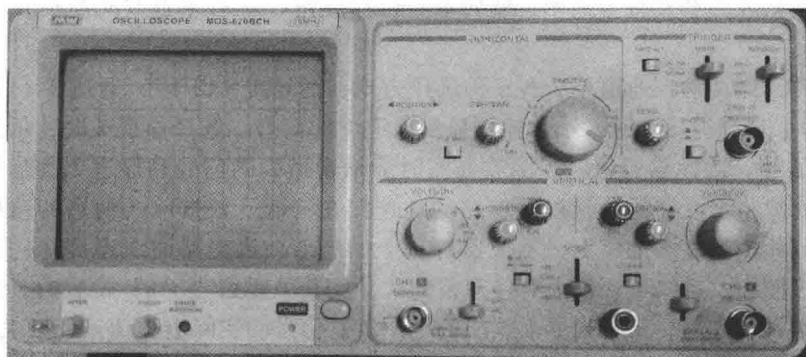


图 1-3 实验用示波器的面板

- ★ 荧光屏。荧光屏是示波器的显示部分。屏上水平方向和垂直方向各有多条刻度线，指示出信号波形的电压和时间之间的关系。水平方向指示时间，垂直方向指示电压。水平方向分为 10 格，垂直方向分为 8 格，每格又分为 5 份。垂直方向标有 0%、10%、90%、100% 等标志，供测直流电平、交流信号幅度、延迟时间等参数使用。根据被测信号在屏幕上占的格数乘以适当的比例常数（V/DIV，TIME/DIV）能得出电压值与时间值。
- ★ 电源。当按下此开关时，电源指示灯亮，表示电源接通。
- ★ 灰度（Intensity）。旋转此旋钮能改变光点和扫描线的亮度。观察低频信号时可小些，高频信号时大些。一般不应太亮，以保护荧光屏。
- ★ 聚集（Focus）。聚集旋钮调节电子束截面大小，将扫描线聚集成最清晰状态。
- ★ 标准信号源（CAL）。提供标准时钟信号，用于校准示波器的时基和垂直偏转因数。

示波器右侧有如下主要部件：

- ★ 垂直偏转因数选择（VOLTS/DIV）。在单位输入信号作用下，光点在屏幕上偏移的距离称为偏移灵敏度，这一定义对 X 轴和 Y 轴都适用。灵敏度的倒数称为偏转因数。垂直灵敏度的单位是 cm/V 、 cm/mV 或者 DIV/mV 、 DIV/V 、垂直偏转因数的单位是 V/cm 、 mV/cm 或者 V/DIV 、 mV/DIV 。实际上，因习惯用法和测量电压读数的方便，有时也把偏转因数作为灵敏度。

示波器的每个通道各有一个垂直偏转因数选择波段开关。一般按 1、2、5 方式从 5mV/



DIV 到 5V/DIV 分为 10 挡。波段开关指示的值代表荧光屏上垂直方向一格的电压值。例如, 波段开关置于 1V/DIV 挡时, 如果屏幕信号光点移动一格, 则代表输入电压信号变化 1V。

- ★ 时基选择 (TIME/DIV)。时基选择的使用方法与垂直偏转因数选择类似。时基选择也通过一个波段开关实现, 按 1、2、5 方式把时基分为若干挡。波段开关的指示值代表光点在水平方向移动一个格的时间值。例如, 在 $1\mu\text{s}/\text{DIV}$ 挡, 光点在屏上移动一格代表时间值 $1\mu\text{s}$ 。
- ★ $\times 10\text{mag}$ (扩展) 按钮。通常, $\times 10$ 扩展即水平灵敏度扩大 10 倍, 时基缩小到 $1/10$ 。例如, 在 $2\mu\text{s}/\text{DIV}$ 挡, 扫描扩展状态下, 荧光屏上水平一格代表的时间值等于 $2\mu\text{s} \times (1/10) = 0.2\mu\text{s}$ 。
- ★ 位移 (Position) 旋钮。调节信号波形在荧光屏上的位置。旋转水平位移旋钮 (标有水平双向箭头) 左右移动信号波形, 旋转垂直位移旋钮 (标有垂直双向箭头) 上下移动信号波形。
- ★ 输入通道选择。输入通道至少有三种选择方式: 通道 1 (CH1)、通道 2 (CH2)、双通道 (DUAL)。选择通道 1 时, 示波器仅显示通道 1 的信号。选择通道 2 时, 示波器仅显示通道 2 的信号。选择双通道时, 示波器同时显示通道 1 的信号和通道 2 的信号。测试信号时, 首先要将示波器的地与被测电路的地连接在一起。根据输入通道的选择, 将示波器探头插到相应通道的插座上, 示波器探头上的地与被测电路的地连接在一起, 示波器探头接触被测点。示波器探头上有一双位开关。此开关拨到 “ $\times 1$ ” 位置时, 被测信号无衰减地被送到示波器, 从荧光屏上读出的电压值是信号的实际电压值。此开关拨到 “ $\times 10$ ” 位置时, 被测信号衰减为 $1/10$, 然后送往示波器, 从荧光屏上读出的电压值乘以 10 才是信号的实际电压值。
- ★ 输入耦合方式。输入耦合方式有三种: 交流 (AC)、地 (GND)、直流 (DC)。当选择 “地” 时, 扫描线显示出 “示波器地” 在荧光屏上的位置。直流耦合用于测定信号直流绝对值和观察极低频信号。交流耦合用于观测交流和含有直流成分的交流信号。在数字电路实验中, 一般选择 “直流” 方式, 以便观测信号的绝对电压值。