

电子工程师
成长之路

Cadence

高速电路板设计与实践 (第2版)

◎ 周润景 张 晨 编著



 中国工信出版集团

 电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

Cadence 高速电路板设计与实践

(第2版)

周润景 张 晨 编著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书以 Cadence Allegro SPB 16.6 软件为基础,从设计实践的角度出发,以具体电路为范例,以 PCB 设计流程为顺序,由浅入深地介绍元器件建库、原理图设计、信号完整性设计、布局、布线、规则设置、后处理等 PCB 设计的全过程。本书主要内容包括原理图输入、元器件数据集成管理环境的使用、PCB 信号完整性设计基础知识、PCB 设计,以及后期电路设计处理需要掌握的各项技能等。无论是前端开发(原理图设计),还是 PCB 设计、PCB 布线实体的架构,本书都有全面详细的讲解,极具参考和学习价值。为便于读者阅读、学习,特提供本书范例的下载资源,请访问 <http://yydz.phei.com.cn> 网站,到“资源下载”栏目下载。

本书适合从事 PCB 设计工作的工程技术人员阅读使用,也可作为高等学校电子及相关专业的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Cadence 高速电路板设计与实践/周润景,张晨编著. —2 版. —北京:电子工业出版社,2016.9

(电子工程师成长之路)

ISBN 978-7-121-29858-5

I. ①C… II. ①周… ②张… III. ①印刷电路-计算机辅助设计 IV. ①TN410.2

中国版本图书馆 CIP 数据核字(2016)第 211995 号

责任编辑:张 剑 (zhang@phei.com.cn)

印 刷:三河市良远印务有限公司

装 订:三河市良远印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:22.25 字数:570 千字

版 次:2013 年 1 月第 1 版

2016 年 9 月第 2 版

印 次:2016 年 9 月第 1 次印刷

印 数:3 000 册 定价:59.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至 zlt@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:zhang@phei.com.cn。

前 言

在各种电子设计工具中，Cadence 具有集仿真、设计、分析于一体的架构，充分考虑了如今电子设计团队合作的方式，有非常完善的团队组织与分工模块，并且在每个模块、工具的衔接上都做得非常完善、到位。对于有一定电子设计基础的设计师来说，Cadence 可谓是设计工作的最优之选。

Cadence 最新的 PCB 设计解决方案 OrCAD 16.6 提供了许多新的性能，增强了设计定制能力，并进行了重大的性能改善，从而帮助设计师在更短的设计周期内，以更可控的方式完成产品的设计。OrCAD 16.6 实现了一项重大技术突破，即支持设计师从原理图设计阶段开始实现全流程的信号完整性仿真分析。这样的设计流程实现了高度自动化，改善了仿真的易学性和易用性。此外，该设计流程可以有效提高设计分析的效率，尤其对高速数字电路的设计与仿真来说更为突出。

OrCAD 16.6 PCB 设计解决方案增强了用户定制功能，模拟性能提高了 20%，使用户可以更快、更有预见性地创建产品。同时，新型信号集成流引入了更高层次的自动化水平，使得快速设计所需要的预布线拓扑、约束开发和发展的性能导向数字电路模拟具有了更好的可用性和生产率。

OrCAD 16.6 PSpice 通过改善模拟集合和平均提高 20% 的模拟速度，提高了用户的生产效率；通过引入多核模拟支持系统，包括大型设计、MOSFETs 和 BJTs 等复杂模型支配的设计，使设计性能得到显著提高。

OrCAD 16.6 版本的新型扩展信号集成流提供了 OrCAD Capture 和 OrCAD PCB SI 产品之间的无缝双向界面。这种新型集成实现了简化预布线拓扑、约束开发的自动化和全面的设计方法，提高生产效率约 100%。OrCAD 16.6 同时还扩展了 Tcl 编程功能和 OrCAD Capture 到 PSpice 的应用方法。因此，用户可以在标准的“即取即用”解决方案所能提供的范围外扩展和定制其模拟数据和环境。通过 Tcl 调用模拟数据和环境，用户可以利用自定义等方式和方程式来定制允许任何参数、map 用户参数或 PSpice 程序的模拟。

Cadence 有非常强大的功能，但限于篇幅无法全面介绍，不过本书还是在一个四层板例程的基础上对 PCB 设计的基础流程做了相对比较详细的讲解和介绍。

本书由周润景、张晨编著，其中张晨编写了第 5 章和第 6 章，其余章节由周润景编写。全书由周润景教授统稿。参加本书编写的还有姜攀、托亚、王洪艳、张龙龙、刘晓霞、姜晓黎、何茹、蒋诗俊、贾雯、张红敏、张丽敏、周敬和宋志清。

由于作者水平有限，书中不妥之处敬请广大读者批评指正。

编者著

目 录

第 1 章 Cadence Allegro SPB 16.6 简介	1
1.1 概述	1
1.2 功能特点	1
1.3 设计流程	3
第 2 章 Capture 原理图设计工作平台	5
2.1 Design Entry CIS 软件功能介绍	5
2.2 原理图工作环境	5
2.3 设置图纸参数	6
2.4 设置打印属性	10
第 3 章 制作元器件及创建元器件库	12
3.1 OrCAD \ Capture 元器件类型与元器件库	12
3.2 创建新工程	13
3.3 创建复合封装元器件	25
3.4 创建其他元器件	26
习题	27
第 4 章 创建新设计	28
4.1 原理图设计规范	28
4.2 Capture 基本名词术语	28
4.3 放置元器件	30
4.4 创建分级模块	37
4.5 修改元器件序号与元器件值	46
4.6 连接电路图	46
4.7 添加网络组	50
4.8 标题栏的处理	54
4.9 添加文本和图像	54
4.10 CIS 抓取网络元器件	55
习题	57
第 5 章 PCB 设计预处理	58
5.1 编辑元器件的属性	58
5.2 Capture 到 Allegro PCB Editor 的信号属性分配	67
5.3 建立差分对	71
5.4 Capture 中总线 (Bus) 的应用	72
5.5 元器件的自动对齐与排列	78
5.6 原理图绘制后续处理	81

5.6.1	设计规则检查	81
5.6.2	回注 (Back Annotation)	86
5.6.3	自动更新元器件或网络的属性	87
5.6.4	生成网络表	88
5.6.5	生成元器件清单和交互参考表	90
5.6.6	元器件属性参数的输出与输入	92
	习题	94
第6章	Allegro 的属性设置	95
6.1	Allegro 的界面介绍	95
6.2	设置工具栏	100
6.3	定制 Allegro 环境	101
6.4	定义和运行脚本	110
6.5	属性参数的输入与输出	114
	习题	115
第7章	焊盘制作	116
7.1	基本概念	116
7.2	热风焊盘的制作	118
7.3	贯通孔焊盘的制作	121
7.4	贴片焊盘的制作	126
第8章	元器件封装的制作	129
8.1	封装符号基本类型	129
8.2	集成电路封装的制作	130
8.3	连接器 (IO) 封装的制作	139
8.4	分立元器件 (DISCRETE) 封装的制作	145
8.4.1	贴片式分立元器件封装的制作	145
8.4.2	直插式分立元器件封装的制作	148
8.4.3	自定义焊盘封装制作	150
8.4.4	使用合并 Shape 创建组合几何图形	155
	习题	156
第9章	PCB 的建立	157
9.1	建立 PCB	157
9.1.1	使用 PCB 向导 (Board Wizard) 建立 4 层 PCB	157
9.1.2	建立 PCB 机械符号	160
9.2	建立 Demo 设计文件	168
9.3	输入网络表	175
	习题	178
第10章	PCB 设计基础	179
10.1	PCB 相关问题	179
10.2	地平面与地跳跃	182
10.3	PCB 的电气特性	184

10.4	PCB 布局/布线注意事项	188
10.4.1	元器件的布局	188
10.4.2	PCB 叠层设置	191
10.4.3	线宽和线间距	193
第 11 章	设置设计约束	195
11.1	间距约束设置	195
11.2	物理规则设置	198
11.3	设定设计约束 (Design Constraints)	201
11.4	设置元器件/网络属性	202
	习题	208
第 12 章	布局	209
12.1	规划 PCB	210
12.2	手工摆放元器件	213
12.3	按 Room 快速摆放元器件	217
12.4	原理图与 Allegro 交互摆放	220
12.5	交换	223
12.6	排列对齐元器件	228
12.7	使用 PCB Router 自动布局	229
	习题	232
第 13 章	敷铜	233
13.1	基本概念	233
13.2	为平面层建立形状 (Shape)	235
13.3	分割平面	236
13.4	分割复杂平面	246
	习题	248
第 14 章	布线	249
14.1	布线的基本原则	249
14.2	布线的相关命令	250
14.3	定义布线的格点	250
14.4	手工布线	252
14.5	扇出 (Fanout By Pick)	256
14.6	群组布线	257
14.7	自动布线的准备工作	260
14.8	自动布线	263
14.9	控制并编辑线	269
14.9.1	控制线的长度	269
14.9.2	差分布线	274
14.9.3	添加 T 点	281
14.9.4	45°角布线调整 (Miter By Pick)	284
14.9.5	改善布线的连接	286

14.10 优化布线 (Gloss)	290
习题	295
第 15 章 后处理	296
15.1 重新命名元器件序号	296
15.2 回注 (Back Annotation)	299
15.3 文字面调整	300
15.4 建立丝印层	302
15.5 建立孔位图	304
15.6 建立钻孔文件	305
15.7 建立 Artwork 文件	307
15.8 输出底片文件	317
15.9 浏览 Gerber 文件	318
习题	320
第 16 章 Allegro 其他高级功能	321
16.1 设置过孔的焊盘	321
16.2 更新元器件封装符号	323
16.3 Net 和 Xnet	324
16.4 技术文件的处理	325
16.5 设计重用	330
16.6 DFA 检查	336
16.7 修改 env 文件	337
习题	338
附录 A 使用 LP Wizard 自动生成元器件封装	339
A.1 制作 QFN 封装	339
A.2 制作 BGA 封装	342

第1章 Cadence Allegro SPB 16.6 简介



1.1 概述

Cadence 新一代的 Allegro SPB 16.6 系统互连设计平台优化并加速了高性能、高密度的互连设计，建立了从 IC 制造、封装和 PCB 设计的一整套完整的设计流程。Cadence Allegro 提供了新一代的协同设计方法，以便建立跨越整个设计链（包括 I/O 缓冲区、IC、封装及 PCB 设计人员）的合作关系。Cadence 公司著名的软件包括 Cadence Allegro、Cadence LDV、Cadence IC 5.0、Cadence OrCAD 和 Cadence PSpice 等。

功能强大的布局/布线设计工具 Allegro PCB 是业界领先的 PCB 设计系统。Allegro PCB 是一个交互的环境，适于建立和编辑复杂的多层 PCB。Allegro PCB 的丰富功能可以满足当今世界 PCB 设计和制造的需求。利用 Cadence Allegro 平台可以协同设计出高性能的集成电路，并实现封装与 PCB 的链接，从而降低成本并加快产品上市时间。

Cadence Allegro 系统互连平台能够实现跨集成电路、封装和 PCB 的协同设计。应用平台协同设计方法，工程师可以迅速优化 I/O 缓冲器之间，或者集成电路、封装和 PCB 之间的系统互连，从而避免硬件设计返工，并降低硬件成本，缩短设计周期。约束驱动的 Allegro 流程可用于设计捕捉、信号完整性和物理实现。由于得到了 Cadence Encounter 与 Virtuoso 平台的支持，Allegro 协同设计方法使高效的设计链协同成为现实。

系统互连指的是一个信号的逻辑、物理和电气连接，也包括相应的回路和功率配送系统。目前，集成电路与系统研发团队在设计高速系统互连时面临着前所未有的挑战。由于集成电路的集成度不断提高，芯片的 I/O 和封装引脚数量也在迅速增加；千兆赫兹速度的数据传输速率也导致极高速的 PCB 与系统的需求增加；由于平均的 PCB 尺寸不断缩小，功率配送要求也随着芯片晶体管数目的攀升不断提高。



1.2 功能特点

Cadence 公司的 Allegro SPB 16.6 软件针对 PCB 板级的电路系统设计流程（包括原理图输入，数字、模拟及混合电路仿真，FPGA 可编程逻辑器件设计，自动布局、布线，PCB 版图及生产制造数据输出，以及针对高速 PCB 的信号完整性分析与电源完整性分析等）提供了完整的输入、分析、版图编辑和制造的全线 EDA 辅助设计工具。

整个 Allegro SPB 16.6 软件系统主要分以下 25 个功能模块。

【Allegro PCB Planner】 这是一款可以为网络和元器件高效地添加约束规则的 PCB 设计工具。设计者可以通过热分析、SI/PI 工具为元器件和网络添加约束规则。当与设计创作工

具同时使用时,它可以让设计者在设计数据库中描述约束的设计意图。它还具有布线规划与 PCB 数据的编辑、查看能力,使设计者可以轻松、快速地对不同布局策略的效果做出评估。

【Cadence Help】 Cadence 的帮助工具,对 Cadence 的各个部分都有详细的讲解。

【Design Entry CIS】 它是世界上领先的在 Windows 操作系统上实现的原理图输入解决方案,直观、简单易用且具有先进的部件搜索机制,是迅速完成设计捕捉的工具。Design Entry CIS 对应于以前版本的 Capture 和 Capture CIS,是 Cadence 公司收购原 OrCAD 公司的产品,它是国际上通用、标准的原理图输入工具,设计快捷方便,图形美观,与 Allegro 实现了无缝链接。

【Design Entry HDL Rules Checker】 Design Entry HDL 的规则检查工具。

【Design Entry HDL】 Design Entry HDL 提供了一个原理图输入和分析环境,其功能与扩展模拟(数字电路和模拟电路),以及 PCB 版图设计解决方案集成在一起,可作为所有与系统和高速设计流程相关的 CAE 要求的任务中心。原理图设计方法已经通过若干提高生产效率的措施得以简化,而 Design Entry HDL 使得设计的每个阶段实现流水线化。

【FPGA System Planner】 这是 FPGA 系统设计平台,它提供了一套完整的、可扩展的 FPGA-PCB 协同式设计解决方案,可用于板级 FPGA 设计,能够自动对引脚配置进行“芯片规则算法”的综合优化。它取代了易出错的手动引脚配置方式,以独特的布局解决方案减少不必要的设计迭代,节省了创建最优化引脚配置方案的时间,从而提高设计效率。

【Library Explorer】 这是进行数字设计库管理的软件,可以调用 Design Entry HDL、PCB Librarian、PCB Designer、Allegro System Architect 等工具建立的元器件符号和模型。

【License Client Configuration Utility】 Cadence 证书和证书服务的检查工具。

【OrCAD Capture CIS】 它集成了强大的原理图设计功能,其主要特点是具有快捷的元器件信息管理系统(CIS),并具有通用 PCB 设计入口。扩展的 CIS 功能可以方便地访问本地元器件优选数据库和元器件信息。通过减少重新搜索元器件信息或重复建库,手动输入元器件信息,维护元器件数据的时间,从而可以提高设计效率。

【OrCAD Capture】 OrCAD Capture 是一款多功能的原理图输入工具。OrCAD Capture 提供了完整的、可调整的原理图设计方法,能够有效应用于电子线路的设计创建、管理和重用。将 OrCAD Capture 与 OrCAD PCB Editor 进行无缝数据链接,可以轻松实现物理 PCB 的设计;与 Cadence PSpice A/D 高度集成,可以实现电路的数模混合信号仿真。

【Package Designer】 这是一款芯片和封装的设计分析软件。它把芯片级的 I/O 可行性和规划功能与业界领先的集成电路封装设计工具组合到一起,形成了一个强大的协同设计工具。该产品家族包括一个嵌入式、经过验证的 3D 场计算器,允许工程师在电气与物理设计要求之间做出折中选择,以满足成本和性能目标。

【PCB Editor】 这是一个完整的高性能 PCB 设计软件。通过顶尖的技术,为创建和编辑复杂、多层、高速、高密度的 PCB 设计提供了一个交互式、约束驱动的设计环境。它允许设计者在设计过程的任意阶段定义、管理和验证关键的高速信号,并能抓住最关键的设计问题。

【PCB Router】 CCT 布线器。

【PCB SI】 提供了一个集成的高速设计与分析环境。它能流水线化完成高速数字 PCB 系统和高级集成电路封装设计,方便电气工程师在设计周期的所有阶段探究、优化和解决与电气性能相关的问题。约束驱动的设计流程提高了设计的首次成功概率,并降低产品的整体成本。

【Physical Viewer】Allegro 浏览器模块。

【Project Manager】Cadence 的项目管理器，用于 Cadence 中项目和元器件库的交互和管理，提供树形图的交互方式。

【Pspice AD】模拟和模拟/数字混合信号仿真器，为用户提供一整套完整的电路仿真、验证解决方案。

【PSpice Advanced Analysis】PSpice 的高级仿真工具。它融合了很多技术，用于改善设计性能，提高成本效益和可靠性。这些技术包含信号灵敏度、多引擎的优化器、应力分析和蒙特卡罗分析。

【Cadence SiP Digital Architect】利用互连管理与驱动协同设计方法论，为设计的早期探索、评估与权衡提供一个横跨芯片抽象、封装衬底和 PCB 系统间的 SiP 概念原型环境。SiP Digital Architect 可以为架构工程师提供独特的环境来浏览和定义系统连接关系与功能，同步协同设计可以在 IC、SiP 封装衬底及目标 PCB 系统间进行优化。工程人员可以进行快速的“假设”可行性研究，以确保最大化的器件功能密度性能，同时使功耗最小化。它具有交叉结构工程变更单（ECO）和版图原理图对比确认，完全支持 IC 驱动或封装/PCB 衬底驱动的设计流程。

【SIP (System - In - Package)】系统级封装设计工具。

【System Architect】复杂、高速 PCB 设计工具，具有传统原理图、HDL 语言和电子数据表三种设计输入方式。

【AMS Simulator】工业标准的模拟、数字及模拟/数字混合信号仿真系统，具有仿真速度快、精度高、功能强大等特点。仿真库内所含元器件种类丰富、数量众多。

【PCB Editor Utilities】包含 Pad Designer、DB Doctor 和 Batch DRC 等工具。

【PCB SI Utilities】PCB 信号完整性分析实用工具。

【Pspice Accessories】PSpice 相关附件工具。



1.3 设计流程

整个 PCB 的设计流程可分为如下 3 个主要部分。

1. 前处理

此部分主要是开始 PCB 设计前的准备工作。

1) 原理图的设计 设计者根据设计要求用 Capture 软件绘制电路原理图。

2) 创建网络表 绘制好的原理图经检查无误后，可以生成送往 Allegro 的网络表。网络表文件包含 3 个部分，即 pstxnet. dat、pstxprt. dat 和 pstchip. dat。

3) 建立元器件封装库 在创建网络表前，每个元器件都必须有封装。由于实际元器件的封装是多种多样的，如果元器件的封装库中没有所需的封装，就必须自己动手创建元器件封装，并将其存放在指定目录下。

4) 创建机械设计图 设置 PCB 外框及高度限制等相关信息，产生新的机械图文件（Mechanical Drawing），并将其并存储到指定目录下。

2. 中处理

此部分是整个 PCB 设计中最重要的一部分。

- 1) **读取原理图的网络表** 将创建好的网络表导入 Allegro 软件, 取得元器件的相关信息。
- 2) **摆放机械图和元器件** 首先摆放创建好的机械图, 其次摆放比较重要的或较大的元器件 (如 I/O 端口器件、集成电路), 最后摆放小型的元器件 (如电阻、电容等)。
- 3) **设置 PCB 的层面** 对于多层的 PCB, 需要添加 PCB 的层面, 如添加 VCC 层、GND 层等。
- 4) **进行布线 (手工布线和自动布线)** 手工布线可以考虑到整个 PCB 的布局, 使布线最优化, 但其缺点是布线时间较长; 自动布线可以使布线速度加快, 但会使用较多的过孔。有时自动布线的路径不一定是最佳的, 故经常需要将这两种方法结合起来使用。
- 5) **放置测试点** 放置测试点的目的是检查该 PCB 能否正常工作。

3. 后处理

此部分是输出 PCB 前的最后的工作。

- 1) **文字面处理** 为了使绘制的电路图清晰、易懂, 需要对整个电路图的元器件序号进行重新排列, 并利用回注 (Back Annotation) 命令, 使修改的元器件序号在原理图中也得到更新。
- 2) **底片处理** 设计者必须设定每一张底片是由哪些设计层面组合而成的, 再将底片的内容输出至文件, 然后再将这些文件送至 PCB 生产车间去制作 PCB。
- 3) **报表处理** 产生该 PCB 的相关报表, 以提供给后续的工厂工作人员必要的信息。常用的报表有元器件报表 (Bill of Material Report)、元器件坐标报表 (Component Location Report)、信号线接点报表 (Net List Report)、测试点报表 (Testpin Report) 等。

第2章 Capture 原理图设计工作平台



2.1 Design Entry CIS 软件功能介绍

Design Entry CIS 软件的功能如图 2-1-1 所示。

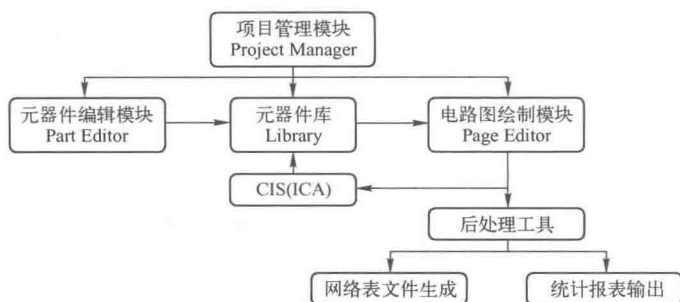


图 2-1-1 Design Entry CIS 软件的功能

1) 项目管理模块 (**Project Manager**) Capture CIS 对电路设计实行项目管理。Project Manager 既管理电路图的绘制，也协调处理电路图与其他软件之间的接口和数据交换，并管理各种资源和文件。

2) 元器件编辑模块 (**Part Editor**) Capture CIS 软件包提供的元器件库包含数万种元器件符号，供绘制电路图时调用。软件中还包含元器件编辑模块 (Part Editor)，用于修改库中的元器件或添加新的元器件符号。

3) 电路图绘制模块 (**Page Editor**) 在 Page Editor 中可以绘制各种电路的原理图。

4) 元器件信息系统 (**Component Information System, CIS**) 该模块不仅可以对元器件和元器件库实施高效管理，还可以通过互联网元器件助理 (Internet Component Assistant, ICA)，从指定网站提供的元器件数据库中查阅近百万种元器件，并根据需要将其添加到电路设计中或添加到软件包的库里。

【注意】 Capture 和 Capture CIS 的区别在于 Capture 软件包中没有 CIS 模块。

5) 电路设计的后处理工具 (**Processing Tools**) 对编辑好的电路图，Capture CIS 还提供一些后处理工具，如对元器件进行自动编号，设计规则检查，输出各种统计报告，以及生成网络表文件等。



2.2 原理图工作环境

在程序文件夹中执行菜单命令 “Release 16.6” → “Design Entry CIS”，打开 “Cadence

Product Choices”对话框，选择“OrCAD Capture CIS”，如图2-2-1所示。单击“OK”按钮，进入“OrCAD Capture CIS”主界面，如图2-2-2所示。其中，各个工具栏可通过菜单命令“View”→“Toolbar”来设置。注意，在Cadence中每种工具只有在选择了相应的项目或窗口时才会被使能。

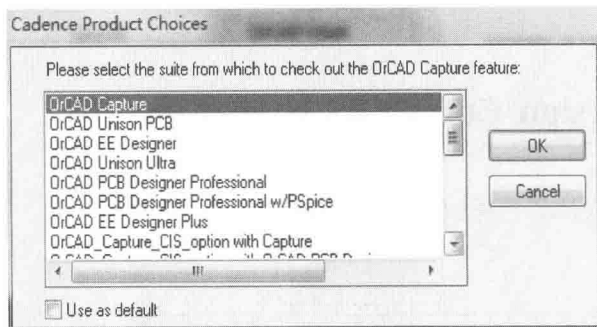


图2-2-1 “选择“OrCAD Capture”

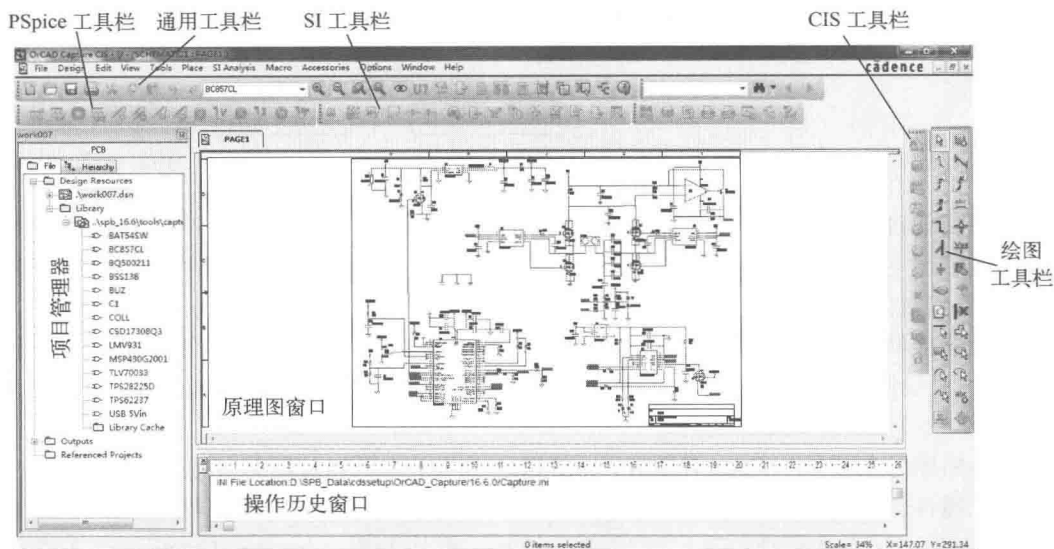


图2-2-2 “OrCAD Capture”主界面



2.3 设置图纸参数

执行菜单命令“Options”→“Preferences...”，弹出参数设置对话框，如图2-3-1所示。此对话框包括7个选项卡，即“Colors/Print”“Grid Display”“Pan and Zoom”“Select”“Miscellaneous”“Text Editor”“Board Simulation”。

1) 设置颜色 “Colors/Print”选项卡的功能是设置各种图件的颜色及打印的颜色。用户可以根据自己的习惯设置颜色的类别，也可选用默认值（只需单击“Use Defaults”按钮即可）。

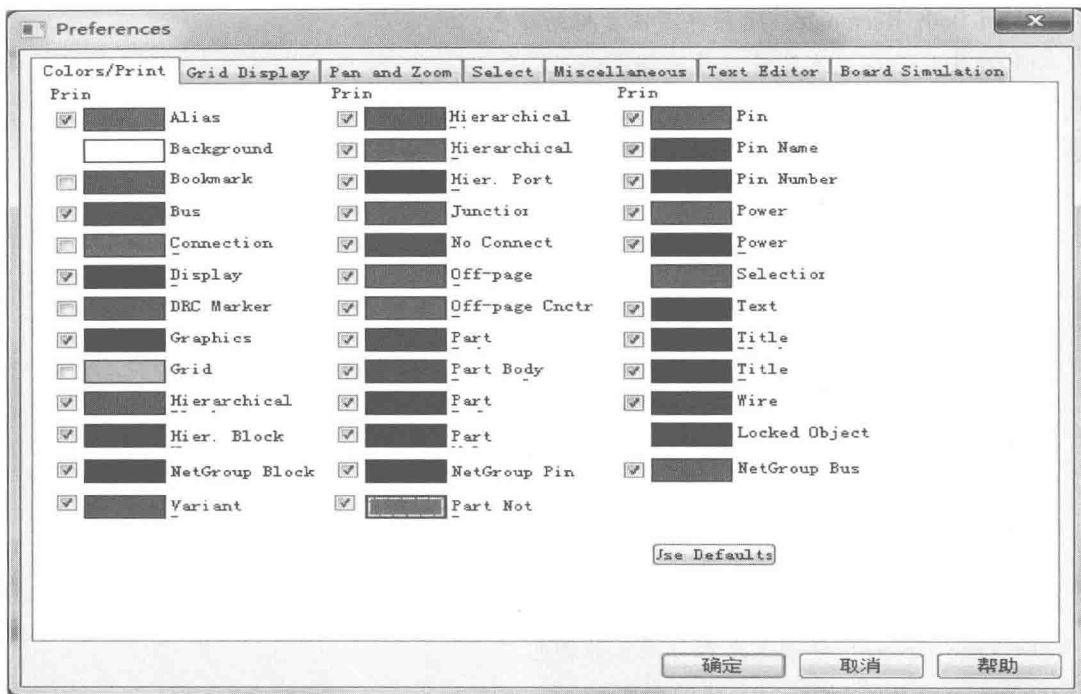


图 2-3-1 参数设置对话框

- ☺ Alias: 网络别名的颜色。
- ☺ Background: 图纸的背景颜色。
- ☺ Bookmark: 书签的颜色。
- ☺ Bus: 总线的颜色。
- ☺ Connection: 连接处方块的颜色。
- ☺ Display: 显示属性的颜色。
- ☺ DRC Marker: DRC 标志的颜色。
- ☺ Graphics: 注释图案的颜色。
- ☺ Grid: 格点的颜色。
- ☺ Hierarchical Block: 层次块的颜色。
- ☺ Hier. Block Name: 层次名的颜色。
- ☺ NetGroup Block: 网络块的颜色。
- ☺ Variant Part: 变换体元件的颜色。
- ☺ Hierarchical Block Port: 层次块端口的颜色。
- ☺ Hierarchical Port: 层次端口的颜色。
- ☺ Hier. Port Text: 层次块端口文本的颜色。
- ☺ Junction: 节点的颜色。
- ☺ No Connect: 不连接指示符号的颜色。
- ☺ Off-page: 端点连接器的颜色。
- ☺ Off-page Cnctr: 端点连接器文字的颜色。
- ☺ Part Body: 元器件的颜色。

- ☺ Part Body Rectangle: 元器件简图方框的颜色。
- ☺ Part Reference: 元器件标号的颜色。
- ☺ Part Value: 元器件值的颜色。
- ☺ NetGroup Pin: 网络组引脚的颜色。
- ☺ Part Not: DIN 元件的颜色。
- ☺ Pin: 引脚的颜色。
- ☺ Pin Name: 引脚名称的颜色。
- ☺ Pin Number: 引脚号码的颜色。
- ☺ Power: 电源符号的颜色。
- ☺ Power Text: 电源符号文字的颜色。
- ☺ Selection: 选取图件的颜色。
- ☺ Text: 说明文字的颜色。
- ☺ Title Block: 标题块的颜色。
- ☺ Title Test: 标题文本的颜色。
- ☺ Wire: 导线的颜色。
- ☺ Locked Object: 被锁定元器件对象的颜色。
- ☺ NetGroup Bus: 网络组总线的颜色。

当要改变某项的颜色属性时,只需单击颜色块,即可打开如图 2-3-2 所示的“Alias Color”(颜色设置)对话框→选择所需要的颜色→单击“确定”按钮即可选中该颜色。在此采用默认颜色。图 2-3-1 中,每个设置选项前的复选框是用于设置是否打印的。

2) 设置格点属性 如图 2-3-3 所示,“Grid Display”选项卡的功能是设置格点属性,它由两部分组成,左侧的区域是针对原理图的设置,右侧的区域是针对编辑元器件的设置。

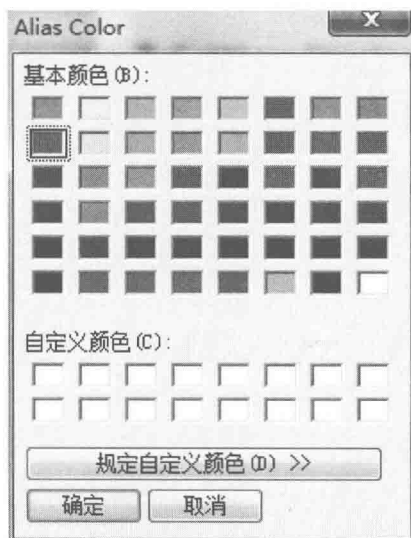


图 2-3-2 “Alias Color”(颜色设置)对话框



图 2-3-3 设置格点属性

- ☺ Displayed: 格点的可视性。
- ☺ Dots: 点状格点。
- ☺ Lines: 线状格点。
- ☺ Pointer snap to grid: 光标随着格点的移动而移动。

也可以在“View”选项卡中选中“Grid”选项来设置格点的可视性,如图2-3-4所示。当选中“Grid”选项时,显示格点;当不选中“Grid”选项时,不显示格点。在此取默认设置。“Grid References”选项用于设置原理图图纸外围的格点标注的可视性。

3) 杂项的设置 “Miscellaneous”选项卡有6个区域,包括填充、自动存盘等设置,如图2-3-5所示。

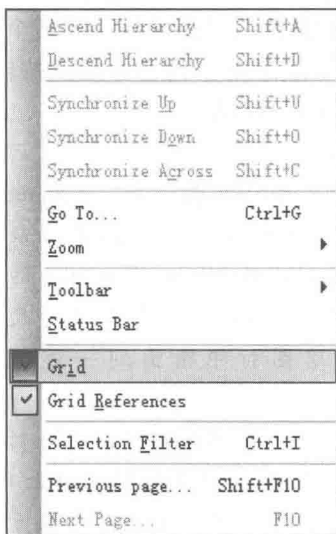


图 2-3-4 设置格点的可视性

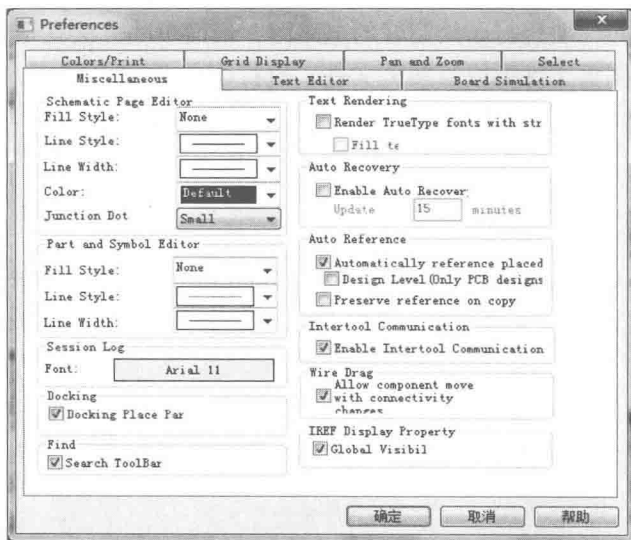


图 2-3-5 杂项的设置

- ☺ Schematic Page Editor: 设置原理图编辑环境中填充图件的属性。
- ☺ Part and Symbol Editor: 设置元器件编辑环境中填充图件的属性。
- ☺ Session Log: 设置项目管理器及记录器使用的字体。
- ☺ Text Rendering: 设置以加框方式显示 TrueType 文字及是否将其填充。
- ☺ Auto Recovery: 设置自动存盘功能。只要选中“Enable Auto Recovery”选项即可自动存盘,而自动存盘的时间间隔可在其下栏中指定。

【注意】 设置自动存盘并不表示资料一定会被保存,在结束 Capture 前,一定要进行存盘操作,否则连自动存盘的文件也会随程序的结束而消失。

- ☺ Auto Reference: 自动序号。
 - ☞ Automatically reference placed: 设置元器件序号自动给予累加。
 - ☞ Preserve reference on copy: 若选中该选项,复制元器件时保留元器件序号;若不选中该选项,则复制后的元器件序号会有“?”,如“U?”。
- ☺ Intertool Communication: 设置 Capture 与其他 Cad 软件的接口。Capture 与 Allegro 进行交互参考时,必须选中此选项。在此去掉“Auto Recovery”区域的复选框,其他取为默认值。