

躬耕于科研一线，十年潜心力作
超乎理论，立足实践，旁征博引，人文情怀

嵌入式 高速串行总线技术

基于FPGA实现与应用

张峰 著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

嵌入式 高速串行总线技术

基于FPGA实现与应用

张峰 著

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

总线,最早始于计算机领域,是指汇集在一起的多种功能的线路;后经深化并延伸,则是指计算机各模块及计算机之间的一种通信系统,涉及硬件(器件、线缆、电平)和软件(通信协议),其应用被引入嵌入式领域后,用于嵌入式系统的芯片级、板级、设备级的互连。

本书主要涉及嵌入式系统中的高速串行总线技术,传输速率在 Gbps 量级。本书首先按时间的先后顺序梳理出计算机和嵌入式系统中常用的总线技术;然后介绍并基于 FPGA 实现了目前嵌入式系统中常用的高速串行总线技术,如 SERDES、JESD204、SRIO、PCIE、Aurora、SATA 总线,侧重于终端技术实现;最后论述嵌入式系统中的常用总线架构,涉及 CPCIE、VPX、FC、Infiniband 总线架构技术,侧重于整机设计。

本书结合作者多年的工程项目实践,理论与实现相结合、图文并茂、层法清晰,可作为研究生和高年级本科生的教学用书,也可作为嵌入式系统设计人员的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

嵌入式高速串行总线技术:基于 FPGA 实现与应用 / 张峰著. —北京:电子工业出版社, 2017.1
ISBN 978-7-121-30279-4

I. ①嵌… II. ①张… III. ①可编程逻辑阵列—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2016)第 266732 号

责任编辑:田宏峰

印 刷:北京京科印刷有限公司

装 订:三河市良远印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:21.5 字数:547 千字

版 次:2017 年 1 月第 1 版

印 次:2017 年 1 月第 1 次印刷

印 数:3000 册 定价:68.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888, 88258888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: tianhf@phei.com.cn。

本书编委会

编委会成员：

任国强 文吉 陈远

吴威 王炜华 曹广平

李燕斌 周维超 张峰

本书评委会

主任：雷厉

副主任：卢建川

成员：石星 杜培光 刘满堂 黄爱军 许林 袁杰

周兴建 车颖秋 朱辉 袁苑 杨奎 孔杰

陆逸平

自序

人是什么单位，人生又如何衡量？

熊培云在《思想国》中讲，人是时间单位，因为我们在提到某人的时候，总是在人名后面跟上一个括号，并注明生卒年份，以示起止。

除了这个差值，还用来衡量？

数学上，通常将时间看成一个维度，即以时间为坐标系的横轴，那纵轴呢？见仁见智，人的选择和作为也应该是一个维度，人物传记是这样写的，什么时间做了什么事。

那号称知识分子的我们，若早已过了彷徨的年龄，其使命又当如何？

打破框架，探索未知。

打破框架，何其难也。文明得以发展，在于经验和知识的累积，而这种累积，多数又来源于各种权威的言传身教，就像父母告诫小孩子，冰激凌吃多会肚子痛一样，一一得到了验证，长此以往，框架得以形成，触碰不得。框架有利于知识的传授，也会束缚人的头脑，意大利的水手 Amerigo Vespucci 发现了一个大的岛屿，而权威《圣经》中竟然没有记载，就觉得不可思议、不可理喻。

而终有人会承认这种事实存在、证据确凿的未知，于是，框架终究会被打破，美洲 America 就此诞生。

所以人虽无往不在枷锁之中，却是生而自由的；知识分子在解决温饱问题后，可以思其力之所不及，忧其智之所不能，嫦娥奔月不也从神话变成了现实吗！

所以应心怀梦想，坚韧追寻，应具有王国维先生的“昨夜西风凋碧树，独上高楼，望尽天涯路”之境界，而社会的残酷、自扰、抵触、牵制、掣肘、诱惑终究共存，所以有隐忍、有退让；学胡适先生的“不降志、不屈身、不追赶时髦，也不回避危险”，虽有拘有束有碍，仍可自斟自饮自开怀。

人总是会老的，所谓百忧感其心，万事劳其形，渥然丹者为槁木，黧然黑者为星星，纵然头发稀少，两眼昏花，颈肩酸痛，双腿僵直，仍不觉辛苦，因为余心所善，不想了无意义。

本书的形成，历经波折，构思萌芽于 2012 年年底，苦于自身知识匮乏，算不上一份大餐，积累沉淀，到 2014 年年底渐觉内容充实，可一吐为快了，于是查阅典献，收集资料，匆忙恍惚间，2015 年已过了大半，竟不能再迟疑。

总线技术是在多个项目实践中提取出来的，如高速存储、图像处理、信号处理、系统集成等，亲力躬行，才知深浅。本文中提到的各种总线，并不是 3 年之功，从 2006 年算起，已有 10 年。10 年时间积累了这 300 多页内容，也不知是多还是少？2006 年第一次接触 PCI 总线；2007 年将 PCI 提升到了 PCIX，还用会了 SRIO 总线，当时还是 Virtex-2Pro 盛行，现在已不见踪影；2008—2009 年主要是 SATA、SAS；2010 年接触了 PCIE/CPCIE；2011 年闲暇时摸透了 Serdes 技术，终于在 2013 年应用成熟，JESD204/Aurora 也在这一年完成；2014 年做了 VPX 架构的整机，2015 年将 SRIO 的交换结构收入彀中。这就是本书的主体内容，并在此基础上增加了对总线

的发展历程、现状及后续趋势的描述与预测。而最后则是关于目前嵌入式系统中常用的其他串行总线（FC、Infiniband）了，作者并没有亲身实现，只是自行理解并汇编资料罢了。

当我们回首往事时，会发现很多激荡人心的故事，有的显焕一些，有的黯淡一些，当看到自己为发展而努力，为自由而奋斗，总是心底暖暖的。我们对于过去，固然可以看到无穷的光辉，对于将来，也必须抱着更大的期待。

努力吧，勤能补拙，不致虚度。

努力活吧，以时间的长度弥补智力的不足。

怀念过去，不畏将来，是为序。

张 峰

2016年10月于成都

前 言

总线概述及分类

总线，英文为“Bus”，Bus 一词最初起源于拉丁文“omnibus”，意为“for all”，有三个含义：公共汽车、作家的作品合集、作为形容词意为综合性多功能的。最早始用于计算机领域，总线是指汇集在一起的多种功能的线路。后经深化和延伸，指计算机内各模块及计算机之间的一种通信系统，涉及硬件（器件、线缆）和软件（通信协议）。

IT 行业以摩尔定律（Moore's Law）在飞速发展，总线的性能也要与之适应并水涨船高。自从第一代计算机及总线问世以来，总线领域爆发了三次更新换代的革命：第一代总线以 1984 年 IBM 推出的 PC/AT（Personal Computer/Advanced Technology）总线为蓝本，其速率最初不足 1 Mbps，并最终形成了 ISA（Industry Standard Architecture）标准，在 1993 年被 PCI 总线代替；PCI（Peripheral Component Interconnect Local Bus）总线是第二代总线的典型代表，2002 年并行传输的 PCI 总线被串行传输的 PCIE（PCI Express）总线代替；而目前 PCIE 3.0 版本的速率为 8 Gbps，是最初的 PC/AT 总线的 800 倍，PCIE 4.0 将支持 16.0 Gbps，也即将问世。

在总线的发展过程中，有多种分类方式。

按传输速率分类：分为低速总线、高速总线。按业内规律，总线的传输时钟在 66 MHz 以下为低速总线，高于 66 MHz 为高速总线。

按连接类型分类：分为系统总线、外设总线、扩展总线等。

按适用范围分类：分为内部总线和外部总线。计算机机箱内的总线称为内部总线，如 PCI；计算机机箱外的称为外部总线，如连接打印机的 USB 总线等。而有些总线内外都适用，如 SATA 为内部总线，而 eSATA（external SATA）为外部总线。

按应用领域分类：有计算机系统应用总线、嵌入式系统应用总线等，PCI 为计算机类总线，而 CPCI（Compact PCI）则归为嵌入式系统类的应用总线。

按使用环境分类：分为航天、航空、车载、航载等总线，以满足不同的使用环境要求，如 ARINC-429、ARINC-629、MIL-STD-1553B、CAN 总线等。

按传输方式分类：分为并行总线和串行总线，并行总线通常采用 1 个时钟信号+多位并行数据信号的方式传输数据，如前面的 ISA、PCI 都为并行数据总线，在一个时钟周期内，传输多位数据；串行总线则将时钟嵌入到数据内，在一个时钟周期内传输 1 bit 数据，以串行比特流的方式实现数据通信。

本书关注的是嵌入式系统中的高速串行总线技术。

串行总线通信正当时

早期的总线多采用多位数据并行传输方式，通过提升并行数据位宽、数据运行频率，提升总线传输速率，如早期的 PC/XT 总线数据位宽是 8 bit，运行频率为 kHz 级别，到 1999 年出现了 PCIX 总线，其数据位宽是 64 bit，运行频率为 133 MHz，总线的传输速率达到了 1066 MBps。

总线的并行数据位宽及频率的提升带来了数据传输速率的飞跃，但也带来了其他问题：总

线并行数据信号间的同步变得日益困难，且无法解决串扰问题，这导致多种并行总线协议的更新速率越来越慢，耗时越来越长，限制了总线性能的进一步提升，影响处理器性能的发挥，即通过提升总线的并行数据位宽及运行频率，以提升总线速率的方法走到了“死胡同”，业内迫切需要一种新的变革方式。

2000年前后，多个国际组织将目光瞄向了基于比特流通信的串行总线结构，多种串行总线标准也如雨后春笋般出世，如现在大名鼎鼎的PCIE、SRIO、SATA、FC等总线，也有推出后不久就“夭折”的，如Starfabric总线。Starfabric总线当时吸引了大量的风投，还推出了Starfabric的协议转换芯片，而最终还是以失败告终——Starfabric总线技术针对性不足。

目前，在PC领域和嵌入式系统中，基于比特流的高速串行通信总线正全面代替传统的并行数据总线方式，如前期广泛用于PC系统的并行数据总线PCI/PCIX，正被串行的PCIE总线所代替；曾经在存储领域独占江山的ATA(parallel ATA)总线、SCSI总线，分别被串行的SATA(Serial ATA)、SAS(Serial attached SCSI)所代替；与PC领域相对应的工业及嵌入式应用领域，串行总线的应用更是一发而不可收，出现了FC(Fiber Channel)、SRIO(Serial RapidIO)、Aurora等多种协议标准，即使针对ADC、DAC这种专用接口，也吸收了串行总线传输的思想，出现了JESD204协议，以代替传统的基于LVCMOS电平、多位数据线并行的ADC、DAC接口方式。鉴于目前高速串行总线的广泛应用，VITA组织推出了一种针对高速串行总线通信架构的标准——VPX，以规范上述多种串行总线的互连。

与串行总线的高速、先进相对应的是其开发过程的困难重重，串行的二进制比特流不能提供更多有效参考信息，只能以眼图判断信号完整性，而各种总线的协议分析仪，价格却不够亲民，调试手段有限，针对常用的高速串行总线，如何进行快速开发，尤其是FPGA内的应用开发，一直是业内的难题。本书试图对多种高速串行的共性技术进行提取，并对具体协议加以具体分析，实现过程具体展现，以实现基于FPGA甚至于整个嵌入式系统的高速串行总线的通信。

FPGA 让一切皆有可能

既然总线是现代通信系统的神经，那相应处理器是就关节了。目前主流的处理器厂商推出的PowerPC、DSP、FPGA等芯片，均含有一种或多种高速串行通信总线接口，如高端的PowerPC、DSP通常含有SRIO及PCIE，有的还含有SATA存储接口。ASIC厂商的目标就是将这些复杂的总线功能做成如傻瓜相机一样，只要存在就会使用，而FPGA则是另类，除了总线的简单验证，还提供了二次开发功能，甚至还能玩“深沉”，DIY一些自主的IP核，可谓男女老少都喜欢，满足高中低各个层次的需求。

FPGA代替DSP完成密集型运算功能已多见不怪，甚至觉得不这样就是非主流。FPGA内嵌PowerPC及ARM处理器内核，代替外置的PowerPC及ARM独立芯片，完成一些协议/控制解析，似乎也很恰当，FPGA可谓功能强大。而对于各种高速总线接口，FPGA则提供了一种万全之策：基于FPGA内嵌的高速串行收发器GTX可实现多种高速串行总线接口，如SRIO、SATA、FC等。若资金充裕，可购买各种高速串行总线的IP核，使用时比傻瓜相机复杂一点；若智力充裕，则可自己理解协议，编写高速串行总线的IP核，卖给“帝王家”，也是一种生存方式；若资金、智力都不充裕，那是只能寄希望于时间充裕了，好在时间总是可以挤的，挤挤还是有的。

基于FPGA研究高速串行总线技术，可攻可守，本书中SRIO、PCIE、Aurora为调用IP核方式，而SERDES、JESD204、SATA则为自主开发IP核，而最后的CPCIE、VPX、FC、Infiniband则侧重于嵌入式系统的实现，与FPGA无关。

本书的内容结构安排

本书内容分为三篇共 11 章，另有 4 个附录。第 1 章为第 1 篇，按时间的先后顺序梳理出计算机和嵌入式系统领域曾经出现过并各领风骚数几年的总线，并对总线领域的三次革命加以分析，以力证高速串行总线是目前通信架构的主流，并基于高速串行总线技术的特点及瓶颈，预测总线的后续发展趋势。

第 2 篇包含第 2~第 7 章，分别介绍并基于 FPGA 实现了目前嵌入式系统中常用的串行总线技术，涉及 SERDES、JESD、SRIO、PCIE、Aurora、SATA 总线。从行文方法上，以概述开篇，回答选题（做什么、为什么、性能如何）；接以协议分析，力求简洁清晰，续以基于 FPGA 的具体工程实现，然后给出测试结果，验证思路，最后给出小结及展望，为嵌入式系统的专项高速串行总线应用提供参考。

第 3 篇包含第 8~第 11 章，涉及目前嵌入式系统中的常用总线架构，侧重于整机设计，内容有 CPCIE、VPX、FC、Infiniband 技术，为高速总线在嵌入式系统整机中的应用提供参考。

附录 A~附录 D 则收录了本书写作过程中的随笔，希望能从非技术角度讲一点技术问题。

在整书的编写过程中，文吉、陈远参与编写第 1 章，任国强、吴威参与编写第 6 章，任国强、文吉完成全程校对。在整个编委会的共同努力下，我们尽可能多地呈献关于总线，以及 IT 技术甚至其他相关的知识，以物有所值，可覆盖面广也意味着增加了出错的可能性，我们期望通过本书对总线的基本原理、实现过程及应用实例的介绍，使读者对总线有一种宏观的把握，微观细节上的了解，以起到抛砖引玉的作用。由于作者水平和时间有限，一些不自知的错误，敬候高明的读者指正，作者联系方式为 zhangfeng1186@163.com。

关于参考文献

本书的参考文献主要来源于 Xilinx 公司和其他一些官方组织公开的资料，如 PICMG、SCSITA、VITA、FCIA 等，还有一些引用来源于互联网，出处并不明显或难以联系作者，在此也一并感谢并希望原作者与编者联系，以便再版时增补。

关于写作风格

书中的图表有些仍为英文原版，从技术角度考虑，英文更易理解，故没有译为中文。

单纯技术是枯燥乏味的，本书在力求准确时，尽量以简洁、轻松的笔调论述，个人所好，不喜书喷。

除了与总线相关的内容外，本书还以延伸阅读的方式展开了部分具体技术细节，以及对其他知识的扩展，以供感兴趣的读者赏阅。

本书的读者对象

本书定位于工程应用，主要针对从事嵌入式系统开发的整机设计人员、终端技术开发人员，以及那些对嵌入式系统、FPGA、总线有更深入理解需求的人员，包含职场新手、研究生和高年级本科生。

作 者
2016 年 10 月

目 录

第 1 篇 计算机和嵌入式系统中常用总线的发展历程及趋势

第 1 章 总线的发展历程及后续趋势	3
1.1 总线的出现及定义	3
1.2 PC 总线的发展	5
1.2.1 ISA 总线	6
1.2.2 PCI/PCI-X 总线	7
1.2.3 PCIE 总线	9
1.2.4 ATA/SATA——面向存储的高速总线	10
1.3 嵌入式系统总线的发展	12
1.3.1 嵌入式系统的出现	12
1.3.2 PC104 总线——ISA 总线的嵌入式系统应用	13
1.3.3 Compact PCI 总线——PCI 总线的嵌入式应用	15
1.3.4 Compact PCIE 架构及其在嵌入式的应用	18
1.3.5 SRIO 总线——嵌入式系统的多处理器间互连	19
1.3.6 JESD204 总线——面向 ADC、DAC 的串行通信总线结构	21
1.3.7 FC 标准——通道技术与网络技术的结合	22
1.3.8 VPX 架构——嵌入式串行总线的集大成者	23
1.4 总线领域三次革命成因与效能分析	25
1.5 高速串行总线技术的优点及共同点分析	28
1.6 高速串行总线的后续发展方向	29
1.6.1 速率继续提升	30
1.6.2 采用多阶电平传输	30
1.6.3 激光通信可行性及其小型化考虑	31
1.6.4 延伸阅读——激光通信代替微波通信	32
1.7 参考文献	34

第 2 篇 嵌入式系统中常用的高速串行总线及其 FPGA 实现

第 2 章 基于 SERDES 的高速数据传输技术	39
2.1 SERDES 技术简介	39
2.2 SERDES 物理层——LVDS 电平概述	40
2.3 基于 FPGA 的 SERDES 传输技术概述	42
2.3.1 FPGA 对 LVDS 电平的支持	42
2.3.2 FPGA 内部的并/串转换原语结构 OSERDESE2/ISERDESE2	43
2.3.3 基于 SERDES 原语的传输速率分析	44
2.4 基于 FPGA 实现 SERDES 原语的高速数据传输	45

2.4.1	SERDES 发送端设计——设置 OSERDESE2 相关参数	45
2.4.2	SERDES 接收端设计——配置 ISERDESE2 的相关参数	54
2.4.3	实现 SERDES 通信功能	59
2.5	延伸阅读——FPGA 时序优化以及自适应延时调整的 SERDES 传输技术	61
2.5.1	时钟位置优化——减少由时钟位置造成的延时	61
2.5.2	时序优化——OFFSET 约束	63
2.5.3	时序优化——MAXSKEW 约束	64
2.5.4	基于 Idelay 的延时调整技术	64
2.5.5	基于 Idelay 的自适应动态延时调整技术	66
2.6	小结	67
2.7	延伸阅读——后起之秀：Xilinx 公司及其 FPGA	67
2.8	参考文献	69
第 3 章	基于 JESD204 协议的 ADC、DAC 数据传输	71
3.1	JESD204 协议概述	71
3.2	JESD204 协议分析	74
3.2.1	JESD204 物理层分析	74
3.2.2	帧填充	76
3.2.3	8B/10B 编/解码	77
3.2.4	加/解扰码 (Scrambling/De-Scrambling)	79
3.2.5	JESD204 协议接收状态机分析	80
3.3	基于 GTX 实现 JESD204 协议	82
3.3.1	可行性分析——物理层规范兼容	83
3.3.2	物理层 GTX 结构分析	83
3.3.3	基于 GTX 的 JESD204 协议功能模块构建	88
3.3.4	JESD204 协议若干技术点分析	99
3.4	小结	104
3.5	参考文献	104
第 4 章	基于 SRIO 总线的高速通信结构	105
4.1	SRIO 总线——面向嵌入式系统互连	105
4.1.1	嵌入式总线与 PC 总线应用分道扬镳	105
4.1.2	SRIO 技术针对嵌入式系统互连	107
4.1.3	SRIO VS PCIE VS Ethernet VS Others	108
4.2	SRIO 协议分析	110
4.2.1	SRIO 协议层次结构	110
4.2.2	SRIO 物理层规范	111
4.2.3	数据包及操作类型	113
4.2.4	链路同步	115
4.2.5	链路编码	115
4.2.6	配置空间	117
4.3	基于 SRIO 总线的点对点通信功能实现	117

4.3.1	创建 SRIO 工程	118
4.3.2	SRIO 工程结构分析	126
4.3.3	SRIO 点对点通信的关键技术分析及实现	128
4.3.4	SRIO IP 核点对点通信功能测试	130
4.4	基于 SRIO 总线的交换结构通信功能实现	131
4.4.1	基于 SRIO 总线的交换结构概述	131
4.4.2	SRIO 交换芯片 80HCPS1616 简介	131
4.4.3	SRIO 交换芯片 80HCPS1616 配置	133
4.4.4	80HCPS1616 的 I2C 配置接口	137
4.4.5	Maintenance 帧配置 SRIO 交换芯片	139
4.4.6	SRIO 交换结构的通信性能测试	142
4.5	小结	144
4.6	延伸阅读——串行总线技术再提速，从信息不确定性说起	145
4.7	参考文献	146
第 5 章	基于 PCIE 总线的高速数据传输技术	149
5.1	PCIE 总线概述	149
5.2	PCIE 协议分析	151
5.2.1	PCIE 拓扑结构	151
5.2.2	PCIE 分层结构	151
5.2.3	PCIE 链路编码与扰码	153
5.2.4	PCIE 地址空间与事务类型	153
5.2.5	延伸阅读——PCIE 总线链路同步	154
5.3	基于 PCIE 协议的点对点通信功能实现	157
5.3.1	FPGA 内嵌 PCIE 硬核简介	157
5.3.2	建立 PCIE 点对点通信工程	158
5.3.3	PCIE IP 核源代码分析	171
5.3.4	PCIE 节点接收流程分析	173
5.3.5	PCIE 节点发送流程分析	174
5.3.6	基于 PCIE 协议的点对点通信功能测试	175
5.4	小结	176
5.5	延伸阅读——再论马太效应：从 PCIE 代替 AGP 总线说起	177
5.6	参考文献	178
第 6 章	基于 Aurora 协议的高速传输技术	181
6.1	Aurora 总线概述	181
6.2	Aurora 总线协议分析	181
6.2.1	Aurora 总线通信模型	181
6.2.2	Aurora 物理层电气特性	182
6.2.3	Aurora 数据帧结构	184
6.2.4	Aurora 链路同步	185
6.3	基于 Aurora 总线的通信功能实现	188

6.3.1	建立 Aurora 总线测试工程	188
6.3.2	Aurora 总线协议文件及接口分析	192
6.3.3	Aurora 总线帧模式与流模式	194
6.3.4	Aurora 总线通信性能分析及测试	196
6.4	小结	198
6.5	延伸阅读——Xilinx 公司及其 Aurora 总线	198
6.6	参考文献	199
第 7 章	基于 SATA 总线的高速数据存储技术	201
7.1	多种高速数据存储方式涉及的总线形式	202
7.1.1	基于 ATA 总线标准的数据存储方式	202
7.1.2	基于 SCSI 总线标准的高速数据存储方式	203
7.1.3	基于 SAS/SATA 总线标准的高速数据存储方式	205
7.1.4	延伸阅读——基于 Nand Flash 阵列的高速数据存储方式	208
7.1.5	延伸阅读——基于 eMMC 及阵列的高速数据存储方式	209
7.1.6	多种存储实现方式的比较与分析	210
7.2	SATA 协议分析	211
7.2.1	SATA 的分层结构	211
7.2.2	SATA 启动过程	212
7.2.3	SATA 数据帧与编码	213
7.3	SATA 协议 IP 核的 FPGA 实现	216
7.3.1	Virtex-5 FPGA GTX 简介	216
7.3.2	SATA 协议物理层实现	218
7.3.3	SATA 协议的 OOB 通信	226
7.3.4	SATA 协议的链路层及传输层关键技术分析	228
7.3.5	SATA 协议的应用层实现分析	231
7.3.6	SATA 协议 IP 核测试	231
7.4	小结	232
7.5	延伸阅读——基于 DNA 的生物学存储技术	234
7.6	参考文献	236

第 3 篇 整机设计的嵌入式系统高速数据总线

第 8 章	CPCIE 总线架构	239
8.1	CPCIE 总线简介	239
8.2	CPCIE 系统中功能模块分类	241
8.3	CPCIE 系统连接关系与信号定义	242
8.3.1	连接器类型	242
8.3.2	系统板	245
8.3.3	外设板	248
8.3.4	交换板	249
8.4	CPCIE 系统整机设计要素	251

8.4.1	功能模块标识	251
8.4.2	供电要求	252
8.4.3	时钟设计	253
8.5	小结	253
8.6	参考文献	254
第9章	VPX 总线架构	255
9.1	VPX 总线的起源	255
9.2	VPX 协议族分析	257
9.3	VPX 协议的典型应用	259
9.4	连接关系与信号定义	260
9.5	整机设计要素	265
9.5.1	模块防插错设计	265
9.5.2	电源设计	266
9.5.3	功能模块与背板信号映射关系	267
9.6	VPX 架构与 CPCIE 架构的异同	270
9.7	小结	270
9.8	参考文献	270
第10章	FC 总线技术的实现与应用	273
10.1	FC 技术简介	273
10.1.1	FC 技术的出现——从大数据、云及 SAN 存储说起	273
10.1.2	FC 技术的优点	275
10.1.3	FC 技术的发展路标	276
10.1.4	FC 在机载航电系统中的应用	277
10.2	FC 协议分析	277
10.2.1	拓扑结构	277
10.2.2	分层结构	278
10.2.3	协议组成	279
10.2.4	数据流程	281
10.2.5	数据帧结构与编码	281
10.2.6	分类服务	283
10.2.7	接口形式	286
10.3	FC 协议通信实现分析	286
10.3.1	Xilinx 公司 IP 核实现方案	286
10.3.2	FC 专用 ASIC 芯片实现方案	288
10.4	小结	289
10.5	参考文献	289
第11章	Infiniband 总线技术的实现与应用	291
11.1	Infiniband 总线概述	291
11.2	Infiniband 协议分析	293

11.2.1 分层结构	293
11.2.2 消息传输方式	294
11.2.3 链路编码与数据帧结构	295
11.3 Infiniband 协议实现及应用	296
11.4 小结	297
11.5 参考文献	298
附录 A 简写索引	299
附录 B 插图目录	303
附录 C 表格目录	309
附录 D 本书创作过程中的随笔	313
致谢	320

CONTENTS

Part 1

Chapter 1	The History and Development Trend of Bus	3
1.1	The Appearance and Definition of Bus	3
1.2	The Progression of Bus in PC	5
1.2.1	ISA	6
1.2.2	PCI/PCI-X	7
1.2.3	PCIE	9
1.2.4	ATA/SATA—Used for Storage Purpose	10
1.3	The Progression of Bus in Embedded System	12
1.3.1	The Invention of Embedded System	12
1.3.2	PC104—The Embedded Version of ISA	13
1.3.3	Compact PCI—The Embedded Version of PCI	15
1.3.4	Compact PCI Express—The Embedded Version of PCI Express	19
1.3.5	SRIO—The Embedded System Interconnection	19
1.3.6	JESD204—Solving the ADC、DAC Data Transfer Problem	21
1.3.7	FC—A Combination of Channel I/O and Network I/O	22
1.3.8	VPX—An Integration Architecture of High-speed serial Bus	23
1.4	Analysis of the Three Evolution in Bus	25
1.5	Virtue and Common Attribute in High-speed serial Bus	28
1.6	The Development Trend of High-speed serial Bus in Embedded System	29
1.6.1	Speed Upgrades Continually	30
1.6.2	Adoption of Multiple Level	30
1.6.3	Laser Communication and its Miniaturization Design	31
1.6.4	Extended reading—Laser Takes an Replacement of Microwave in Communication	32
1.7	References	34

Part 2

Chapter 2	The High-Speed Data Transfer based on SERDES	39
2.1	Brief Introduction to Serdes	39
2.2	LVDS—Physical Layer of Serdes	40
2.3	Data Transfer Based on Serdes Primitive Embedded in FPGA	42
2.3.1	FPGA Supports LVDS level	42
2.3.2	FPGA Embeds OSERDESE2/ISERDESE2 Primitives	43
2.3.3	Analysis of Transfer Speed of Serdes	44
2.4	The Implementation of Serdes Transfer in FPGA	45

2.4.1	Sending Design with OSERDESE2 in FPGA	45
2.4.2	Receiving Design with ISERDESE2 in FPGA	54
2.4.3	Realization of Serdes Transfer Function	59
2.5	Extended reading—the Timing Optimization in FPGA	61
2.5.1	Clock Location Optimization	61
2.5.2	Offset	63
2.5.3	Maxskew	64
2.5.4	Idelay	64
2.5.5	A Self-adaptive Delay Adjust Method Using Idelay	66
2.6	Brief Summary	67
2.7	Extended reading—A New Rising Star: Xilinx and its FPGA	67
2.8	References	69
Chapter 3	ADC、DAC Data Transmission Based on JESD204 Protocol	71
3.1	An Introduction to JESD204 Protocol	71
3.2	Analysis of JESD204 Protocol	74
3.2.1	Physical Layer of JESD204	74
3.2.2	Frame Padding	76
3.2.3	8B/10B Encode/De-code	77
3.2.4	Scrambling/De-Scrambling	79
3.2.5	Receive State Machine of JESD204 Protocol	80
3.3	An Implementation of JESD204 based on GTX Embedded in FPGA	82
3.3.1	Feasibility Analysis—Physical Layer Compatible with GTX	83
3.3.2	Analysis of Physical Feature of GTX	83
3.3.3	Constructing the Function Module in JESD204	88
3.3.4	Analysis and Realization of the Key Point in JESD204 Protocol	89
3.4	Brief Summary	104
3.5	References	104
Chapter 4	The High-speed Communication Architecture in SRIO	105
4.1	SRIO Appears—Focusing on the Embedded System Interconnection	105
4.1.1	The Embedded Application and Transitional PC Goes in Different Ways	105
4.1.2	SRIO Appears—Focusing on the Embedded System Interconnection	107
4.1.3	SRIO VS PCIE VS Ethernet VS Others	108
4.2	Analysis of SRIO Protocol	110
4.2.1	The Layered Structure of SRIO Protocol	110
4.2.2	The Physical Layer of SRIO	111
4.2.3	Frame Packet and Operation Types	113
4.2.4	Link Synchronization	115
4.2.5	Link Coding	115
4.2.6	Configuration Space	117
4.3	The Implementation of Point to Point Communication Based on SRIO	117