



国际信息工程先进技术译丛

 Springer

多处理器片上系统的 硬件设计与工具集成

**Multiprocessor System-on-Chip:
Hardware Design and Tool Integration**

[德] 迈克尔·哈布纳 (Michael Hübner)

主编

于尔根·贝克尔 (Jürgen Becker)

姚舜才 连晓峰 等译



 机械工业出版社
CHINA MACHINE PRESS

Michael Hübner
Jürgen Becker
Editors

**Multiprocessor
System-on-Chip**

Hardware Design
and Tool Integration

 Springer

国际信息工程先进技术译丛

多处理器片上系统的 硬件设计与工具集成

[德] 迈克尔·哈布纳 (Michael Hübner) 主编
于尔根·贝克尔 (Jürgen Becker)
姚舜才 连晓峰 等译



机械工业出版社

Translation from English language edition:

Multiprocessor System-on-Chip: Hardware Design and Tool Integration

by Michael Hübner and Jürgen Becker.

Copyright©2011 Springer US

Springer US is a part of Springer Science + Business Media.

All Rights Reserved.

本书中文简体字版由机械工业出版社出版, 未经出版者书面允许, 本书的任何部分不得以任何方式复制或抄袭。版权所有, 翻印必究。

北京市版权局著作权合同登记 图字: 01-2012-3114 号。

图书在版编目 (CIP) 数据

多处理器片上系统的硬件设计与工具集成/ (德) 迈克尔·哈布纳, (德) 于尔根·贝克尔主编; 姚舜才等译. —北京: 机械工业出版社, 2016. 11

(国际信息工程先进技术译丛)

书名原文: Multiprocessor System-on-Chip: Hardware Design and Tool Integration

ISBN 978-7-111-55007-5

I. ①多… II. ①迈…②于…③姚… III. ①微处理器—系统设计
IV. ①TP332

中国版本图书馆 CIP 数据核字 (2016) 第 238195 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 顾 谦 责任编辑: 顾 谦

责任校对: 刘雅娜 封面设计: 马精明

责任印制: 常天培

北京机工印刷厂印刷 (三河市南杨庄国丰装订厂装订)

2016 年 11 月第 1 版第 1 次印刷

169mm × 239mm · 15 印张 · 281 千字

0 001—3 000 册

标准书号: ISBN 978-7-111-55007-5

定价: 69.00 元



凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

服务咨询热线: 010-88361066 机工官网: www.cmpbook.com

读者购书热线: 010-68326294 机工官博: weibo.com/cmp1952

010-88379203 金书网: www.golden-book.com

封面防伪标均为盗版

教育服务网: www.cmpedu.com

本书主要讲了片上多处理器(chip multiprocessor), 又称多核微处理器或简称 CMP, 已成为构造现代高性能微处理器的重要技术途径。片上多处理器领域正在蓬勃发展, 具有巨大的商业和科研价值。

本书共 11 章: 第 1 章介绍了当今多核片上系统所面临的趋势与挑战; 第 2 章讲述了在嵌入式多处理器平台上的验证和组合的问题; 第 3 章分析了在片上多处理器系统中硬件支持下的有效资源利用和建议方法, 这些方法用来解决合理利用并行资源的问题; 第 4 章阐明了在多核上的映射应用; 第 5 章讲述了多核芯片消息传递的案例; 第 6 章主要给读者阐述了 FPGA 在 RAMPSoC 中的应用、优点和前景, 以及被称为 CAP-OS 的特殊用途操作系统; 第 7 章提出了一种新的综合系统物理设计方法; 第 8 章考察了低功耗系统级芯片的系统级设计; 第 9 章深入探索了对于嵌入式应用空间多核系统所提供的机遇、多核系统设计相关的挑战以及一些创新的方法来应对这些挑战; 第 10 章介绍了高性能多处理器片上系统作用、前景以及发展趋势; 最后一章给读者讲述了一种被称为侵入计算的新型并行计算系统。

本书适合从事电子信息、微电子设计、计算机硬件设计研究工作的相关人员、科研院所研究人员, 以及高校相关专业的教师及学生参考学习使用。

译 者 序

多核处理器是当前计算机体系发展的重要趋势，将多核处理器与片上系统相结合将为计算机的发展带来深远的影响。片上多处理器（chip multiprocessor），又称多核微处理器或简称 CMP，已成为构造现代高性能微处理器的重要技术途径。片上多处理器领域正在蓬勃发展，具有巨大的商业和科研价值。

目前微处理器微控制器产量大大增加，多达 10 多亿片，与个人计算机（PC）相比已经远远超出。目前世界多核处理器嵌入式系统硬件和软件开发工具市场有着利好的前景，这种系统带来的工业产值也非常可观。而且根据业内有关人士预测，随着全球化、信息化的发展，多处理器片上系统的市场将会进一步增长。

我国信息化与全面小康社会建设对多处理器片上系统市场提出了巨大需求，无论在工业还是家用电器方面都有较大的需求量。可以相信，多处理器片上系统是信息产业新的经济增长点之一。该领域将会是一片大有作为的广阔天地。

翻译本书的目的是让读者了解未来多处理器片上系统结构的发展战略，其中包含硬件设计和已有的开发工具的有关介绍。此外，书里还包含了可重新配置结构的多处理器片上系统。本书的主要重点是关于多处理器片上系统的结构、设计流程、开发工具及其发展、相关的应用和系统的设计。本书各个主题的作者是片上多处理器研究的著名专家，较为熟悉该领域的最新发展和研究水平，本书主要针对片上多处理器的研究，内容相对丰富和完整，具有较好的学习和研究价值。

本书着重片上多处理器的研究的各个方面，介绍了相关研究的最新发展动态，此外还涵盖了系统设计、开发工具的相关内容，对可重新配置的硬件、多处理器系统的物理设计、未来的发展趋势和挑战做了较为详细的介绍。

本书第 1、第 2、第 10 章由姚舜才翻译，第 3~9 章、第 11 章由连晓峰翻译，全书由姚舜才统稿，赵旭、金成学、潘媛、孙晓荣、金学波、王佩荣、李东红、叶璐、郭柯、王宇龙、潘峰、侯宝奇和毋冬也参与了部分内容的翻译。

本书适合从事电子信息、微电子设计、计算机硬件设计研究工作的相关人员、科研院所研究人员，以及高校相关专业的教师及学生参考学习使用。

需要指出的是，正如本书中多次提到的“摩尔定律”：由于电子产业本身所具有的、真正的“日新月异”的更新特性，以及译者的学养水平问题，书中的不当乃至错误恳请各位业内专家学者和广大读者不吝赐教。

译 者

原 书 前 言

根据摩尔定律，可以预见在未来 10 年间半导体的集成密度会进一步提高，这预示着在一片小小的芯片上将会集成数以几十亿计的晶体管。然而越来越明显的是，使用更为深入的传送途径和更具实力的超标宽流量技术来开发这样规模的并行指令水平已经到达极限了，同时，对于大存储量的片上闪存来说，大部分晶体管预算也是这样的情况。特别需要指出的是，由于散热和高能耗问题，使用较高的时钟频率来改善系统的性能已经变得举步维艰。尤其是后者（指高能耗问题），不仅仅对于移动系统和设备来说成为了技术性的问题，而且由高能耗造成的在预算中的显著成本因素很快就会成为计算中心的心腹之患。由此可见，在任何系统层面，提高系统性能只有开发并行计算这条路可走了。

因此，对于高性能计算系统、高端服务器以及嵌入式系统，多核架构的大规模范式性的改变正在悄然形成。在单一芯片上集成多核可以使系统显著地提高其性能，而无需提高时钟频率。对于同样的性能来讲，多核架构比单核架构有更好的“性瓦比”[性能和能耗之比，功率单位为“瓦特（简称瓦）”]。

在科学计算中，对于 CPU（中央处理单元）时间消耗较大的场合，将多核技术和协处理器技术结合起来可以大大提升计算能力。同时，对于在嵌入式领域特殊目的的应用，这种技术也同样有用武之地。特别是在硬件中，通过实施其计算密集核，基于加速器的 FPGA（现场可程序门阵列）不仅仅提供了给某个应用提速的机会，而且也适应了该应用的动态行为。

本书的目的是评价在 MPSoC（多处理器片上系统）架构中未来的系统设计策略，在硬件设计和工具集成（现存的开发工具）两个方面展开讨论。当然，在 MPSoC 与可重构架构相结合的新趋势方面，本书也作为一个研究主题。本书主要的重点内容是在系统架构、设计流程、工具开发、应用以及系统设计方面。

作者衷心地感谢所有文献作者及其合作者为本书最终付梓所作出的杰出贡献。此外，还要感谢 Springer 集团的 Amanda Davis 夫人、Charles Glaser 先生以及 Jeya Ruby 女士所给予的大力支持和耐心帮助。

Michael Hübner 和 Jürgen Becker

于德国 巴登-符腾堡州 卡尔斯鲁厄 (Karlsruhe)

目 录

译者序

原书前言

第1章 多核片上系统介绍——趋势与挑战	1
1.1 从片上系统到多处理器片上系统	1
1.2 多处理器片上系统的通用架构	2
1.2.1 处理单元	3
1.2.2 互连	3
1.2.3 电源管理	3
1.3 电源效率与适应性	4
1.4 复杂性与可扩展性	5
1.5 异构与同构方法	6
1.5.1 异构多处理器片上系统	7
1.5.2 同构多处理器片上系统	8
1.6 多变量优化	10
1.6.1 静态优化	10
1.6.2 动态优化	11
1.7 静态与动态中心化和分散方法的对比	15
1.8 小结	16
缩略语	17
参考文献	18

第1部分 应用映射与通信基础设施

第2章 独立开发、验证与执行的可组合性与可预测性	23
2.1 简介	23
2.2 可组合性与可预测性	25
2.2.1 专用术语	25
2.2.2 可组合资源	29
2.2.3 可预测性资源	32
2.2.4 可组合与可预测资源	33
2.3 处理器芯片	35
2.3.1 可组合性	35
2.3.2 可预测性	38

VI 多处理器片上系统的硬件设计与工具集成

2.4 互连	38
2.4.1 可组合性	39
2.4.2 可预测性	40
2.5 存储芯片	40
2.5.1 可预测性	41
2.5.2 可组合性	45
2.6 实验	46
2.7 小结	48
参考文献	50
第3章 在片上多处理器系统中硬件支持下的有效资源利用	53
3.1 简介	53
3.2 学习网络处理应用	55
3.2.1 商用网络处理器	56
3.2.2 网络应用实例	57
3.2.3 FlexPath NP 方法	58
3.2.4 通过网络处理可以在多核域中学到什么	62
3.3 学习高性能计算和科学计算	63
3.3.1 芯片上的分层多拓扑网络	64
3.3.2 任务管理	67
3.3.3 同步子系统	68
3.3.4 从超级计算中可以在多核领域学到什么	69
3.4 自然界生物启发、自组织系统的学习	69
3.4.1 自然界独立生存体的集体行为和技术系统	70
3.4.2 自适应 IP 核的技术实现	71
3.4.3 多核领域从自然界能够学到什么	75
3.5 小结	75
参考文献	76
第4章 在多核上的映射应用	78
4.1 PALLAS	78
4.2 驱动应用	79
4.2.1 基于内容的图像检索	80
4.2.2 光流跟踪	81
4.2.3 静态视频背景提取	83
4.2.4 自动语音识别	83
4.2.5 压缩传感 MRI	85
4.2.6 市场价值的风险估计计算金融	86
4.2.7 游戏	87
4.2.8 机器翻译	88

4.2.9 本节小结	89
4.3 并行性能的观点	89
4.3.1 不被要求的线性缩放	90
4.3.2 衡量实际的实物硬件问题	90
4.3.3 考虑算法	91
4.3.4 归纳	91
4.4 模式的框架	91
4.4.1 应用程序框架	92
4.4.2 规划框架	93
4.5 小结	95
4.6 附录	96
4.6.1 结构模式	96
4.6.2 计算模式	96
4.6.3 并行算法策略模式	96
参考文献	97
第5章 消息传递给多核芯片的例子	99
5.1 度量标准比较的并行编程模型	99
5.2 对比框架	100
5.3 对比消息传递和共享内存	101
5.3.1 议程并行	102
5.3.2 结果并行	102
5.3.3 专家并行	103
5.4 框架结构的影响	103
5.5 讨论和小结	104
参考文献	105

第2部分 多处理器系统的可重构硬件

第6章 适应性多处理器片上系统构建：自主系统设计和运行时间支持的新角度

6.1 简介	109
6.2 背景：硬件重新配置的介绍	111
6.2.1 时钟重置基本概念	111
6.2.2 时钟重置基本概念和配置间隔分类	113
6.3 有关工作	115
6.4 RAMPSoC 方法	116
6.5 RAMPSoC 的硬件架构	118
6.6 RAMPSoC 的设计方法	120
6.7 CAP - OS：用于 RAMPSoC 配置访问端口操作系统	123

6.8 小结与展望	126
参考文献	126

第3部分 多处理器系统的物理设计

第7章 设计工具和芯片物理设计模型	131
7.1 简介	131
7.2 MOS 复杂门的应用	132
7.3 减少线长	133
7.4 减少功率	134
7.5 布局策略	134
7.6 一个晶体管网络的布局	135
7.7 使用 ASTRAN 帮助模拟单元的合成	139
7.8 小结	140
参考文献	141
第8章 电源感知多核 SoC 芯片和 NoC 设计	142
8.1 简介	142
8.2 功率估算模型：从电子表格到功率状态机	145
8.2.1 处理器的功耗模型	147
8.2.2 存储功耗模型	148
8.2.3 片上互连的功耗模型	148
8.2.4 功率模型的嵌入式软件	150
8.2.5 功率估算、分析和优化工具	151
8.2.6 标准化和功率格式	153
8.3 电源管理	154
8.3.1 管理技术分类	155
8.3.2 功率的动态监测和散热管理	156
8.4 未来趋势	159
参考文献	160

第4部分 多处理器系统的趋势与挑战

第9章 嵌入式多核系统：设计挑战与机遇	167
9.1 简介	167
9.2 “真实世界”的要求	168
9.2.1 恒功率持续的高性能要求	168
9.2.2 高级系统集成的需求	168
9.3 产业增长的驱动力和可持续发展的大趋势	169
9.3.1 互动世界	170
9.3.2 连通世界	170

9.3.3 安全世界	170
9.4 区分多核 SoC 特性	172
9.4.1 虚拟化	172
9.4.2 异构多核系统	173
9.5 多核设计: 关键因素	174
9.6 性能	174
9.7 系统带宽	175
9.8 软件复杂性	176
9.9 SoC 集成	176
9.9.1 面积和功率	177
9.9.2 互连的关键作用	178
9.9.3 互连拓扑的选择	179
9.9.4 软件	180
9.9.5 异构多核	180
9.10 多核设计: 挑战与机遇	181
9.10.1 汇合点性能目标	181
9.10.2 基于标准的编程模型	183
9.10.3 高级调试与优化	187
9.11 小结	187
参考文献	188
第 10 章 高性能多处理器片上系统: 面向大规模市场的芯片架构	189
10.1 简介	189
10.1.1 大规模市场与高性能	189
10.2 比例形式与用户期望	192
10.2.1 比例的限制	193
10.3 CPU 的趋势	194
10.3.1 功率	195
10.3.2 暗硅	195
10.3.3 如何处理暗硅	198
10.4 小结	203
参考文献	204
第 11 章 侵入计算: 概述	205
11.1 简介	205
11.1.1 并行处理已经成为主流	206
11.1.2 在未来 2020 年及以后的困难和不足	208
11.1.3 侵入计算的挑战和原则	209
11.1.4 支持侵入计算的架构挑战	209
11.1.5 用于侵入计算支持下的符号表示问题	215

X 多处理器片上系统的硬件设计与工具集成

11.1.6 支持侵入计算的算法和语言挑战	216
11.1.7 侵入计算的操作系统问题	219
11.2 侵入式程序的例子	221
11.3 预期影响和风险	225
参考文献	227

第1章 多核片上系统介绍——趋势与挑战

Lionel Torres、Pascal Benoit、Gilles Sassatelli、Michel Robert、
Fabien Clermidy 和 Diego Puschini

1.1 从片上系统到多处理器片上系统

摩尔经验定律不仅描述了由技术发展带来的半导体器件的集成密度的提高，而且也指出了由此带来的新的要求和挑战。系统复杂度也在以同样的高速度提升，当前系统设计的方法已非20年前可比。新的架构设想被不断提出，这是一种必然规律。显然，在过去20年间有3次主要的技术革命。这些都被摩尔定律一言中：第一次革命是在20世纪80年代中期，同一块硅片上被嵌入越来越多的电子器件，这可以说是片上系统（SoC）的新纪元。那时的一个主要技术挑战是如何将这些电子器件有效地连接起来。为了能够达到这样的目的，人们使用了总线连接架构，而且延续了很长时间。到了90年代中期，无论在产业上还是学术上，这种架构都遇到了新的挑战。这就是处理器核的数量变得越来越多，但是在这些核间的通信却在单一的介质上进行。一种基于网络通信架构的方案应运而生，这就是所谓的片上网络（Network on Chip, NoC），经过10年的精心研究和不断努力，这种架构相当大程度上改善了原来的系统。最近的一次突破是在21世纪初，源于要在同一芯片上将一系列处理器连接起来的需求。当原先开发过的系统嵌入到一个单处理器时，芯片的主要部分，很多的主要部分必将共用全部的控制。这就催生了多处理器片上系统（MPSoC）^[1]。通过其所提供的架构给出了一个完备的集成系统，这个系统合并了诸多嵌入式处理器、内存以及专用电路[加速器，I/O（输入/输出）设备]。与单一片上系统不同，多处理器片上系统包含了两个或两个以上的处理器来管理应用进程，用以达到更高的性能。自此之后，大量重要的研究和商业设计相继展开^[2]。这些多处理器片上系统逐渐进入了商业化运营，同时在以后的几年中，他们在较大的技术改进中也被寄予了很高的期望^[3]。目前，第三次技术革命将要很清晰和彻底地改变人们对于SoC架构的固有思想。图1.1总结了在最近不足20年间3次技术革命的变迁情况。

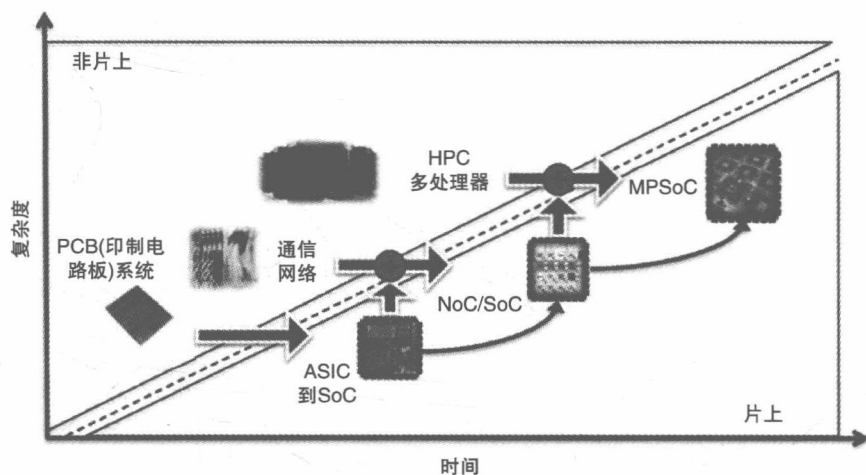


图 1.1 从 SoC 到 MPSoC

1.2 多处理器片上系统的通用架构

本节描述了一种通用 MPSoC，仅介绍了其主要原理，这是为了在架构的基础上建立有效的题设条件。一般来讲，MPSoC 由一些处理单元组成，这些处理单元由图 1.2 所示的连接架构相互连接而成。

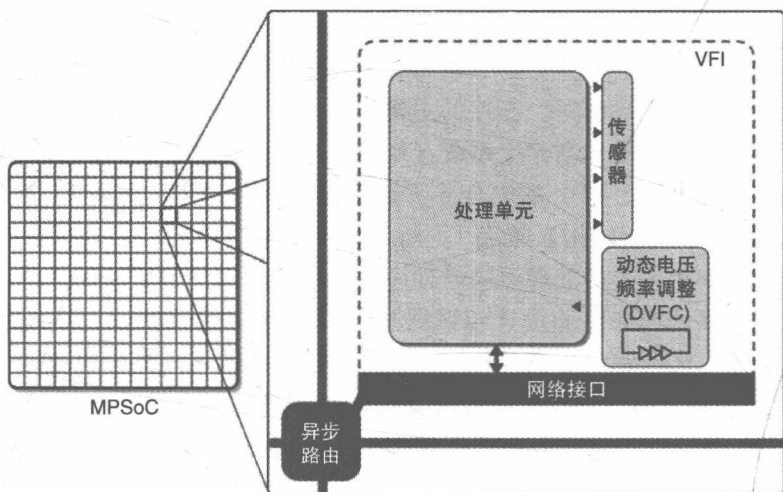


图 1.2 通用 MPSoC 架构

1.2.1 处理单元

MPSoC 的处理单元 (PE) 与应用的背景和要求有关。区分两类架构。其中的一类: 异构 MPSoC 由不同的处理单元 (处理器、存储器、加速器以及外围) 组成。这些平台理所当然地成为了先驱, 它们是 C-5 网络处理器^[4]、Nexperia 媒体处理器^[5] 以及开放式多媒体应用平台^[6], 这些在文献 [2] 中有相应的论述。另一类展示了同构 MPSoC, 这种 MPSoC 的代表有 Lucent Daytona 架构^[2,7], 这种架构使同样芯片实例化了几倍。本章以这两种架构以及图 1.2 所示的同构和异构的设计方案为对象进行讨论。例如进行大量的工作时会考虑采用这样的处理器, 同样也会利用一些灵活的硬件电路, 比如说那些可重构结构组成的异构 PE。

1.2.2 互连

早期描述的处理单元大多是由一个 NoC 来连接^[8-11]。NoC 由网络接口 (NI)、路由节点以及链接组成。美国国家仪器公司的芯片在连接环境和处理单元领域做了接口, 这样就将计算功能和通信功能分离开来。路由节点, 也被称为路由器的装置负责对传输路径进行工作, 路由器可以通过这种链接在信源和目标处理单元之间进行数据仲裁。目前, 已经对几种网络拓扑进行了研究^[12,13]。图 1.2 给出了一种二维连接网格。图中所提供通信吞吐量的分选形式必须满足有针对性的应用程序集的需求。

NoC 通过在美国国家仪器公司的芯片上实施异步—同步的接口模式, 为“全局异步、局部同步” (GALS) 的属性设计带来了便利。图 1.2 就是这种异步路由器的例子, 并突出展示了这种属性。

1.2.3 电源管理

当前, 主要的挑战之一就是提高嵌入式系统的能耗效率的方法。GALS 的特点允许将 MPSoC 划分为几个电压/频率岛 (VFI)。本例中, 在给定的电压频率下, 每个 VFI 包含了一个处理单元时钟。这种方法可对电源进行精细化微粒管理^[17]。如文献 [18, 19] 所给出的, 经过深思熟虑而设计的 MPSoC 包含了分散的动态电压频率调整技术 (DVFS), 这种技术使每个处理单元都包含一个动态电压频率调整装置。电源优化由每个处理单元的电压和频率自适应组成, 以便平衡能耗和性能之间的关系。在更多的高级 MPSoC 中, 在每个处理单元内部就集成了一套传感器用来提供关于能耗、温度、性能以及其他标准的信息, 这些信息用管理动态电压频率调整装置。无论如何, 由于专用电路的能耗, 就算是较粗放的、在一个包含 VFI 处理单元的电源管理也被用在 MPSoC 中。这些设备将为电源管理提供不同的控制水准。

1.3 电源效率与适应性

正如在原书前言中所言, MPSoC 是服从摩尔定律的^[20]。这个经验定律在过去的几十年间被证明是正确的。图 1.3 展示了几个例子, 这几个例子说明了处理器中所拥有的晶体管数目。但对于 MPSoC 而言, 根据摩尔定律, 什么又是其即将迎来的挑战呢? 晶体管的集成密度越高意味着性能越强(但同时也引起了芯片的高能耗), 在这一点上要归功于处理器核数量的提高。从另外一方面来讲, 芯片的能耗也越来越高。最近几年, 关于电源优化已经成为了一个最热的研究课题, 不仅对于使用电池供电的装置是这样, 对于大量不同的拥有高计算性能家用电子设备也概莫能外。国际半导体技术规划组织 (ITRS)^[21] 预测, 在近 5 年内将会在静态能耗器件的功耗方面有较大的增长, 这是由其中两个因素之一所决定的。此外, 该组织还预测对于这样的设备而言, 在逻辑运算和存储器两个部分动态能耗和漏能耗将是等效的。不断增长的性能要求所带来的这些趋势, 将使 MPSoC 的架构问题转化成为真正的挑战^[5,4]。应该怎样对芯片进行管理, 从而能够在数以百万计的晶体管集成设计中权衡能耗与性能问题呢(见图 1.4)?

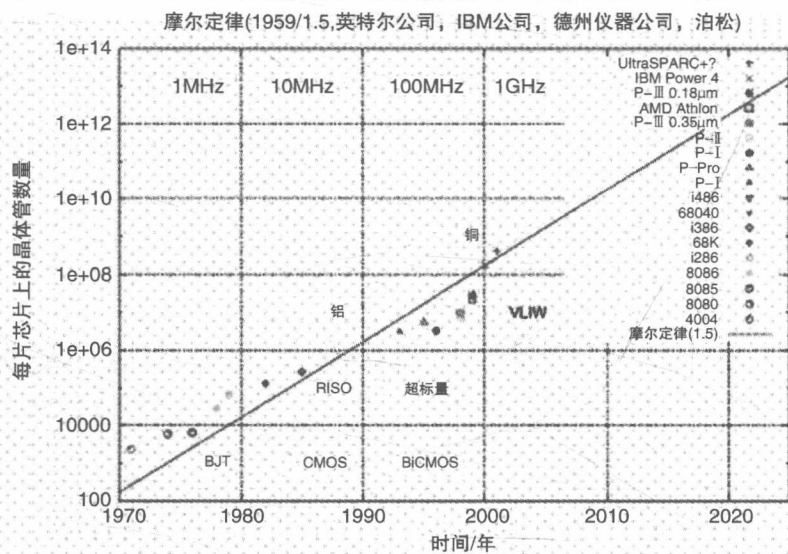


图 1.3 CPU 晶体管的数量

需要承认的一点是, 先进的能量管理实现了对效率强制执行。这不仅仅是对于移动设备, 对所有电子设备都是如此^[21]。

如果说 MPSoC 理应设计为能源高效的, 那么操作环境将不会考虑设计为静态的。下面举一个简单的例子来理解第四代远程通信应用的概念。计算密集型复

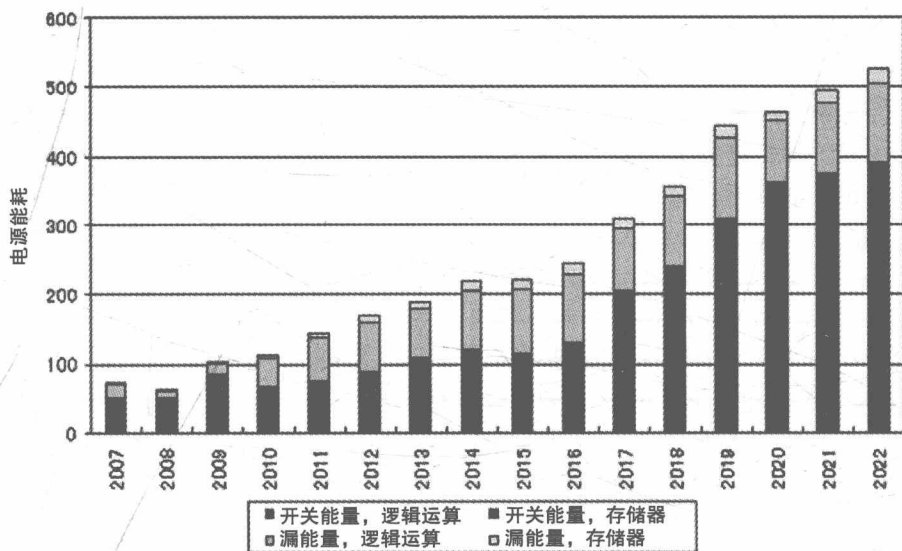


图 1.4 片上系统耗能器件的静态能耗趋势

杂通道的预测算法需要用低质量的传输通道来维持大吞吐量。无论如何，当移动终端趋近于一个基站时，节省能源的简便方案就应该及时给出。我们该怎样在操作环境中能管理这些修正呢？

关于环境条件的第二个例子是考虑技术的变异性。摩尔定律预示了越来越多的晶体管集成在芯片上会提高芯片性能，但同时也会带来变异性的问题。变异是一个自然现象，这种现象经常存在于 CMOS（互补金属氧化物半导体）的制造过程中。变异性在历史上曾经在设计裕度上考虑过，这主要是指使用晶片和芯片的差异性统计。然而，由于晶体管的尺寸抵消了这种现象的不断增长，应对变异性已经真正成为了一种挑战：在同一芯片上的参数的分布性毫无疑问地对系统操作产生了影响。这种现象也影响到了 MPSoC。比如说，同一个系统中的所有处理单元并不能够按照相同的时钟频率来运行。很自然的一种结果就是，同一 MPSoC 的两个范例经常获得并不相同性能水平。因此，针对在制造过程中所产生的变异，设计者该怎样保证其性能管理呢？

为了能在动态的变异环境下提高电源效率，答案就是系统应该具有自适应能力。换句话说，解决方案是系统自身或系统的一部分能够根据其所处的环境变化进行自我调节，以便满足要求。

1.4 复杂性与可扩展性

正如在介绍中所述，由摩尔定律所预言的发展也已经加速了由处理单元数量