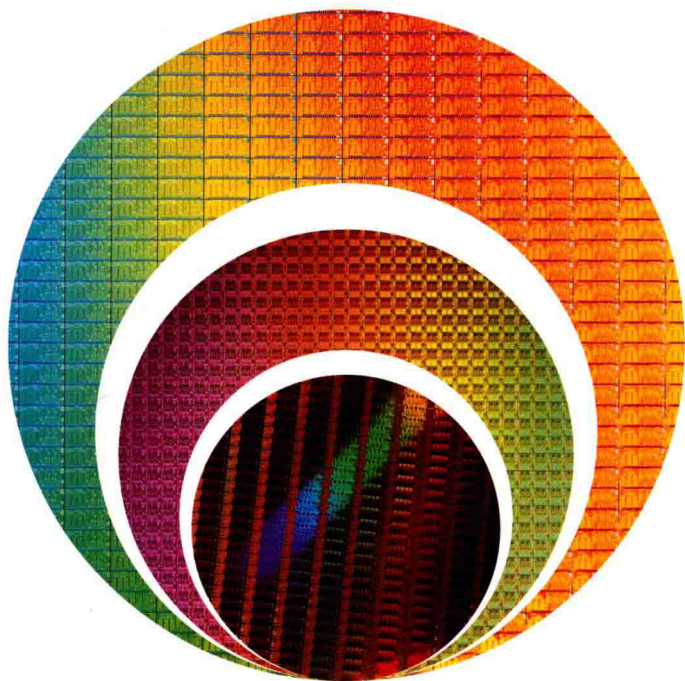


国内首本关于纳米集成电路制造工艺的著作

半导体产业领军人物张汝京博士组织，顶级半导体代工厂一线科研人员编写  
清华大学王志华教授作序推荐



Nanoscale Integrated Circuits — The Manufacturing Process  
Second Edition

# 纳米集成电路 制造工艺

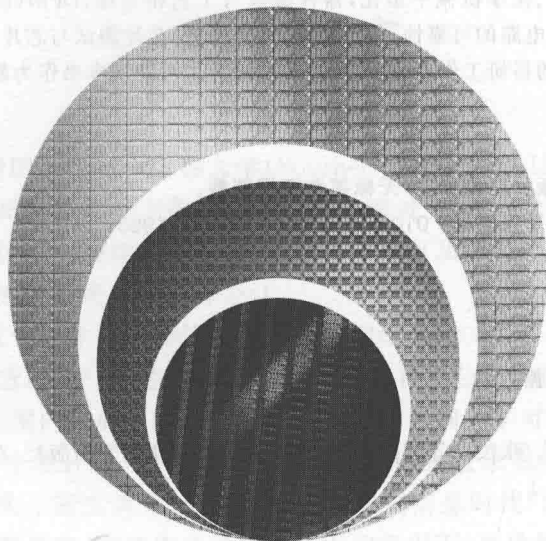
(第2版)

张汝京等 编著



清华大学出版社

内容简介



Nanoscale Integrated Circuits — The Manufacturing Process  
Second Edition

# 纳米集成电路 制造工艺

(第2版)

张汝京等 编著

清华大学出版社  
北京

## 内 容 简 介

本书共分19章,涵盖先进集成电路工艺的发展史,集成电路制造流程、介电薄膜、金属化、光刻、刻蚀、表面清洁与湿法刻蚀、掺杂、化学机械平坦化,器件参数与工艺相关性,DFM(Design for Manufacturing),集成电路检测与分析、集成电路的可靠性,生产控制,良率提升,芯片测试与芯片封装等项目和课题。

国内从事半导体产业的科研工作者、技术工作者和研究生可使用本书作为教科书或参考资料。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

纳米集成电路制造工艺/张汝京等编著.—2版.—北京:清华大学出版社,2017  
ISBN 978-7-302-45233-1

I. ①纳… II. ①张… III. ①纳米材料—集成电路工艺 IV. ①TN405

中国版本图书馆CIP数据核字(2016)第264025号

责任编辑:文怡王芳

封面设计:李召霞

责任校对:白蕾

责任印制:杨艳

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦A座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质量反馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

课件下载: <http://www.tup.com.cn>, 010-62795954

印刷者:北京富博印刷有限公司

装订者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:30.5 字 数:744千字

版 次:2014年7月第1版 2017年1月第2版 印 次:2017年1月第1次印刷

印 数:1~2500

定 价:89.00元

产品编号:071290-01

# 序 言

张汝京先生,于美国南方卫理公会大学(Southern Methodist University)取得电子工程博士学位。他曾在德州仪器公司工作过20年,并管理过美国、日本、新加坡、意大利及中国台湾地区等多座半导体工厂的相关业务,在半导体技术以及信息产业的发展规划上,张汝京先生卓越的成就和独到的眼光得到业界公认。

更重要的,张汝京先生作为半导体技术方面的创始人,2000年4月,他创办了中国当时最先进的集成电路制造厂——中芯国际集成电路制造有限公司,将国内的半导体加工水平提升到了国际水平,对国内集成电路产业的跨越式发展起到了不可替代的作用。

2009年12月,一个冬日的下午,我专程去上海拜访张汝京先生。那时,恰逢我刚刚给清华大学信息学院的大一新生讲完“从晶体管的发明到信息时代”的课程。近几年,我深深感觉到信息产业的发展迅速,在消费市场巨大需求的牵引下,半导体技术从科学原理到加工工艺都有着日新月异的进步,十年甚至五年前的技术放到今天就已经极为过时了。怎么才能给学生们讲清基本原理的同时,舍弃过时的技术,代之以业界正在使用的成熟技术,甚至是业界尚在研究开发的次世代技术,是我们当时极为关心的话题。

我想到,张先生是随着半导体产业的发展成长起来的领军人物,见证了几个技术世代的兴起与淘汰。他本人不仅有着深厚的学术根基,有着丰富的产业经验,其带领的团队也掌握了业界当时最为尖端的90纳米半导体加工工艺,并且在研制下一代的65纳米和40纳米工艺节点的制造工艺。如果能邀请张先生和他的团队完成一本面向大学生、研究生的先进半导体工艺教科书,我相信是一个最恰当的选择。这个念头自此成为请张先生写作这本书的起始驱动。

所幸,尽管张先生和他的团队事务繁忙,但基于对行业的赤诚,以及对年轻后辈的关爱,他欣然答应。经过数年的笔耕,这本书终于出现在读者面前。值得一提的是,张先生的团队是多年来在顶级半导体代工厂一线工作的科研人员,他们处理实际问题的经验以及从产业出发的独特技术视角,相信会为本书带来传统半导体工艺教材所没有的特色。

感谢清华大学的杨轶博士、李铁夫博士,没有他们多次往返京沪奔波,随时协助张汝京先生整理文字、核对数据,就不可能完成这本书的创作。感谢牛崇实博士、张启华博士等为本书做出贡献的作者们。

王志华

2014年3月于北京

## 再版前言

在 20 世纪 40 年代,贝尔实验室的科学先贤们发明了晶体管;到了 20 世纪 50 年代,德州仪器公司和仙童公司的科技大师们分别发明并推展了集成电器的生产技术;至 20 世纪 60-70 年代,大规模生产半导体器件的技术在美国、欧洲及亚洲也蓬勃发展开来;20 世纪 80 年代-迄今,超大型集成电路的设计和生产工艺继续不断以惊人的速度,几乎按着“摩尔定律”不断地加大半导体器件的集成度,而超大型芯片在“线宽”(CD)上也以倍数的形式进行着细微化。自 2000 年起集成电路的线宽也从“微米级”进入了“纳米级”。2010 年起我国先进的半导体生产工艺也从 45nm 延伸至 28nm 以及更小的线宽。超大规模集成电路的生产工艺,从“微米级”到“纳米级”发生了许多根本的变化。甚至,从 45nm 缩小至 28nm(以及更小的线宽)也必须使用许多新的生产观念和技术。

清华大学的王志华教授于 2010 年就提议由国内熟悉这类工艺的学者、专家、工程师们共同编撰一本较为先进的半导体工艺教科书,同时也可以供半导体厂的工作人员作为参考资料之用,内容要包含 45nm、32nm 至 28nm(或更细微化)的工艺技术。本人非常荣幸有机会来邀请国内该领域的部分学者、专家和工程师们共同编写这本书。本书的初稿是用英文写作的,国内学校的许多老师和半导体业界的先贤、朋友们希望我们能用中文发行这本书,好让更多的研究所学生、工程师及科研同行更容易阅读并使用本书。我们接着邀请清华大学的教授、老师们将全书翻译成中文,同时也与各方联系取得引用外部资料的许可,清华大学出版社的编辑也帮我们进行编辑加工。几经审稿、改订,本书的第一版历时四年多终于完成编写工作!

本书共分 19 章,涵盖先进集成电路工艺的发展史,集成电路制造流程、介电薄膜、金属化、光刻、刻蚀、表面清洁与湿法刻蚀、掺杂、化学机械平坦化、器件参数与工艺相关性,DFM (Design for Manufacturing)、集成电路检测与分析、集成电路的可靠性、生产控制、良率提升、芯片测试与芯片封装等项目和课题。我们在此要特别感谢每一章的作者,他们将所知道的最新技术和他们实际工作的经验,尽力地在书中向我们科技界的朋友们一一阐述,也感谢他们为发展祖国的集成电路科技和协助提升同行朋友们的工艺水平做出的贡献!

我们在此特别提名感谢各位作者。第 1 章半导体器件由肖德元、张汝京与陈昱升撰写;第 2 章集成电路制造工艺发展趋势由卢炯平撰写;第 3 章 CMOS 逻辑电路及存储器制造流程由季明华、梅绍宁、陈俊、霍宗亮、肖德元与张汝京撰写;第 4 章电介质薄膜沉积工艺由向阳辉、何有丰、荆学珍与周鸣撰写;第 5 章应力工程由卢炯平撰写;第 6 章金属薄膜沉积工艺及金属化由杨瑞鹏、何伟业与聂佳相撰写;第 7 章光刻技术由伍强、时雪龙、顾一鸣与刘庆炜撰写;第 8 章干法刻蚀由张海洋与刘勇撰写;第 9 章集成电路制造中的污染和清洗技术由刘焕新撰写;第 10 章超浅结技术由卢炯平撰写;第 11 章化学机械平坦化由陈枫、刘东升与蒋莉撰写;第 12 章器件参数和工艺相关性由陈昱升撰写;第 13 章可制造性设计由张立夫撰写;第 14 章半导体器件失效分析由郭志蓉与牛崇实撰写;第 15 章集成电路可靠性

介绍由吴启熙与郭强撰写;第16章集成电路测量由高强与陈寰撰写;第17章良率改善由范良孚撰写;第18章测试工程由林山本撰写;第19章芯片封装由严大生等撰写。若不是以上各位学者、专家和朋友们撰写、审稿和改正,全心全力的投入带来宝贵的成果,这本书将无法完成!也感谢中芯国际集成电路有限公司提供的许多非常宝贵的协助!

半导体技术,特别是集成电路技术日新月异。本书自2014年6月出版发行,受到国内从事半导体产业的科技工作者、工程技术人员、高等院校研究生与教师的普遍欢迎,他们提出了许多有益意见与建议,希望本书能够再版。借此机会向他们一并表示感谢!再版时我们加强了半导体器件方面内容,增加了先进的FinFET、3D NAND存储器、CMOS图像传感器以及无结场效应晶体管器件与工艺等内容。

我们也要再次感谢清华大学的各位老师(王志华教授、李铁夫、杨轶博士)和清华大学出版社自始至终的鼓励、支持和鼎力相助,正是在他们的帮助下,这本书才能完成并展现在广大读者的面前!希望这本书能够以实际资料来支持国内半导体产业的学者、专家、技术工作者和研究生们独有的创新和发明,让我们的半导体产业与日俱进,从制造到创造,再创华夏辉煌盛世!

张汝京 敬上

2016年10月于上海

# 目 录

第 1 章 半导体器件	1
1.1 N 型半导体和 P 型半导体	1
1.2 PN 结二极管	2
1.2.1 PN 结自建电压	3
1.2.2 理想 PN 结二极管方程	3
1.3 双极型晶体管	4
1.4 金属-氧化物-半导体场效应晶体管	5
1.4.1 线性模型	6
1.4.2 非线性模型	6
1.4.3 阈值电压	8
1.4.4 衬底偏置效应	9
1.4.5 亚阈值电流	9
1.4.6 亚阈值理想因子的推导	9
1.5 CMOS 器件面临的挑战	10
1.6 结型场效应晶体管	13
1.7 肖特基势垒栅场效应晶体管	14
1.8 高电子迁移率晶体管	14
1.9 无结场效应晶体管	15
1.9.1 圆柱体全包围栅无结场效应晶体管突变耗尽层近似器件模型	17
1.9.2 圆柱体全包围栅无结场效应晶体管完整器件模型	18
1.9.3 无结场效应晶体管器件制作	20
1.10 量子阱场效应晶体管	22
1.11 小结	26
参考文献	26
第 2 章 集成电路制造工艺发展趋势	30
2.1 引言	30
2.2 横向微缩所推动的工艺发展趋势	31
2.2.1 光刻技术	31
2.2.2 沟槽填充技术	32
2.2.3 互连层 RC 延迟的降低	33
2.3 纵向微缩所推动的工艺发展趋势	35

2.3.1	等效栅氧厚度的微缩	35
2.3.2	源漏工程	36
2.3.3	自对准硅化物工艺	37
2.4	弥补几何微缩的等效扩充	37
2.4.1	高 $k$ 金属栅	38
2.4.2	载流子迁移率提高技术	39
2.5	展望	40
	参考文献	40
<b>第3章</b>	<b>CMOS逻辑电路及存储器制造流程</b>	<b>42</b>
3.1	逻辑技术及工艺流程	42
3.1.1	引言	42
3.1.2	CMOS工艺流程	44
3.1.3	适用于高 $k$ 栅介质和金属栅的栅最后形成或置换金属栅 CMOS工艺流程	51
3.1.4	CMOS与鳍式MOSFET(FinFET)	51
3.2	存储器技术和制造工艺	53
3.2.1	概述	53
3.2.2	DRAM和eDRAM	53
3.2.3	闪存	54
3.2.4	FeRAM	56
3.2.5	PCRAM	56
3.2.6	RRAM	57
3.2.7	MRAM	59
3.2.8	3D NAND	59
3.2.9	CMOS图像传感器	62
3.3	无结场效应晶体管器件结构与工艺	64
	参考文献	67
<b>第4章</b>	<b>电介质薄膜沉积工艺</b>	<b>71</b>
4.1	前言	71
4.2	氧化膜/氮化膜工艺	71
4.3	栅极电介质薄膜	76
4.3.1	栅极氧化介电层-氮氧化硅( $\text{SiO}_2\text{N}_y$ )	76
4.3.2	高 $k$ 栅极介质	79
4.4	半导体绝缘介质的填充	83
4.4.1	高密度等离子体化学气相沉积工艺	83
4.4.2	$\text{O}_3$ -TEOS的亚常压化学气相沉积工艺	87
4.5	超低介电常数薄膜	90



4.5.1	前言	90
4.5.2	RC delay 对器件运算速度的影响	91
4.5.3	$k$ 为 2.7~3.0 的低介电常数材料	92
4.5.4	$k$ 为 2.5 的超低介电常数材料	94
4.5.5	刻蚀停止层与铜阻挡层介电常数材料	95
	参考文献	96
<b>第 5 章</b>	<b>应力工程</b>	<b>98</b>
5.1	简介	98
5.2	源漏区嵌入技术	99
5.2.1	嵌入式锗硅工艺	99
5.2.2	嵌入式碳硅工艺	101
5.3	应力记忆技术	103
5.3.1	SMT 技术的分类	103
5.3.2	SMT 的工艺流程	104
5.3.3	SMT 氮化硅工艺介绍及其发展	105
5.4	双极应力刻蚀阻挡层	106
5.5	应力效应提升技术	108
	参考文献	110
<b>第 6 章</b>	<b>金属薄膜沉积工艺及金属化</b>	<b>112</b>
6.1	金属栅	112
6.1.1	金属栅极的使用	112
6.1.2	金属栅材料性能的要求	112
6.2	自对准硅化物	117
6.2.1	预清洁处理	117
6.2.2	镍铂合金沉积	119
6.2.3	盖帽层 TiN 沉积	120
6.3	接触窗薄膜工艺	121
6.3.1	前言	121
6.3.2	主要的问题	121
6.3.3	前处理工艺	122
6.3.4	PVD Ti	123
6.3.5	TiN 制程	124
6.3.6	W plug 制程	125
6.4	金属互连	126
6.4.1	前言	126
6.4.2	预清洁工艺	127
6.4.3	阻挡层	128

6.4.4	种子层	131
6.4.5	铜化学电镀	132
6.4.6	洗边和退火	138
6.5	小结	141
	参考文献	141
<b>第7章</b>	<b>光刻技术</b>	<b>144</b>
7.1	光刻技术简介	144
7.1.1	光刻技术发展历史	144
7.1.2	光刻的基本方法	144
7.1.3	其他图像传递方法	146
7.2	光刻的系统参数	147
7.2.1	波长、数值孔径、像空间介质折射率	147
7.2.2	光刻分辨率的表示	149
7.3	光刻工艺流程	151
7.4	光刻工艺窗口以及图形完整性评价方法	156
7.4.1	曝光能量宽裕度, 归一化图像对数斜率(NILS)	156
7.4.2	对焦深度(找平方法)	158
7.4.3	掩膜版误差因子	161
7.4.4	线宽均匀性	165
7.4.5	光刻胶形貌	172
7.4.6	对准、套刻精度	174
7.4.7	缺陷的检测、分类、原理以及排除方法	180
7.5	相干和部分相干成像	183
7.5.1	光刻成像模型, 调制传递函数	183
7.5.2	点扩散函数	193
7.5.3	偏振效应	195
7.5.4	掩膜版三维尺寸效应	198
7.6	光刻设备和材料	198
7.6.1	光刻机原理介绍	198
7.6.2	光学像差及其对光刻工艺窗口的影响	201
7.6.3	光刻胶配制原理	205
7.6.4	掩膜版制作介绍	208
7.7	与分辨率相关工艺窗口增强方法	210
7.7.1	离轴照明	210
7.7.2	相移掩膜版	212
7.7.3	亚衍射散射条	215
7.7.4	光学邻近效应修正	219
7.7.5	二重图形技术	221

7.7.6	浸没式光刻	223
7.7.7	极紫外光刻	224
	参考文献	225
<b>第 8 章</b>	<b>干法刻蚀</b>	<b>229</b>
8.1	引言	229
8.1.1	等离子刻蚀	229
8.1.2	干法刻蚀机的发展	229
8.1.3	干法刻蚀的度量	232
8.2	干法刻蚀建模	234
8.2.1	基本原理模拟	234
8.2.2	经验模型	236
8.3	先进的干法刻蚀反应器	240
8.3.1	泛林半导体	240
8.3.2	东京电子	241
8.3.3	应用材料	241
8.4	干法刻蚀应用	242
8.4.1	浅槽隔离(STI)刻蚀	243
8.4.2	多晶硅栅刻蚀	243
8.4.3	栅侧墙刻蚀	247
8.4.4	钨接触孔刻蚀	249
8.4.5	铜通孔刻蚀	252
8.4.6	电介质沟槽刻蚀	256
8.4.7	铝垫刻蚀	259
8.4.8	灰化	261
8.4.9	新近出现的刻蚀	262
8.5	先进的刻蚀工艺控制	266
	参考文献	267
<b>第 9 章</b>	<b>集成电路制造中的污染和清洗技术</b>	<b>270</b>
9.1	IC 制造过程中的污染源	270
9.2	IC 污染对器件的影响	270
9.3	晶片的湿法处理概述	272
9.3.1	晶片湿法处理的要求	272
9.3.2	晶片湿法处理的机理	272
9.3.3	晶片湿法处理的范围	273
9.4	晶片表面颗粒去除方法	273
9.4.1	颗粒化学去除	273
9.4.2	颗粒物理去除	274

9.5	制程沉积膜前/后清洗	276
9.6	制程光阻清洗	277
9.7	晶片湿法刻蚀技术	279
9.7.1	晶片湿法刻蚀过程原理	280
9.7.2	硅湿法刻蚀	280
9.7.3	氧化硅湿法刻蚀	280
9.7.4	氮化硅湿法刻蚀	282
9.7.5	金属湿法刻蚀	283
9.8	晶背/边缘清洗和膜层去除	284
9.9	65nm 和 45nm 以下湿法处理难点以及 HKMG 湿法应用	286
9.9.1	栅极表面预处理	286
9.9.2	叠层栅极: 选择性刻蚀和清洗	287
9.9.3	临时 poly-Si 去除	290
9.10	湿法清洗机台及其冲洗和干燥技术	291
9.10.1	单片旋转喷淋清洗机	291
9.10.2	批旋转喷淋清洗机	292
9.10.3	批浸泡式清洗机	293
9.11	污染清洗中的测量与表征	294
9.11.1	颗粒量测	294
9.11.2	金属离子检测	295
9.11.3	四探针厚度测量	295
9.11.4	椭圆偏光厚度测量	295
9.11.5	其他度量	296
	参考文献	296
<b>第 10 章</b>	<b>超浅结技术</b>	<b>298</b>
10.1	简介	298
10.2	离子注入	298
10.3	快速热处理工艺	303
	参考文献	307
<b>第 11 章</b>	<b>化学机械平坦化</b>	<b>311</b>
11.1	引言	311
11.2	浅槽隔离抛光	312
11.2.1	STI CMP 的要求和演化	312
11.2.2	氧化铈研磨液的特点	313
11.2.3	固定研磨粒抛光工艺	314
11.3	铜抛光	317
11.3.1	Cu CMP 的过程和机理	317

11.3.2	先进工艺对 Cu CMP 的挑战	319
11.3.3	Cu CMP 产生的缺陷	320
11.4	高 $k$ 金属栅抛光的挑战	324
11.4.1	CMP 在高 $k$ 金属栅形成中的应用	324
11.4.2	ILD0 CMP 的方法及使用的研磨液	325
11.4.3	Al CMP 的方法及使用的研磨液	326
11.5	GST 抛光(GST CMP)	326
11.5.1	GST CMP 的应用	326
11.5.2	GST CMP 的挑战	327
11.6	小结	327
	参考文献	327
<b>第 12 章</b>	<b>器件参数和工艺相关性</b>	<b>329</b>
12.1	MOS 电性参数	329
12.2	栅极氧化层制程对 MOS 电性参数的影响	330
12.3	栅极制程对 MOS 电性参数的影响	331
12.4	超浅结对 MOS 电性参数的影响	331
12.5	金属硅化物对 MOS 电性参数的影响	332
12.6	多重连导线	333
<b>第 13 章</b>	<b>可制造性设计</b>	<b>334</b>
13.1	介绍	334
13.2	DFM 技术和工作流程	337
13.2.1	光刻 DFM	337
13.2.2	Metal-1 图形的例子	339
13.3	CMP DFM	341
13.4	DFM 展望	343
	参考文献	344
<b>第 14 章</b>	<b>半导体器件失效分析</b>	<b>346</b>
14.1	失效分析概论	346
14.1.1	失效分析基本原则	346
14.1.2	失效分析流程	347
14.2	失效分析技术	350
14.2.1	封装器件的分析技术	350
14.2.2	开封技术	352
14.2.3	失效定位技术	353
14.2.4	样品制备技术	365
14.2.5	微分析技术	366

14.2.6	表面分析技术	376
14.3	案例分析	378
	参考文献	383
<b>第15章</b>	<b>集成电路可靠性介绍</b>	<b>384</b>
15.1	热载流子效应(HCI)	385
15.1.1	HCI的机理	385
15.1.2	HCI寿命模型	385
15.2	负偏压温度不稳定性(NBTI)	388
15.2.1	NBTI机理	388
15.2.2	NBTI模型	388
15.3	经时介电层击穿(TDDB)	391
15.4	电压斜坡(V-ramp)和电流斜坡(J-ramp)测量技术	391
15.5	氧化层击穿寿命预测	393
15.6	电迁移	393
15.7	应力迁移	394
15.8	集成电路可靠性面临的挑战	395
15.9	结论	396
<b>第16章</b>	<b>集成电路测量</b>	<b>397</b>
16.1	测量系统分析	397
16.1.1	准确性和精确性	397
16.1.2	测量系统的分辨力	397
16.1.3	稳定分析	398
16.1.4	位置分析	398
16.1.5	变异分析	399
16.1.6	量值的溯源、校准和检定	402
16.2	原子力显微镜	402
16.2.1	仪器结构	402
16.2.2	工作模式	403
16.3	扫描电子显微镜	404
16.4	椭圆偏振光谱仪	406
16.5	统计过程控制	410
16.5.1	统计控制图	411
16.5.2	过程能力指数	415
16.5.3	统计过程控制在集成电路生产中的应用	416
	参考文献	417

第 17 章 良率改善 .....	418
17.1 良率改善介绍 .....	418
17.1.1 关于良率的基础知识 .....	418
17.1.2 失效机制 .....	422
17.1.3 良率学习体系 .....	425
17.2 用于良率提高的分析方法 .....	431
17.2.1 基本图表在良率分析中的应用 .....	431
17.2.2 常用的分析方法 .....	435
17.2.3 系统化的良率分析方法 .....	437
第 18 章 测试工程 .....	440
18.1 测试硬件和程序 .....	440
18.1.1 测试硬件 .....	440
18.1.2 测试程序 .....	440
18.1.3 缺陷、失效和故障 .....	441
18.2 储存器测试 .....	442
18.2.1 储存器测试流程 .....	442
18.2.2 测试图形 .....	442
18.2.3 故障模型 .....	443
18.2.4 冗余设计与激光修复 .....	443
18.2.5 储存器可测性设计 .....	444
18.2.6 老化与测试 .....	445
18.3 $I_{DDQ}$ 测试 .....	445
18.3.1 $I_{DDQ}$ 测试和失效分析 .....	446
18.3.2 $I_{DDQ}$ 测试与可靠性 .....	446
18.4 数字逻辑测试 .....	446
18.5 可测性设计 .....	448
18.5.1 扫描测试 .....	448
18.5.2 内建自测试 .....	449
参考文献 .....	450
第 19 章 芯片封装 .....	451
19.1 传统的芯片封装制造工艺 .....	451
19.1.1 减薄(Back Grind) .....	451
19.1.2 贴膜(Wafer Mount) .....	451
19.1.3 划片(Wafer Saw) .....	451
19.1.4 贴片(Die Attach) .....	453
19.1.5 银胶烘焙(Epoxy Curing) .....	454

19.1.6	打线键合(Wire Bond)	455
19.1.7	塑封成型(压模成型, Mold)	457
19.1.8	塑封后烘焙(Post Mold Curing)	459
19.1.9	除渣及电镀(Deflash and Plating)	459
19.1.10	电镀后烘焙(Post Plating Baking)	460
19.1.11	切筋整脚成型(Trim/From)	460
19.2	大电流的功率器件需用铝线键合工艺取代金线键合工艺	462
19.3	QFN 的封装与传统封装的不同点	463
19.4	铜线键合工艺取代金线工艺	464
19.5	立体封装(3D Package)形式简介	464
19.5.1	覆晶式封装(Flip-Chip BGA)	464
19.5.2	堆叠式封装(Stack Multi-chip package)	465
19.5.3	芯片覆晶式级封装(WLCSP)	465
19.5.4	芯片级堆叠式封装(TSV package)	466
	参考文献	467



# 第 1 章 半导体器件

本章主要介绍以硅材料为主的半导体器件,以及由这些半导体器件及其他电子元器件所构成的当代集成电路不断按比例缩小所面临的挑战及可能的解决方案。

半导体器件与集成电路经历了艰难曲折的发展历程。第二次世界大战结束后不久,美国贝尔实验室开始研制新一代的固体器件以取代可靠性差又非常笨重的真空电子器件,具体由肖克莱(William Shockley)负责。终于在 1947 年的圣诞节期间,肖克莱的两位同事——理论物理学家巴丁(John Bardeen)和出生于中国厦门的实验物理学家布拉坦(Walter Brattain),在一个三角形石英晶体底座上将金箔片压到一块锗半导体材料表面并形成两个点接触,当一个接触点为正向偏置(即相对于第三点加正电压),而另一个接触点为反向偏置时,可以观察到将输入信号放大的晶体管行为。他们把这一发明称为“点接触晶体管放大器”,它可以传导、放大和开关电流。

1949 年肖克莱发表了关于 PN 结理论及一种性能更好的双极型晶体管(Bipolar Junction Transistor, BJT)的经典论文,通过控制中间一层很薄的基极上的电流,实现放大作用,并于次年制成具有 PN 结的锗晶体管。<sup>[1]</sup>由于双极型晶体管是通过控制固体中的电子运动实现电信号的放大和传输功能,比当时的主流产品真空电子管性能可靠、耗电节省,更为突出的是体积小得多,因此在应用上受到广泛重视,它很快取代真空管作为电子信号放大组件,成为电子工业的强大引擎,由此引发了一场电子革命,将人类文明带入现代电子时代,被媒体和科学界称为“20 世纪最重要的发明”。他们三人(肖克莱、巴丁、布拉坦)因此分享了 1956 年度的诺贝尔物理学奖。自第一个晶体管被发明以来,各式各样的新型半导体器件凭借更先进的技术、更新的材料和更深入的理论被发明。<sup>[2]</sup>

## 1.1 N 型半导体和 P 型半导体

单晶硅具有准金属的物理性质,有较弱的导电性,其电导率随温度的升高而增加,有显著的半导电性。超纯的单晶硅是本征半导体,基本上不导电。

在硅晶体中掺入微量的 V A 族杂质原子(如磷、砷、锑等),可形成 N 型半导体,电子(带负电)是其导电的主要载流子。这是因为这些杂质原子和硅原子形成共价键结构时,其外围五个电子中的四个会留下一个电子不受共价键束缚而成为自由电子,于是 N 型半导体就成了含电子浓度较高的半导体,其导电性主要是因为自由电子导电,如图 1.1 所示。

在硅晶体中掺入微量的 III A 族杂质原子(如硼、镓等),将形成 P 型半导体,空穴(带正电)是其导电的主要载流子。这些杂质原子和硅原子形成共价键结构时,其外围只有三个电子,比硅原子少了一个电子而留下了一个空缺,即空穴。当空穴被其他邻近的电子补上时,那补位的电子原先的位置便又留下了一个新的空穴,这个空穴的转移可视为正电荷的运动,成为能够导电的载流子(见图 1.2)。