

周润景 姜攀 编著

基于 ANSYS^的

信号和电源完整性 设计与分析



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

基于 ANSYS 的信号和电源 完整性设计与分析

周润景 姜攀 编著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书主要介绍信号完整性和电源完整性的基础理论和设计方法,并结合实例,详细介绍了如何在ANSYS仿真平台完成相关仿真,并分析结果。同时,在常见的数字信号高速电路设计方面,本书详细介绍了高速并行总线DDR3和高速串行总线PCIE、SFP+传输的特点,以及运用ANSYS仿真平台的分析流程和方法。

本书特点是理论和实例相结合,并且基于ANSYS 15.0的SIwave、HFSS、Designer仿真平台,使读者可以在软件的实际操作过程中,理解高速电路设计理念,熟悉仿真工具和分析流程,发现相关的问题,并运用类似的设计、仿真方法去解决。

本书适合从事芯片、封装、PCB设计及数字电路硬件设计的工程技术人员阅读使用,也可作为高等学校相关专业的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

基于ANSYS的信号和电源完整性设计与分析/周润景,姜攀编著. —北京:电子工业出版社,2017.1

ISBN 978-7-121-30495-8

I. ①基… II. ①周… ②姜… III. ①有限元分析-应用软件 IV. ①O241.82

中国版本图书馆CIP数据核字(2016)第288209号

策划编辑:张剑(zhang@phei.com.cn)

责任编辑:靳平

印 刷:北京中新伟业印刷有限公司

装 订:北京中新伟业印刷有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本:787×1092 1/16 印张:15.75 字数:403.2千字

版 次:2017年1月第1版

印 次:2017年1月第1次印刷

定 价:49.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至zltz@phei.com.cn,盗版侵权举报请发邮件至dbqq@phei.com.cn。

本书咨询联系方式:zhang@phei.com.cn。

前 言

目前, PCB 系统中最典型的电性能分析主要包括信号完整性 (Signal Integrity, SI)、电源完整性 (Power Integrity, PI) 和电磁兼容 (Electro Magnetic Compatibility, EMC) 三大方向, 越来越多的人和公司开始逐渐意识到高速设计对 PCB 和系统设计带来的挑战。伴随着集成电子电路的工作频率和集成化程度的不断提高, PCB 布局布线越来越密集, 信号之间的影响也越来越大, 通过仿真手段在 PCB 设计阶段就对潜在的 SI/PI/EMI 问题进行控制, 可以降低研发成本与缩短产品开发时间。不管是在国外还是在国内, 在半导体、芯片封装、计算机、通信、消费电子、航空航天和国防等各个领域, 人们对 SI、PI 和 EMI 的设计流程和分析验证都显得格外重视。

基于以上的认识, 我们对本书各章节做了相应的安排。本书具有如下 3 个特点。

- ① 理论与软件操作相结合: 将信号完整性及电源完整性理论分析研究与 ANSYS 的信号完整性工具及电源完整性工具相结合, 对高速电路设计中存在的信号完整性问题和电源完整性问题进行了分析和研究, 并提出了相应的解决方法。
- ② 与设计实例相结合: 本书结合了 Altera 公司的 Stratix GX 开发板、DDR 板卡与 Stratix GX 开发板的互连系统、PCI-E 板卡等设计实例, 对其中的信号完整性和电源完整性问题进行了分析与研究, 使读者在掌握理论与软件操作的同时, 最终将其应用到实际设计中。
- ③ 系统性与独立性: 本书基本上涵盖了高速电路板设计中信号完整性、电源完整性及电磁兼容的基本问题, 读者既可以把本书作为教材来系统性地学习, 也可以当作工具书有针对性地阅读其中的某一章或某几章, 从而适合不同层次、不同水平的读者进行阅读。

本文所采用的 ANSYS 电子自动化设计 (EDA) 软件, 提供业界唯一完整的系统、电路和电磁场全集成化设计平台, 完成从部件设计、电路仿真优化到系统仿真验证的全过程, 并在高频和低频电磁场仿真、时域/频域非线性电路仿真、机电一体化设计技术等方面始终处于领导地位, 广泛应用于各类高性能电子设备的设计。本书所采用的软件工具如下。

- ① HFSS: 3 维高频结构全波电磁场仿真, 对高速信号通道中的 PCB、过孔、封装、连接器、电缆等进行精确的全波仿真、设计与建模, 仿真机箱/机柜的屏蔽效能、谐振特性和 PCB 系统的辐射特性。
- ② SIwave: PCB 和封装信号完整性/电源完整性、EMI/EMC 设计仿真工具, 采用有限元法直接仿真复杂的 PCB 结构, 得到 PCB 电源/地平面的谐振特性、完备的信号线传输模型、供电阻抗、直流压降、近场和远场辐射等特性。
- ③ Designer: 高速系统设计和仿真环境, 可以动态链接和直接调用 3 维电磁场仿真、PCB 电磁场仿真、电路仿真及测试数据, 进行高速信号通道和 PCB 工作特性仿真。

本书主要分为信号完整性分析、电源完整性分析、电磁兼容三大部分, 每部分又可分为基础理论与软件操作。本书共 8 章, 其中第 4 章由贾雯进行验证并编写, 第 5 章由托亚进行

验证并编写，第7章由姜攀进行验证并编写，其余各章由周润景编写，全书由周润景统稿。参加本书编写的还有王洪艳、蒋诗俊、李志、刘艳珍、刘白灵、韩亦佺、刘晓霞、张大山、何茹、张晨、樊宇。

本书的出版得到了电子工业出版社张剑先生的大力支持，也有很多读者提出了宝贵的意见，在此一并表示感谢！

本书得到国家自然科学基金的支持（高速数字系统的信号与电源完整性联合分析及优化设计，项目批准号：61161001，2012.1—2015.12），在此表示感谢！

本书对于高速电路设计人员及相关专业的教师、学生具有很好的使用价值与参考意义，并对提高我国高速电路的设计水平发挥积极的作用。由于 ANSYS 公司的仿真工具功能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，不妥之处还望各位读者指正。

编著者

目 录

第 1 章 信号完整性	1
1.1 信号完整性的要求及问题的产生	1
1.2 信号完整性问题的分类	2
1.3 传输线基础理论	3
1.4 端接电阻匹配方式	8
1.5 仿真模型	12
1.6 S 参数	27
1.7 电磁场求解方法	29
第 2 章 HDMI 的仿真与测试	33
2.1 HDMI 简介	33
2.2 HDMI 信号完整性前仿真分析	34
2.3 HDMI 信号完整性后仿真分析	35
2.3.1 切割 TMDS 差分线	35
2.3.2 频域分析	39
2.3.3 时域分析	47
2.3.4 差分对匹配	58
2.3.5 实测对比	60
2.4 本章小结	61
第 3 章 PCIE 的仿真与测试	62
3.1 PCIE 简介	62
3.2 SIwave 提取传输线 S 参数	63
3.3 差分对建模仿真分析	68
3.4 在 Designer 中联合仿真	80
3.5 PCIE 的仿真与实测对比	86
3.6 本章小结	87
第 4 章 SFP + 高速通道的仿真与测试	88
4.1 SFP + 简介	88
4.2 SFP + 通道仿真	89
4.3 系统级频域 S 参数仿真	97
4.3.1 添加 S 参数模型	98
4.3.2 添加频率扫描	99
4.3.3 查看仿真结果	101
4.4 TDR 仿真	102
4.4.1 添加参数模型	103

4.4.2	建立瞬态分析	104
4.4.3	创建结果报告	105
4.5	时域眼图仿真	106
4.5.1	输入 AMI 模型	107
4.5.2	设置 AMI 模型	109
4.5.3	仿真设置	109
4.5.4	查看眼图	111
4.5.5	添加眼罩	113
4.6	SFP + 通道实际测试	116
4.7	本章小结	118
第 5 章	并行通道 DDR3 的仿真与分析	119
5.1	DDR3 简介	119
5.2	使用 SIwave 提取 DDR3 数据组	119
5.3	基于 Designer 的 SI 仿真	123
5.3.1	新建工程	123
5.3.2	选择元器件	123
5.3.3	运行分析	125
5.4	DDR3 的 SI + PI 仿真	126
5.4.1	眼图分析	126
5.4.2	SSN 分析	127
5.4.3	选取更多频率点的分析	129
5.5	IR drop 仿真	129
5.5.1	SIwave IR 压降检查	130
5.5.2	IR 压降仿真	131
5.6	2.5 维、3 维模型在信号完整性中的对比分析	133
5.7	本章总结	144
第 6 章	电源完整性问题	145
6.1	电源完整性概述	145
6.2	电源噪声形成机理及危害	145
6.3	VRM 模块	146
6.4	电容去耦原理	148
6.4.1	从储能角度来理解	148
6.4.2	从阻抗角度来理解	148
6.5	PDS 阻抗分析	149
6.5.1	PDS 简介	149
6.5.2	PCB PDS 仿真	151
6.6	PCB 谐振仿真	156
6.6.1	谐振简介	156
6.6.2	PCB 谐振仿真	157
6.6.3	去耦电容容值估算	161

6.6.4	两种去耦电容配置方法	162
6.6.5	PCB 谐振优化	162
6.7	传导干扰和电压噪声测量	165
6.8	直流压降分析	169
6.9	串行通道的 SSN 分析	174
6.10	DDR3 的同步开关噪声分析	185
6.10.1	“Stratix IV GX FPGA Development Board” 电路板简介	185
6.10.2	SIwave 提取传输线 S 参数	186
6.10.3	在 Designer 中进行 DDR 的 SSN 分析	192
6.11	本章小结	199
第 7 章	辐射分析	200
7.1	电磁兼容概述	200
7.2	电磁兼容相关标准	201
7.3	电磁干扰方式	202
7.3.1	差模辐射	204
7.3.2	共模辐射	206
7.4	辐射仿真与分析	207
7.5	本章小结	218
第 8 章	信号完整性问题的场路协同仿真	219
8.1	SMA 串行通道仿真	219
8.1.1	Stratix V GX 信号完整性开发板简介	219
8.1.2	从 Cadence 导入 SIwave	221
8.1.3	在 SIwave 中进行 SMA 通道仿真	221
8.2	SMA 建模	227
8.2.1	PCB 的切割	227
8.2.2	建立基座和同轴线缆	228
8.2.3	添加 Wave Port	230
8.2.4	仿真设置	231
8.2.5	查看仿真结果	231
8.3	Designer 对整个高速互连通道进行系统级仿真	232
8.3.1	导入参数模型	232
8.3.2	设置仿真参数和查看仿真结果	233
8.3.3	TDR 仿真	236
8.3.4	时域眼图分析	238
8.4	本章小结	241
参考文献		242

第 1 章 信号完整性

广义上讲，信号完整性 SI (Signal Integrity) 是指信号在信号传输过程中能够保持信号时域和频域特性的能力，即信号在电路中能以正确的时序、幅值及相位等做出响应。如果每个信号都是完整的，那么由这些完整的信号组成的系统，也同样具有很好的完整性。

若电路中信号能够以要求的时序和电压幅度从源端传送到接收端，就表明该电路具有较好的信号完整性。否则，若信号不能正确地响应时，就出现了信号完整性问题。

信号完整性具有以下两个基本条件。

⊙ 空间完整性 (信号幅值完整性): 满足电路的最小输入高电平和最大输入低电平要求。

⊙ 时间完整性: 电路的最小建立和维持时间。

1.1 信号完整性的要求及问题的产生

信号完整性问题如果未能得到妥善解决将会导致信号失真，而失真后的不正确数据信号、地址信号和控制线信号将会引起系统错误工作，甚至直接导致系统崩溃。因此，信号完整性问题已成为高速产品设计中值得注意的问题。

信号完整性最原始的含义应该是：信号保持其应该具有的波形，即得到良好的保证而不产生畸变。很多因素都会导致信号波形的畸变，如果畸变较小，对于电路的功能不会产生影响，可是如果畸变很大，电路应有的功能就将会受损甚至被破坏。那么这里又会出现另一个问题，波形畸变多大，会对电路板功能产生影响。这就是信号完整性的要求问题。而这个要求，和具体应用及电路板的其他电气指标有关，并没有确定统一的指标。

1. 信号完整性的要求

系统频率 (芯片内部时钟源及外部时钟源)、电磁干扰、电源纹波、数字器件开关噪声、系统热噪声等都会对信号产生影响。

从信号完整的两个基本条件可以得出信号完整性的要求。信号完整性的要求也要从这两个方面——时间和空间，反映到实际的信号上，就是信号的幅值高低和频率相位。

对于数字信号而言，对畸变的兼容性相对较大。能有多大的兼容性，还要考虑电路板上的电源系统供电电压波纹、系统的噪声余量、所用器件对于信号建立时间和保持时间的要求等。而对于模拟信号，相对比较敏感，可容忍的畸变相对较小，至于能容忍多大的畸变，和系统噪声、器件非线性特性、电源质量等有关。

2. 信号完整性问题产生的原因

信号完整性问题的真正起因是不断缩减的信号上升与下降时间。一般来说，当信号跳变比较慢即信号的上升和下降时间比较长时，PCB 中的布线可以建模成具有一定数量延时的

理想导线而确保有相当高的精度。此时，对于功能分析来说，所有连线延时都可以集总在驱动器的输出端，于是，通过不同连线连接到该驱动器输出端的所有接收器的输入端，在同一时刻观察都可得到相同波形。

然而，随着信号变化的加快，信号上升时间和下降时间缩短，电路板上的每一个线段由理想的导线转变为复杂的传输线。此时信号连线的延时不能再以集总参数模型的方式建模在驱动器的输出端，同一个驱动器以信号驱动一个复杂的 PCB 连线时，电学上连接在一起的每一个接收器上接收到的信号就不再相同。从实践经验中得知，一旦传输线的长度大于驱动器上升时间或者下降时间对应的有效长度的 $1/6$ ，传输线效应就会出来，即出现信号完整性问题，包括反射、上冲和下冲、振荡和环绕振荡、地电平面反弹和回流噪声、串扰和延迟等。

1.2 信号完整性问题的分类

信号完整性问题可以分为以下四类。

- ⊙ Single Trace Signal Integrity：单根传输线的信号完整性问题——反射效应。
- ⊙ Crosstalk：相邻传输线之间的信号串扰问题——串扰效应。
- ⊙ PI Related：与电源和地分布相关的问题——轨道塌陷。
- ⊙ EMI：电磁干扰和辐射问题——电磁干扰。

这四类解决方案是按照层次逐级递进的。也就是说，在实施信号完整性解决方案时，要按照上述的分类顺序依次解决好问题，然后再解决下一个层次的问题，显然，上述观点涉及的其实已经是广义的信号完整性了，它融合 SI、PI、EMI 为一体。在实际应用中，SI、PI、EMI 经常由不同的工程师负责，这个时候就要协同合作，做出相对完美的产品。

在实际工作中，信号完整性问题的根源大部分都是反射和串扰。在所有的单个网络信号完整性问题中，几乎所有的问题都来源于信号传输路径上的阻抗不连续所导致的反射，反射是指传输线上存在回波，驱动器输出信号（电压/电流）的一部分经传输线到达负载端的接收器；由于不匹配，一部分被反射回源端驱动器，在传输线上形成振铃。而串扰是指两个不同互联网之间引起的干扰和噪声。

1. 反射

源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端。如果负载阻抗小于源阻抗，反射电压为负，反之，如果负载阻抗大于源阻抗，反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。

在实际工作中，很多硬件工程师都会在时钟输出信号上串接一个小电阻，这个小电阻的作用就是为了解决信号反射问题。而且随着电阻的加大，振铃会消失，但信号上升沿不再那么陡峭了。这个解决方法叫阻抗匹配，一定要注意阻抗匹配，阻抗在信号完整性问题中占据着极其重要的地位。

2. 串扰

我们在实验中经常发现，有时对于某根信号线，从功能上来说并没有输出信号，但测量

时,会有幅度很小的规则波形,就像有信号输出。这时如果测量一下与它邻近的信号线,则会发现某种相似的规律,如果两根信号线靠得很近的话,通常会出现这种现象,这就是串扰。

当然,被串扰影响的信号线上的波形不一定和邻近信号波形相似,也不一定有明显的规律,更多的是表现为噪声形式。串扰在当今的高密度电路板中一直是个让人头疼的问题,由于布线空间小,信号必然靠得很近,所以只能控制但无法消除。对于受到串扰影响的信号线,邻近信号的干扰对它来说就相当于噪声。串扰大小和电路板上的很多因素有关,并不是仅仅因为两根信号线间的距离。当然,距离最容易控制,也是最常用的解决串扰的方法,但不是唯一方法。这也是很多工程师容易误解的地方。

串扰是由同一 PCB 上的两条信号线与地平面引起的,故也称为三线系统。串扰是两条信号线之间的耦合,信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流,而感性耦合引发耦合电压。PCB 板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。

3. 轨道塌陷

噪声不仅存在于信号网络中,电源分配系统也存在。我们知道,电源和地之间电流流经路径上不可避免存在阻抗,除非电路板上的所有东西都变成超导体。那么,当电流变化时,不可避免产生压降,因此,真正送到芯片电源引脚上的电压会减小,有时减小得很厉害,就像电压突然产生了塌陷,这就是轨道塌陷。

轨道塌陷有时会产生致命的问题,很可能影响电路板的功能。高性能处理器集成的门数越来越多,开关速度也越来越快,在更短的时间内消耗更多的开关电流,可以容忍的噪声变得越来越小。但同时控制噪声越来越难,因为高性能处理器对电源系统的苛刻要求,构建更低阻抗的电源分配系统变得越来越困难,这里又一次涉及阻抗,理解阻抗是理解信号完整性问题的关键。

4. 电磁干扰

当板级时钟频率在 100 ~ 500MHz 范围内时,这一频段的前几次谐波在电视、调频广播、移动电话和个人通信服务(PCS)这些普通通信波段内,这就意味着电子产品极有可能干扰通信,所以这些电子产品的电磁辐射必须低于容许的程度。遗憾的是,如果不进行特殊设计,在较高频率时,电磁干扰会更严重。共模电流的辐射远场强度随着频率线性增加,而差分电流的辐射远场与频率的平方呈正比,随着时钟频率的提高,对辐射的要求必然也会提高。

电磁干扰问题有三个方面:噪声源、辐射传播路径和天线。前面提到的每个信号完整性问题的根源也是电磁干扰的根源。电磁干扰之所以这么复杂,是因为即使噪声远远低于信号完整性噪声预算,它也仍会达到足以引起严重的辐射。

1.3 传输线基础理论

1. 传输线

在高速电路中,传输线的特性会有别于低速系统,会相对复杂,也会更重要。在高速系

统中，电路板上的导线称为传输线，传输线与返回路径组成的回路等效为一系列的电容和电感的组合。传输线的特性是高速系统必须考虑的问题，信号在传输线上的传输情况如 1.3.1 所示。

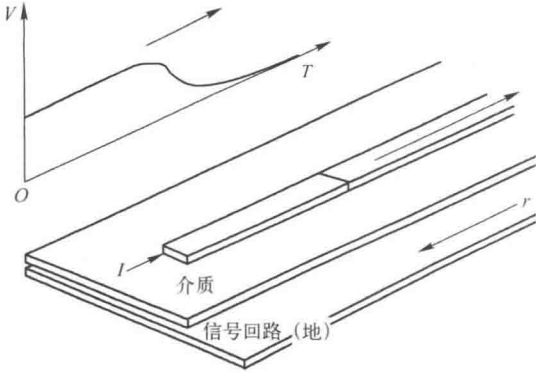


图 1.3.1 信号传播示意图

假设给信号线施加幅度为 1V 的电压信号，则信号电压以约 6inch/ns (1/6 光速) 的速度向前传播，在开始的 10ps 内，信号向前行进 0.06inch，这意味着一段 0.06inch 信号线与其回路间产生了 1V 的电压，同时这段回路形成一个电容，此时信号未到达的前段仍为 0V，依此规律一直传播的过程就是传输线的信号传输过程。传输线由两个具有一定长度的导体构成，且其中一个导体为信号传输的通道，另一个导体为信号的返回通路，一般为地。

在信号的传输过程中，某一时刻信号遇到的瞬间阻抗称为特性阻抗，如果整个传输线的瞬间阻抗都是一致的，则将其称为受控阻抗传输线，或者均匀传输线。

在进行高速 PCB 布线时，须尽量使信号线成为均匀传输线，这样信号就可以平稳地向前传播，否则信号能量的一部分就会在阻抗变化处发生反射，并可能形成振荡，从而产生信号完整性问题。而在低速系统中，由于有足够的时间使信号稳定下来，所以不会有严重的后果。

2. 特性阻抗的计算

以前面的模型为例进行传输线特性阻抗的推导。令 Z 表示信号传递过程中每一步的阻抗； V 表示信号输入电压； ΔQ 表示每一步的电量； Δt 表示每一步的时间； C_L 表示传输线单位长度容量； v 表示信号传递速度。将上一段回路看作电源，有

$$\Delta Q = \Delta C \times V \quad (1.3.1)$$

ΔC 表示前一段回路的等效电容，则

$$\Delta C = C_L \times v \times \Delta t \quad (1.3.2)$$

综合以上各项，可以得出特性阻抗：

$$Z = \frac{V}{I} = \frac{V}{\frac{\Delta Q}{\Delta t}} = \frac{V}{\frac{\Delta C \times V}{\Delta t}} = \frac{V}{C_L \times v \times \Delta t \times \frac{V}{\Delta t}} = \frac{1}{C_L \times v} \quad (1.3.3)$$

由上可知，特性阻抗跟传输线单位长度电荷容量和信号传递速度有关。用 Z_0 代表特性阻抗为

$$Z_0 = \frac{1}{C_L \times v} \quad (1.3.4)$$

可见，所有能够影响传输线单位长度电荷容量及信号传递速度的因素，都将影响传输线的特性阻抗。在高速电路中，这些因素就都是要重点考虑、仔细设计的。在实际电路设计中，传输线阻抗的计算非常复杂，这时就要借助 EDA 软件来自动计算了。

用另一种计算方法，忽略一些因素以后，传输线可以简化为如图 1.3.2 所示电路，其中

L' 、 C' 是等效电路的容抗和感抗,则传输线的阻抗为

$$Z_0 = \sqrt{\frac{L'}{C'}} \quad (1.3.5)$$

信号的传输速度 (propagation time) (单位: ps/inch) 为

$$t_{po} = \sqrt{L'C'} \quad (1.3.6)$$

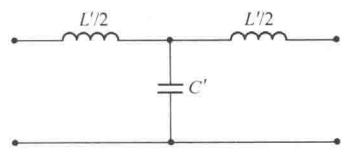


图 1.3.2 传输线等效电路

3. 传输线的分类

在电路板上,传输线一般分为两种,如图 1.3.3 所示,左图是带状线 (stripline),右图是微带线 (microstrip)。

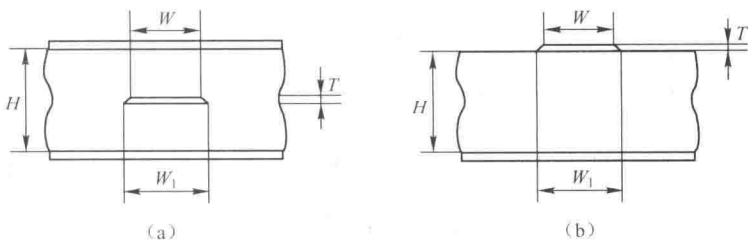


图 1.3.3 传输线的两种类型

带状线是指 PCB 内层的传输线,微带线是指 PCB 表层的传输线。微带线和带状线都是传输线的一种,它们都是均匀传输线。

微带线和带状线的阻抗及传输速度都可以通过软件计算出来。在总线设计中阻抗和信号的传输速度的计算要更加复杂。

4. 传输线效应

基于上述定义的传输线模型,归纳起来,传输线会对整个电路设计带来以下效应。

- ☉ 反射信号 (Reflected signals)。
- ☉ 延时和时序错误 (Delay & Timing errors)。
- ☉ 多次跨越逻辑电平门限错误 (False Switching)。
- ☉ 过冲与下冲 (Overshoot/Undershoot)。
- ☉ 串扰 (Crosstalk)。
- ☉ 电磁辐射 (EMI radiation)。

1) 反射信号 如果一根布线没有被正确终结 (终端匹配),那么来自于驱动端的信号脉冲在接收端将被反射,从而引发不可预期效应,使信号轮廓失真。当失真变形非常显著时,可导致多种错误发生,引起设计失败。同时,失真变形的信号对噪声的敏感性增加了,也会引起设计失败。如果上述情况没有被充分考虑,EMI 将显著增加,这就不单单影响自身设计结果,还会造成整个系统的失败。

反射信号产生的主要原因是过长的布线、未被匹配终结的传输线、过量电容或电感及阻抗失配。

2) 信号延时和时序错误 信号延时和时序错误表现为信号在逻辑电平的高、低门限之间变化时,保持一段时间信号不跳变。过多的信号延时可能导致时序错误和元器件功能的混乱。通常在有多个接收端时会出现问题。电路设计者必须确定最坏情况下的时间延时,以确

保设计的正确性。信号延时产生的原因包括驱动过载和布线过长。

3) **多次跨越逻辑电平门限错误** 信号在跳变的过程中可能多次跨越逻辑电平门限,从而导致这一类型错误的发生。多次跨越逻辑电平门限错误是信号振荡的一种特殊形式,即信号的振荡发生在逻辑电平门限附近,多次跨越逻辑电平门限将导致逻辑功能紊乱。

4) **过冲与下冲** 布线过长或信号变化太快,可以导致过冲与下冲的发生。虽然大多数元器件接收端有输入保护二极管保护,但有时这些过冲电平会远远超过元器件电源电压范围,仍会导致元器件的损坏。

5) **串扰** 在一根信号线上有信号通过时,在 PCB 上与之相邻的信号线上就会感应出相关的信号,这种现象称为串扰。异步信号和时钟信号更容易产生串扰。解决串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。信号线距离地线越近,或者加大线间距,可以减少串扰的发生。

6) **电磁辐射** 电磁辐射有两个重要方面:电流流过导体会产生磁场,如图 1.3.4 所示;将导体放入磁场将会引起感应电流。这两方面符合右手定则。电流流过导体产生的磁场强度受导体形状影响,反之亦然。



图 1.3.4 电流流过导体会产生磁场

电磁干扰 (Electro - Magnetic Interference, EMI) 通常是指设计中不希望出现的电磁辐射。电磁干扰包括产生过量的电磁辐射和对电磁辐射的敏感性两个方面。EMI 表现为在数字系统由于处理周期和快速的时钟和转换率,致使系统加电运行时,会向周围环境辐射电磁波,从而使周围环境中正常工作的电子设备受到干扰,特别是模拟电路,由于其本身的高增益功能,成为易受影响的电路。EMI 产生的主要原因是电路工作频率太高及布局、布线不合理。目前已有进行 EMI 仿真的软件工具,但大都很昂贵,且仿真参数和边界条件设置又比较困难,直接影响了仿真结果的准确性和实用性。通常可在设计的每个环节,应用控制 EMI 的各项设计规则,以达到控制 EMI 的目的。

5. 避免传输线效应的方法

针对传输线问题所引入的影响,可以从以下 5 个方面控制这些影响。

1) **严格控制关键网线的布线长度** 如果设计中有高速跳变沿存在,就必须考虑在 PCB 上存在传输线效应的问题。特别是现在普遍使用的很高时钟频率的快速集成电路芯片更是存在这样的问题。解决这个问题有一些基本原则,即如果采用 CMOS 或 TTL 电路进行设计,工作频率小于 10MHz 时,布线长度应不大于 7in;工作频率在 50MHz 时,布线长度应不大

于 1.5in；如果工作频率达到或超过 75MHz 时，布线长度应在 1in 以内。如果超过上述标准，就存在传输线效应的问题。

2) 合理规划布线的拓扑结构 选择正确的布线路径和终端拓扑结构是解决传输线效应问题的方法。布线的拓扑结构是指一根网线的布线顺序及布线结构。当使用高速逻辑器件时，除非布线分支长度很短，否则快速边沿变化的信号将被信号主干布线上的分支布线所扭曲。通常，PCB 布线采用两种基本拓扑结构，即菊花链 (daisy chain) 布线和星形 (star) 布线。

菊花链布线，即布线从驱动端开始，依次到达各接收端。如果使用串联电阻来改变信号特性，串联电阻应该紧靠驱动端。菊花链布线在控制布线的高次谐波干扰方面效果最好。但这种布线方式布通率最低，不容易实现 100% 布通。在实际设计中，可以使菊花链布线中的分支长度尽可能短。

星形布线可以有效地避免时钟信号的不同步问题，但在密度很高的 PCB 上手工完成布线将变得十分困难。使用自动布线器是完成星形布线的最好方法。星形拓扑结构中，每条分支上都需要终端电阻，其阻值应和连线的特征阻抗相匹配。特征阻抗值和终端匹配电阻值可以通过手工计算得出，也可通过 CAD 工具计算得到。在实际设计中，可使用如下方法选择终端匹配。

- ⊙ RC 匹配终端：这种方式可以减少功率消耗，但只能在信号工作比较稳定的情况下使用，最适合于对时钟信号线进行匹配处理。这种方法的缺点是 RC 匹配终端中的电容可能影响信号的形状和传播速度。
- ⊙ 串联电阻匹配：这种方式不会产生额外的功率消耗，但会减慢信号的传输，可用于时间延迟影响不大的总线驱动电路，可以减少 PCB 上元器件的使用数量和连线密度。
- ⊙ 分离匹配终端：这种方式需要匹配元器件放置在接收端附近，其优点是不会拉低信号，并且可以很好地避免噪声，常用于 TTL 输入信号，如 ACT、HCT、FAST 等。

此外，对于终端匹配电阻的封装形式和安装方式也必须加以考虑。通常，SMD 表面贴片电阻比 DIP 封装电阻具有较低的电感，所以 SMD 封装电阻成为首选。如果选择 DIP 封装电阻，也有两种安装方式可选，即垂直方式和水平方式。在垂直安装方式中，DIP 封装电阻的一条安装引脚很短，可以减少电阻和 PCB 间的热阻，使电阻的热量更加容易散发到空气中。但较长的垂直安装会增加电阻的电感。水平安装方式因安装较低而具有较低的电感，但过热的 DIP 封装电阻会产生漂移，在最坏的情况下，DIP 封装电阻可能成为开路，造成 PCB 布线终端匹配失效，从而成为潜在的失败因素。

3) 抑止电磁干扰的方法 较好地解决信号完整性问题，可以改善 PCB 的电磁兼容性 (EMC)。其中，保证 PCB 有良好的接地是非常重要的。对于复杂的设计，采用一个信号层配一个地线层是十分有效的方法，多层板中的顶层和底层的地平面至少能降低辐射 10dB。另外，降低 PCB 的最外层信号的密度，也是减少电磁辐射的好方法，这可采用“表面积层”技术“Build-up”设计制作 PCB 来实现。表面积层是通过在普通工艺的 PCB 上增加薄绝缘层和用于贯穿这些层的微孔的组合来实现的，电阻和电容可埋在表层下，单位面积上的布线密度会增加近一倍，因而可降低 PCB 的面积。PCB 面积的缩小对布线的拓扑结构有着巨大的影响，这意味着缩小电流回路和分支布线长度，而电磁辐射电流回路的面积近似成正比。同时，缩小 PCB 面积意味着应使用高密度引脚封装器件，这又使得连线长度进一步缩短，从而使电流回路减小，提高了电磁兼容特性。此外，还有一些其他的技术：在对 PCB 的元

器件进行布局时，将模拟系统和数字系统尽量分开；适当的使用去耦电容降低供电/地噪声，从而降低 EMI；让信号的传输线尽量远离 PCB 边缘；避免在 PCB 上布直角信号传输线；了解在基本频率和由反射而引起的谐波频率上的 PCB 布线响应等方法。

4) **电源去耦技术** 为减小集成电路芯片上电源电压的瞬时过冲，应添加去耦电容。添加去耦电容可以有效去除电源上的毛刺的影响，并减少在 PCB 上的电源环路的辐射。为了获得平滑毛刺的最佳效果，去耦电容应直接连接在 IC 的电源引脚上，而不是仅连接在电源层上。有一些器件插座上带有去耦电容，而有的器件则要求去耦电容距器件的距离要足够小。任何高速和高功耗的元器件应尽量放置在一起，以减少电源电压瞬时过冲。如果没有电源层，那么较长的电源连线将在信号和回路之间形成环路，从而成为辐射源和易感应电路。布线构成一个不穿过同一网线或其他布线环路的情况称为开环，否则将构成闭环。这两种情况都会形成天线效应（线天线和环形天线）。天线对外产生 EMI 辐射，同时自身也成为敏感电路。闭环产生的辐射与闭环面积近似呈正比。

高速电路设计是一个非常复杂的设计过程，有诸多因素要加以考虑。这些因素有时互相对立。例如，高速器件布局时，位置靠近虽可以减少延时，但可能产生串扰和显著的热效应。因此在设计时应权衡各种因素，做出全面的折中考虑，既满足设计要求，又降低设计复杂度。

5) **端接技术** 使用欧姆定律减少在驱动端和传输线负载端的阻抗不匹配。驱动端的阻抗一般小于 50Ω ，可以在驱动端上串联电阻来提高阻抗，使其与传输线匹配，这种技术称为“串行端接”；负载阻抗通常远大于 50Ω ，可以在负载端并联电阻来降低阻抗，使其与传输线匹配，这种技术称为“并行端接”。这两种方法都有各自的优缺点，结合起来比较有效。

图 1.3.5 所示的并行端接中，负载端的并联电阻能够有效工作，但也有如下缺点。

- ⊕ 增加驱动电流从而增加电源损耗。
- ⊕ 增加串扰，增加 EMI。
- ⊕ 增加地反弹或供电噪声（取决于并联电阻上拉或下拉）。

图 1.3.6 所示的串行端接中，驱动端的串联电阻能减少损耗，但驱动器的阻抗呈现了非线性，而且会损失很多进入传输线的能量。

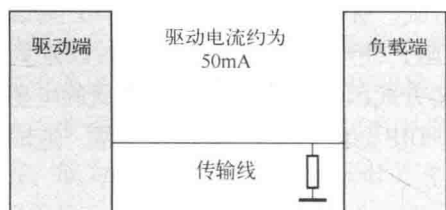


图 1.3.5 并行端接

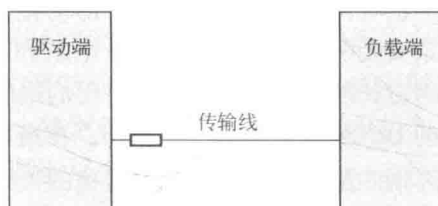


图 1.3.6 串行端接

1.4 端接电阻匹配方式

匹配阻抗的端接有多种方式，包括并联终端匹配、串联终端匹配、戴维南终端匹配、AC 终端匹配、肖特基二极管终端匹配。

1. 并联终端匹配

并联终端匹配是最简单的终端匹配技术：通过一个电阻将传输线的末端接到地或者接到

V_{CC} 上。电阻 R 的值必须同传输线的特征阻抗 Z_0 匹配，以消除信号的反射。如果 R 同传输线的特征阻抗 Z_0 匹配，不论匹配电压的值如何，终端匹配电阻将吸收形成信号反射的能量。终端匹配到 V_{CC} ，可以提高驱动器电源的驱动能力，而终端匹配到地，则可以提高电流的吸收能力。

并联终端匹配技术突出的优点就是这种类型终端匹配技术的设计和应用简便易行，在这种终端匹配技术中只需要一个额外的元器件，如图 1.4.1 所示；这种技术的缺点在于终端匹配电阻会带来直流功率消耗。另外，并联终端匹配技术也会使信号的逻辑高输出电平的情况退化。将 TTL 输出终端匹配到地会降低 V_{OH} 的电平值，从而降低了接收器输入端对噪声的“免疫”能力。

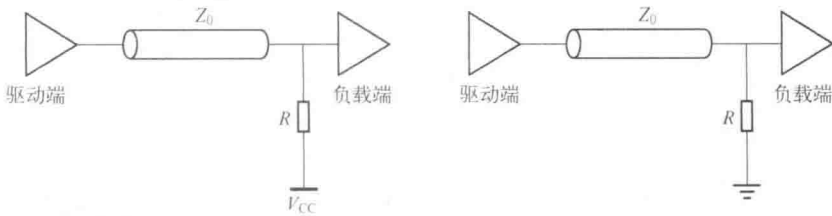


图 1.4.1 并联终端匹配

2. 串联终端匹配

串联终端匹配技术，又称为后端终端匹配技术，不同于其他类型的终端匹配技术，是源端的终端匹配技术。串联终端匹配技术是在驱动器输出端和信号线之间串联一个电阻，如图 1.4.2 所示。驱动器输出阻抗 R_0 及电阻 R 值的和必须同信号线的特征阻抗 Z_0 匹配。对于这种类型的终端匹配技术，由于信号会在传输线、串联匹配电阻及驱动器的阻抗之间实现信号电压的分配，因而加在信号线上的电压实际只有信号电压的一半。

而在接收端，由于信号线阻抗和接收器阻抗的不匹配，通常情况下，接收器的输入阻抗更高，因而会导致大约同样幅度值的信号反射，称为附加的信号波形。因而接收器会马上看到全部的信号电压（附加信号和反射信号之和），而附加的信号电压会向驱动端传递。然而不会出现进一步的信号反射，这是因为串联的匹配电阻在接收器端实现了反射信号的终端匹配。

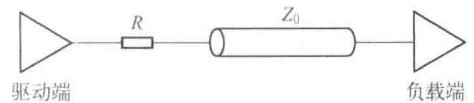


图 1.4.2 串联终端匹配

串联终端匹配技术的优点是这种匹配技术仅仅为系统中的每一个驱动器增加一个电阻元件，而且相对于其他的电阻类型终端匹配技术来说，串联终端匹配技术中匹配电阻的功耗是最小的，而且串联终端匹配技术不会给驱动器增加任何额外的直流负载，也不会在线路与地之间引入额外的阻抗。

由于许多的驱动器都是非线性的驱动器，驱动器的输出阻抗随着器件逻辑状态的变化而变化，从而导致串联匹配电阻的合理选择更加复杂。所以，很难应用某一个简单的设计公式为串联匹配电阻来选择一个最合适的值。

3. 戴维南终端匹配

戴维南终端匹配技术，又称为双电阻终端匹配技术，采用两个电阻来实现终端匹配，如