



卓越工程师培养计划

▪ EDA ▪

高敬鹏 武超群 编著



# 基于Verilog HDL

# 的数字系统设计 快速入门



中国工信出版集团



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY  
<http://www.phei.com.cn>

# 基于 Verilog HDL 的数字系统 设计快速入门

高敬鹏 武超群 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书以 Quartus II 软件为平台, 结合 Verilog HDL 语言, 通过丰富的实例, 从实验、实践、实用的角度, 详细介绍了 FPGA/CPLD 在电子系统设计中的应用。本书共 11 章, 主要内容包括可编程逻辑器件基础、Quartus II 基本设计操作、Quartus II 软件进阶设计、Verilog HDL 语言概述、面向综合的行为描述语句、Verilog HDL 语言基础程序设计、基于 Quartus II 的 ModelSim 仿真、面向验证与仿真的行为描述语句、系统任务、编译预处理与仿真激励、外设接口设计和综合系统设计, 全面详细地阐述了 FPGA/CPLD 的设计方法和开发过程。

本书由浅入深, 从易到难, 各章节既相对独立, 又前后关联, 其最大的特点就是打破了传统书籍的讲解方法, 以图解的方式讲解了 Quartus II 的应用与操作, 并通过提示、技巧和注意的方式指导读者对重点注意事项的理解, 从而能够真正将该技术运用到实际产品的设计生产中去。书中介绍了大量的基础实验和应用系统的设计实例, 以便帮助读者更快、更容易地掌握及应用此门技术。

本书适合电路设计及相关行业工程技术人员阅读使用, 也可作为高等学校相关专业电子系统设计课程的教学用书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有, 侵权必究。

### 图书在版编目 (CIP) 数据

基于 Verilog HDL 的数字系统设计快速入门/高敬鹏, 武超群编著. —北京: 电子工业出版社, 2016. 8  
(卓越工程师培养计划)

ISBN 978 - 7 - 121 - 29488 - 4

I. ①基… II. ①高… ②武… III. ①VHDL 语言 - 程序设计 IV. ①TP312

中国版本图书馆 CIP 数据核字 (2016) 第 173653 号

策划编辑: 张 剑 (zhang@phei.com.cn)

责任编辑: 张 剑

文字编辑: 牛平月

印 刷: 三河市良远印务有限公司

装 订: 三河市良远印务有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787 × 1 092 1/16 印张: 21.75 字数: 557 千字

版 次: 2016 年 8 月第 1 版

印 次: 2016 年 8 月第 1 次印刷

印 数: 3 000 册 定价: 58.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010)88254888, 88258888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: zhang@phei.com.cn。

# 前 言

当今社会是数字化的社会，数字集成电路得到广泛应用。作为全球领先的可编程逻辑器件供应商的 Altera，不仅创造了复杂可编程逻辑器件（Complex Programmable Logic Device, CPLD）和现场可编程门阵列（Field Programmable Gate Array, FPGA）技术，也一直致力于 CPLD 与 FPGA 技术的开发及应用。科技的不断创新及中国半导体工业的发展，促使我们将可编程逻辑器件的技术应用到越来越多的行业，如航空、航天、汽车、造船、通用机械和电子等领域。科技的运用，将使我们的生活更加精彩。

本书结合 Verilog HDL 硬件描述语言，以 Altera 公司的 Quartus II 软件作为 CPLD/FPGA 软件设计工具，详细介绍了 CPLD/FPGA 软/硬件系统的设计方法和开发过程。

本书以 Quartus II 软件开发环境为背景，介绍 CPLD/FPGA 产品开发的完整解决方案。本书共 11 章，分别从 FPGA 硬件设计、Quartus II 软件设计和硬件描述语言设计等三个方面进行阐述，主要内容包括可编程逻辑器件基础、Quartus II 基本设计操作、Quartus II 软件进阶设计、Verilog HDL 语言概述、面向综合的行为描述语句、Verilog HDL 语言基础程序设计、基于 Quartus II 的 ModelSim 仿真、面向验证与仿真的行为描述语句、系统任务、编译预处理与仿真激励、外设接口设计和综合系统设计等，最后通过丰富的工程实例，将 CPLD/FPGA 开发语言、开发思想与工程实现完美结合。

为了帮助初学者迅速入门，提高对电子系统设计的兴趣与爱好，并能在短时间内掌握电子系统设计开发的要点，作者在编写过程中注重内容的侧重，使本书具有以下特点。

- ◎ **由浅入深，循序渐进。**本书在内容编排上遵循由浅入深、由易到难的原则，基础知识与大量实例相结合，边学边练。
- ◎ **兼顾原理，注重实用。**本书侧重于实际应用，精炼理论讲解内容。
- ◎ **实例丰富，涉及面广。**本书提供了丰富的 FPGA 程序设计实例，内容涉及电子系统的各个领域。

本书由高敬鹏、武超群编著。其中，第 1~5 章由哈尔滨工程大学高敬鹏编写，第 7~11 章由黑龙江工程学院武超群编写，第 6 章由左伟平编写。另外，参加本书编写的还有管殿柱、管玥、宋一兵、付本国、赵景伟、赵景波、张洪信、王献红、魏代善、谈世哲、李文秋和初航。

感谢您选择了本书，希望我们的努力对您的工作和学习有所帮助，也希望您将对本书的意见和建议告诉我们。

编著者

# 目 录

<b>第 1 章 可编程逻辑器件基础</b> .....	1
1.1 可编程逻辑器件 .....	1
1.2 Altera 公司的 CPLD 产品 .....	3
1.3 Altera 公司的典型 FPGA 产品 .....	5
1.4 FPGA 的工艺结构 .....	6
1.5 FPGA 技术的发展方向 .....	7
1.6 FPGA 芯片的应用 .....	9
1.7 FPGA 的设计流程 .....	9
1.8 FPGA 的设计开发工具 .....	11
1.9 Quartus II 软件简介 .....	12
1.10 FPGA 硬件最小系统 .....	16
1.11 FPGA 的硬件设计技巧 .....	22
1.12 FPGA 的硬件调试方法 .....	23
<b>第 2 章 Quartus II 基本设计操作</b> .....	25
2.1 Quartus II 基本设计流程 .....	25
2.2 Quartus II 工程创建 .....	25
2.3 Quartus II 设计输入 .....	28
2.4 Quartus II 编译项目 .....	31
2.5 Quartus II 设计文件的仿真 .....	32
2.6 Quartus II 引脚分配与器件编译 .....	36
2.7 Quartus II 器件编程 .....	38
2.8 Quartus II 固化程序到外部存储器 .....	41
2.9 Quartus II 其他操作 .....	43
<b>第 3 章 Quartus II 软件进阶设计</b> .....	46
3.1 Quartus II 参数化宏功能模块及其使用方法 .....	46
3.2 SignalTap II 在线逻辑分析仪的使用方法 .....	54
3.2.1 SignalTap II 介绍 .....	54
3.2.2 使用 SignalTap II 操作流程 .....	55
3.2.3 SignalTap II 逻辑分析仪的使用 .....	55
3.3 典型实例：正弦波发生器及 SignalTap II 的使用 .....	63

<b>第 4 章 Verilog HDL 语言概述</b>	72
4.1 硬件描述语言的概念	72
4.2 Verilog HDL 的产生与发展	73
4.3 Verilog HDL 语言的魅力	74
4.3.1 Verilog HDL 语言与 VHDL 语言的比较	74
4.3.2 Verilog HDL 与 C 语言的比较	75
4.3.3 Verilog HDL 的应用	76
4.4 采用 Verilog HDL 设计复杂数字电路的优点	76
4.5 Verilog HDL 程序设计模式	77
4.6 Verilog HDL 程序基本结构	78
4.6.1 Verilog HDL 程序入门	79
4.6.2 模块的框架	81
4.6.3 Verilog HDL 语言的描述形式	82
4.7 Verilog HDL 语言基本要素	89
4.7.1 标志符与注释	90
4.7.2 数字与逻辑数值	90
4.7.3 数据类型	92
4.7.4 常用运算符	99
4.7.5 Verilog HDL 语言的赋值	105
4.7.6 Verilog HDL 语言的关键词	106
4.8 典型实例: 利用 Verilog HDL 语言在 FPGA 上实现 LED 流水灯	107
<b>第 5 章 面向综合的行为描述语句</b>	114
5.1 可综合模型的设计	114
5.2 触发事件控制	115
5.3 条件语句	117
5.4 循环语句	123
5.5 任务与函数	127
5.6 有限状态机的设计	132
5.7 Quartus II 图形化状态机输入工具使用	141
<b>第 6 章 Verilog HDL 语言基础程序设计</b>	145
6.1 Verilog HDL 语言实现组合逻辑电路	145
6.2 Verilog HDL 语言实现时序逻辑电路	147
6.3 Verilog HDL 语言的代码风格	148
6.3.1 Verilog HDL 语言的基本原则	148
6.3.2 Verilog HDL 语言的编写规范	151
6.3.3 Verilog HDL 语言的处理技巧	156
6.4 硬件描述语言设计基础实例	158

6.4.1	8-3 编码器	158
6.4.2	3-8 译码器	159
6.4.3	数据选择器	160
6.4.4	多位数值比较器	162
6.4.5	全加器	163
6.4.6	D 触发器	164
6.4.7	寄存器	165
6.4.8	双向移位寄存器	166
6.4.9	四位二进制加/减法计数器	167
6.4.10	顺序脉冲发生器	168
6.4.11	序列信号发生器	170
<b>第 7 章</b>	<b>ModelSim 仿真</b>	<b>171</b>
7.1	ModelSim 仿真工具简介	171
7.2	ModelSim 的命令与文件	185
7.3	ModelSim 仿真工具安装与使用	197
7.4	典型实例: SDRAM 读写控制的实现与仿真	202
<b>第 8 章</b>	<b>面向验证与仿真的行为描述语句</b>	<b>207</b>
8.1	验证与仿真简介	207
8.2	仿真程序执行原理	214
8.3	延时控制语句	216
8.4	常用的行为仿真描述语句	219
8.5	典型实例: 全加器的验证与仿真	226
<b>第 9 章</b>	<b>系统任务、编译预处理与仿真激励</b>	<b>231</b>
9.1	系统任务	231
9.2	编译预处理	247
9.3	产生仿真激励	255
<b>第 10 章</b>	<b>外设接口设计</b>	<b>264</b>
10.1	数码管显示接口实验	264
10.2	LCD 液晶显示接口实验	273
10.3	VGA 显示接口实验	282
10.4	RS-232C 串行通信接口实验	285
<b>第 11 章</b>	<b>综合系统设计</b>	<b>295</b>
11.1	实时温度采集系统	295
11.2	实时红外采集系统	315
11.3	实时键盘采集系统	322

# 第1章 可编程逻辑器件基础

20世纪80年代中期, Altera公司推出了类似于可编程阵列逻辑(Programmable Array Logic, PAL)结构的扩展型复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)和与标准门阵列类似的现场可编程门阵列(Field Programmable Gate Array, FPGA),它们都具有体系结构和逻辑单元灵活、集成度高及适用范围等特点。这两种器件兼容了可编程逻辑器件(Programmable Logic Device, PLD)和通用门阵列的优点,可实现较大规模的电路设计,编程也很灵活。与门阵列等其他专用集成电路(Application Specific Integrated Circuits, ASIC)相比,它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无须测试、质量稳定及可实时在线检验等优点,因此被广泛应用于产品的原型设计和产品生产中。几乎所有应用门阵列、PLD和中小规模通用数字集成电路的场合均可应用FPGA和CPLD器件。



## 1.1 可编程逻辑器件

可编程逻辑器件起源于20世纪70年代,是在专用集成电路的基础上发展起来的一种新型逻辑器件,是当今数字系统设计的主要硬件平台,其主要特点就是完全由用户通过软件进行配置和编程,从而完成某种特定的功能,且可以反复擦写。在修改和升级PLD时,不需额外地改变PCB设计,仅需在计算机上修改和更新程序,使硬件设计工作转变为软件开发工作,缩短了系统设计的周期,提高了实现的灵活性并降低了成本,因此获得了广大硬件工程师的青睐,形成了巨大的PLD产业规模。

### 可编程逻辑器件的分类

目前常见的PLD产品分为编程只读存储器(Programmable Read Only Memory, PROM)、现场可编程逻辑阵列(Field Programmable Logic Array, FPLA)、可编程阵列逻辑(Programmable Array Logic, PAL)、通用阵列逻辑(Generic Array Logic, GAL)、可擦除的可编程逻辑器件(Erasable Programmable Logic Array, EPLA)、复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)等类型。本节详细介绍复杂可编程逻辑器件和现场可编程门阵列

- ③ PLD器件从规模上又可以细分为简单PLD(SPLD)、复杂PLD(CPLD)和FPGA。
- ③ PLD器件内部结构的实现方法各不相同。PLD器件按照颗粒度可以分为三类,即小颗粒度PLD、中等颗粒度PLD和大颗粒度PLD。
- ③ PLD器件按照编程工艺可以分为熔丝(Fuse)和反熔丝(Antifuse)编程器件,可擦除的可编程只读存储器(UEPROM)编程器件,电信号可擦除的可编程只读存储器(EEPROM)编程器件(如CPLD),SRAM编程器件(如FPGA)。前三类为非易失性器件,编程后,配置数据保留在器件上;第四类为易失性器件,掉电后配置数据会丢失,因此在每次上电后需要重新进行数据配置。



## 1. 复杂可编程逻辑器件

复杂可编程逻辑器件 (CPLD) 是从 PAL 和 GAL 器件基础上发展出来的, 相对而言, 其规模大、结构复杂, 属于大规模集成电路范围, 是一种用户根据各自需要而自行构造逻辑功能的数字集成电路。其基本设计方法是借助集成开发软件平台, 用原理图、硬件描述语言等方法, 生成相应的目标文件, 通过下载电缆将代码传送到目标芯片中, 从而实现设计的数字系统。

CPLD 主要由可编程逻辑宏单元 (Macro Cell, MC) 围绕中心的可编程互连矩阵单元组成。其中, MC 结构较复杂, 且具有复杂的 I/O 单元互连结构, 可由用户根据需要生成特定的电路结构, 并完成一定的功能。由于 CPLD 内部采用固定长度的金属线进行各逻辑块的互连, 所以设计的逻辑电路具有时间可预测性, 避免了分段式互连结构时序不完全可预测的缺点。

20 世纪 70 年代, 最早的可编程逻辑器件诞生了。其输出结构是可编程的逻辑宏单元, 由于硬件结构设计可由软件完成, 因此其设计过程比纯硬件的数字电路具有更强的灵活性, 但只能实现规模较小的电路。为弥补这一缺陷, 20 世纪 80 年代中期, 复杂可编程逻辑器件 CPLD 应运而生。目前, CPLD 的应用已深入网络、仪器仪表、汽车电子、数控机床、航天测控设备等领域。

CPLD 具有编程灵活、集成度高、设计开发周期短、适用范围宽、开发工具先进、设计制造成本低、对设计者的硬件经验要求低、标准产品无须测试、保密性强、价格大众化等特点, 可实现较大规模的电路设计, 因此被广泛应用于产品的原型设计和产品生产中。几乎所有应用中小规模通用数字集成电路的场合均可应用 CPLD 器件。CPLD 器件已成为电子产品中不可缺少的组成部分, 它的设计和应用成为电子工程师必备的技能。

**【说明】** Altera 公司的 MAX II 系列 CPLD 是功耗较低、成本较低的 CPLD。常用的 Altera MAX II 系列为 EPM240T100C5N, 其拥有 240 个逻辑单元、192 个宏单元、80 个最大用户 I/O 引脚、8192bits 用户 FLASH 存储量。

## 2. 现场可编程门阵列

现场可编程门阵列 (Field Programmable Gate Array, FPGA) 是在 PAL、GAL、CPLD 等基础上进一步发展的产物。它是作为专用集成电路 (ASIC) 领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。

相对于 CPLD 而言, FPGA 中的寄存器资源比较丰富, 更适合同步时序电路较多的数字系统。在这两类可编程逻辑器件中, CPLD 提供的逻辑资源较少, 而 FPGA 提供了较高的逻辑密度、较丰富的特性和极高的性能。FPGA 已经在通信、消费电子、医疗、工业和军事等应用领域中占据了重要地位。

专用集成电路 (ASIC) 是指应特定用户要求或特定电子系统的需要而设计、制造的集成电路。ASIC 分为全定制设计和半定制设计。全定制设计需要设计者完成所有电路的设计, 因此需要大量人力、物力, 这种设计方法灵活性好但开发效率低下。如果设计较为理想, 全定制的 ASIC 芯片能够比半定制的 ASIC 芯片运行速度更快。半定制设计使用库里的标准逻辑单元 (Standard Cell, SC), 设计时可以从标准逻辑单元库中选择 SSI (门电路)、MSI

(如加法器、比较器等)、数据通路(如 ALU、存储器、总线等)、存储器,甚至系统级模块(如乘法器、微控制器等)和 IP 核,这些逻辑单元已经布局完毕,而且设计得较为可靠,设计者可以较方便地完成系统设计。

相对于 ASIC 而言, FPGA 是半定制的通用器件。如果需要改变电路功能,不需要花费重新设计 ASIC 的时间。使用 FPGA 设计电路有以下五个优点。

- ☺ 电路执行速度快: FPGA 内部是通过对电路编程生成逻辑电路来实现功能的,这与处理器编程是不同的。处理器是串行执行的,但 FPGA 是通过电路实现功能的,是并行执行的。因此 FPGA 的运行速度远高于通用处理器或 DSP。
- ☺ 上市时间短: 由于 FPGA 的在线可编程特性,设计者不需要进行 ASIC 设计的冗长构建过程;而且由于设计软件性能不断提高,设计者可以在更高的抽象层级进行设计;不同的 FPGA 生产厂商还提供了大量的 IP Core,这些都使 FPGA 设计更快、更方便。
- ☺ 成本低廉: 随着电子技术的发展,基于电子技术的各种应用也在改变。使用 FPGA 可以在不修改 PCB 的前提下修改电路实现,而且 FPGA 相对 ASIC 重新开发的费用非常低廉,所以使用 FPGA 进行设计的成本相对较低。
- ☺ 可靠性高: FPGA 都是经过专门验证的半定制通用器件,因而具有较高的可靠性。
- ☺ 易于维护升级: FPGA 芯片具有即时升级(Field Upgradable)特性,而且可以通过在 FPGA 配置芯片中存储多个配置文件来实现多种电路功能,还可以通过网络进行远程配置。这些特性使得 FPGA 易于维护和升级。

FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的。因此,工作时需要对片内的 RAM 进行编程。用户可以根据不同的配置模式,采用不同的编程方式。加电时, FPGA 芯片将 EPROM 中的数据读入片内编程 RAM 中,配置完成后, FPGA 进入工作状态。掉电后, FPGA 恢复成白片,内部逻辑关系消失,故 FPGA 能够反复使用同一片 FPGA,不同的编程数据可以产生不同的电路功能。可见, FPGA 的使用非常灵活。



## 1.2 Altera 公司的 CPLD 产品

早期 Altera 公司的 CPLD 有 Classic 系列和 MAX 系列。MAX 系列产品采用的是乘积项阵列结构,分为 MAX3000A 系列、MAX5000 系列、MAX7000 系列和 MAX9000 系列。Altera 公司在近 15 年 CPLD 的领导地位和创新的基础上,推出了业界成本最低的 CPLD MAX II 系列。MAX II 系列产品基于突破性体系结构,充分利用了 4 输入查找表(Look Up Table, LUT)体系结构的性能和密度优势,并且融合了性价比很高的非易失特性。作为同类最佳的产品,其创新的体系结构为 CPLD 设立了成本、功耗、性能和密度新标准。

**1) Classic 系列** 这是 Altera 公司最早的产品系列,其集成度可达 900 个可用门,引脚可达 68 个。工业标准的 Classic 系列由一个具有公共互连逻辑的阵列构成,适合集成度低、价格便宜的场合。该系列具有独特的“零”功耗模式,维持状态的电流只有微安量级,这对于低功耗的应用非常理想。该系列基于 EPROM 工艺,编程信息不易丢失。

**2) MAX 系列** Altera 领先于市场的 MAX 系列 CPLD 是世界一流的低成本器件,几乎可以实现所有的数字控制和某些模拟控制功能。作为非易失单芯片解决方案,MAX 系列很容易集成到用户的系统中。采用这些器件后,可以解决板级问题,如处理器 I/O 引脚不够

用, 灯光、音响和移动模拟输入/输出管理, 组件间采用电平转换信号或总线等问题; 还能够以低成本与其他接口兼容。MAX 系列可以使设计人员的主要精力集中在更复杂的设计难题上。MAX 系列的主要特征包括低成本、“零”功耗、超小型封装、瞬时接通和非易失、在线系统可编程支持、免费的 Quartus II 软件支持和免费的 Modelsim - Altera 软件支持。

MAX3000A 系列是 Altera 的第一代 MAX 器件, 其采用  $0.30\mu\text{m}$  四层金属生产工艺, 由先进的 CMOS 技术焊接。基于 EEPROM 的 MAX3000A 器件的供电电压为 3.3V, 它提供 600 ~ 10000 个可用门, 还提供 ISP、快达 4.5ns 的 pin - to - pin 延迟, 其计数器速度高达 227.3MHz。MAX3000A 系列提供商业和工业级的常用速度等级和封装, 是对应成本敏感、大批量应用的理想解决方案。

MAX5000 系列是基于 Altera MAX 结构的低功耗、高性能器件, 广泛用于需要高级组合逻辑而成本又较低场合。这类器件的集成度为 600 ~ 3750 个可用门, 有 28 ~ 100 个引脚。基于 EPROM 的 MAX5000 器件的编程信息不易丢失, 同时这些编程信息是可紫外光擦除的。由于该系列已经很成熟, 且 Altera 公司对其不断地改进并采用更先进的工艺, 使得 MAX5000 器件每个宏单元的价格可与大批量生产的 ASIC 和门阵列相近。

MAX7000 系列是目前工业界中速度最快且高度集成的可编程器件系列。MAX7000 系列的集成度为 600 ~ 5000 个可用门, 有 32 ~ 256 个宏单元和 32 ~ 155 个用户 I/O 引脚。这些基于 EEPROM 的器件能够使组合传输延迟短至 5.0ns, 16 位计数器的频率为 178MHz。此外, 其输入寄存器的建立时间非常短, 能提供多个系统时钟且有可编程的速度、功率控制。MAX7000E 器件具有较高集成度, 是 MAX7000 系列的增强型。MAX7000S 器件也具有 MAX7000E 器件的增强型特性, 是通过工业标准 4 引脚 JTAG 接口实现在线可编程的。

MAX9000 系列将 MAX7000 的有效宏单元结构与高性能 FLEX 器件的可预测 FastTrack 互相结合成一体, 能够适合于多系统级功能的集成。它采用的是 EEPROM 技术。MAX9000 器件的集成度为 6000 ~ 12000 个可用门, 320 ~ 560 个宏单元和多达 216 个用户 I/O 引脚。MAX9000 器件是利用 PLD 的高性能和 ISP 的灵活性进行门阵列设计的理想选择。MAX9000 器件是通过工业标准 4 引脚 JTAG 接口实现在线可编程的。

**3) MAX II 系列** MAX II 系列基于突破性体系结构, 结合了 FPGA 和 CPLD 的优点。它充分利用了 4 输入查找表 (LUT) 体系结构的性能和密度优势, 且融合了性价比很高的非易失特性。作为同类最佳产品, 其创新的体系结构为 CPLD 设立了成本、功耗、性能和密度新标准。

MAX II 器件的成本是与其竞争的 CPLD 的 50%, 它摒弃了传统的宏单元体系, 采用了查找表 (LUT) 结构从而满足 CPLD 设计者的需求。基于 LUT 的体系采用 TSMC 的  $0.18\mu\text{m}$  嵌入 FLASH 工艺, 使其裸片尺寸是同样工艺下竞争器件的 1/4, 其成本比上一代 MAX 降低了 50%。新的体系采用了优化的交错环形 I/O 引脚, 进一步降低了成本。

MAX II 系列和上一代 MAX 产品相比, 其成本降低了 50%, 功耗只有原来的 1/10, 同时保持 MAX 系列原有的即用性、单芯片、非易失性和易用性。

利用 MAX II 系列 CPLD, 设计人员可将大量控制逻辑集成在单个器件中, 从而降低了系统的成本。这一瞬时启动的非易失器件系列主要针对通用控制逻辑应用, 提供了三种型号, 即 MAX II、MAX II G 和 MAX II Z。“零”功耗 MAX II Z 系列 CPLD 是该系列中最新的器件。

无论是在通信、消费电子、计算还是工业领域, MAX II 系列 CPLD 都是进行控制路径

应用最好的选择, 这些应用都受成本和功耗预算的约束。MAX II 器件提供更低的架构、更低的功耗、更高的密度, 使之成为复杂控制应用的最理想的解决方案, 包括那些以前不可能采用 CPLD 的应用。MAX II Z 器件是便携式和其他功耗、体积和价格受限等应用的理想选择, 与相同封装的传统宏单元 CPLD 相比, 其超小型封装中容纳了更多的逻辑和 I/O 资源。



### 1.3 Altera 公司的典型 FPGA 产品

目前市场上 FPGA 芯片主要来自 Altera 公司。Altera 公司的 FPGA 器件大致分三个系列, 即低端的 Cyclone 系列、高端的 Stratix 系列和介于二者间可以方便 ASIC 化的 Arriva 系列。

#### 1. 面向高性能的 Stratix 系列 FPGA

Stratix 系列 FPGA 能够帮助用户以更低的风险和更高的效能尽快推出更先进的高性能产品。结合了高密度、高性能及丰富的特性, Stratix 系列 FPGA 能够集成更多的功能, 提高系统带宽。Stratix 系列产品代的特性是革命性的, 而且还在不断发展。Stratix 系列 FPGA 的推出时间和工艺技术见表 1-1。

表 1-1 Stratix 系列表

器件系列	Stratix	Stratix GX	Stratix II	Stratix II GX	Stratix III	Stratix IV	Stratix V	Stratix 10
推出时间	2002 年	2003 年	2004 年	2005 年	2006 年	2008 年	2010 年	2013 年
工艺技术	130nm	130nm	90nm	90nm	65nm	40nm	28nm	14nm

Stratix FPGA 和 Stratix GX 型号是 Altera 公司 Stratix FPGA 系列中最早的型号产品。这一高性能 FPGA 系列引入了 DSP 硬核知识产权 (IP) 模块, 以及 Altera 应用广泛的 TriMatrix 片内存储器和灵活的 I/O 结构。

Stratix II FPGA 和 Stratix II GX 型号引入了自适应逻辑模块 (ALM) 体系结构, 采用高性能 8 输入分段式查找表 (LUT) 替代了 4 输入 LUT。Altera 最新的高端 FPGA 使用了这一创新的 ALM 逻辑结构, 可批量提供 Stratix II 和 Stratix II GX FPGA, 强烈建议设计者在新的设计中使用它们。

Stratix III FPGA 是业界功耗较低的高性能 65nm FPGA。Stratix III FPGA 系列提供逻辑型 (L) FPGA 系列、存储器增强型 (E) FPGA 系列和数字信号处理型 (DSP) FPGA 系列, 用户可以综合考虑设计资源要求, 以满足设计中常采用资源比实际需求大得多的器件进行设计的需求, 从而节省了 PCB 空间, 缩短了设计时间, 降低了成本。Stratix III FPGA 主要面向高端内核系统处理设计应用。

Stratix IV FPGA 在目前任何 40nm FPGA 中都是密度较大、性能较好、功耗较低的。Stratix IV FPGA 系列提供增强型 (E) 和带有收/发器的增强型器件 (GX 和 GT), 满足了无线和固网通信、军事、广播等众多市场和应用的需求。这一高性能 40nm FPGA 系列包括同类最佳的 11.3Gbit/s 收发器。

在所有 28nm FPGA 中, Stratix V FPGA 实现了最大带宽和最高系统集成度, 非常灵活。该系列包括兼容背板、芯片至芯片和芯片至模块功能的 14.1Gbit/s (GS 和 GX) 型号, 以及

支持芯片至芯片和芯片至模块的 28Gbit/s(GT) 收/发器型号, 具有一百多万 LE, 以及 4096 个精度可调的 DSP 模块。

采用了 Intel 14nm 三栅极技术的 Altera Stratix 10 FPGA 是器件具有 56Gbit/s 收/发器、28Gbit/s 背板、浮点数字信号处理 (DSP) 性能, 支持增强 IEEE 754 单精度浮点, 单片管芯中有 400 多万逻辑单元 (LE), 支持多管芯 3D 解决方案, 包括 SRAM、DRAM 和 ASIC。Stratix 10 SOC 是 Intel 14nm 三栅极晶体管技术的第一款高端 SOC 系列, 具有针对每瓦最佳性能进行优化的下一代硬核处理器系统。

## 2. 面向低成本的 Cyclone 系列 FPGA

Cyclone 系列 FPGA 可以满足用户对低功耗、低成本设计的需求, 帮助用户更迅速地将产品推向市场。每一代 Cyclone 系列 FPGA 都致力于解决提高集成度和性能的技术挑战, 降低功耗、产品及上市时间的问题, 同时满足用户的低成本要求。

Cyclone 系列 FPGA 的推出时间和工艺技术见表 1-2。

表 1-2 Cyclone 系列表

器件系列	Cyclone	Cyclone II	Cyclone III	Cyclone IV	Cyclone V
推出时间	2002 年	2004 年	2007 年	2009 年	2011 年
工艺技术	130nm	90nm	65nm	60nm	28nm

Cyclone FPGA 是第一款低成本 FPGA。对于当今需要高级功能及极低功耗的设计, 可以考虑密度更高的 Cyclone IV 和 Cyclone III FPGA。这些更新的 Cyclone 系列将继续为用户的大批量、低成本应用提供业界最好的解决方案。

Cyclone II FPGA 从根本上针对低成本进行设计, 为大批量低成本应用提供用户需要的各种功能。

Cyclone III FPGA 系列采用台积电 (TSMC) 的低功耗工艺技术制造, 以相当于 ASIC 的价格实现了高性能和低功耗。

Cyclone IV FPGA 是市场上成本低、功耗低的 FPGA, 现在还提供收/发器型号产品。Cyclone IV FPGA 系列面向对成本敏感的大批量应用, 满足用户越来越大的带宽需求, 同时降低了成本。

Cyclone V FPGA 为工业、无线、固网、广播和消费类应用提供市场上系统成本较低、功耗较低的 FPGA 解决方案。该系列集成了丰富的硬核知识产权 (IP) 模块, 以更低的系统总成本和更短的设计时间完成更多的工作。Cyclone V 系列中的 SoC FPGA 实现了独特的创新技术。例如, 以硬核处理器系统 (HPS) 为中心, 采用双核 ARM Cortex™ - A9 MP-Core™ 处理器以及丰富的硬件外设, 降低了系统功耗和成本, 减小了 PCB 面积。



## 1.4 FPGA 的工艺结构

随着 FPGA 的生产工艺不断提高, 各种新技术被广泛应用到 FPGA 芯片设计生产的各个环节。其中, 生产工艺结构决定了 FPGA 芯片的特性和应用场合。

### 1. 基于 SRAM 结构的 FPGA

目前最大的两个 FPGA 厂商——Altera 公司和 Xilinx 公司的 FPGA 产品都是基于 SRAM 工艺来实现的。这种工艺的优点是可以较低的成本来实现较高的密度和较高的性能；其缺点是掉电后 SRAM 会失去所有配置，导致每次上电时都需要重新加载。

重新加载需要外部器件来实现，不仅增加了整个系统的成本，而且引入了不稳定的因素。加载的过程容易受到外界干扰而导致加载失败，也容易受到“监听”导致加载文件的比特流被破解。

虽然基于 SRAM 结构的 FPGA 存在这些缺点，但是由于其实现成本低，仍被广泛应用于各个领域，尤其是民用产品方面。

### 2. 基于反熔丝结构的 FPGA

目前 FPGA 厂商 Actel 公司的 FPGA 产品都是基于反熔丝结构的工艺来实现的。这种结构的 FPGA 只能编程一次，编程后和 ASIC 一样成为固定逻辑器件。Quick Logic 公司也有类似的 FPGA 器件，主要面向军品级应用市场。

这样的 FPGA 失去了反复可编程的灵活性，但是大大提高了系统的稳定性。这种结构的 FPGA 比较适合应用于环境苛刻的场合，如高振动、强电磁辐射等航空航天领域。同时，系统的保密性也得到了提高。这类 FPGA 因为上电后不需要从外部加载配置，所以上电后可以很快进入工作状态，即“瞬间上电”。这个特性可以满足一些对上电时间要求苛刻的系统。由于是固定逻辑，这种器件的功耗和体积也要小于 SRAM 结构的 FPGA。

### 3. 基于 FLASH 结构的 FPGA

FLASH 具备反复擦写和掉电后内容非易失的特性，因而基于 FLASH 结构的 FPGA 同时具备了 SRAM 结构的灵活性和反熔丝结构的可靠性。这种技术是近些年发展起来的新型 FPGA 实现工艺，目前实现的成本还偏高，没有得到大规模应用。

从系统安全的角度来看，基于 FLASH 结构的 FPGA 具有更高的安全性，硬件出错的几率更小，并能够通过公共网络实现安全性远程升级，经过现场处理即可实现产品的升级换代。这种性能减少了现场解决问题所需的昂贵开销。

基于 FLASH 结构的 FPGA 在加电时没有像基于 SRAM 结构的 FPGA 那样大的瞬间高峰电流，并且基于 SRAM 结构的 FPGA 通常具有较高的静态功耗和动态功耗。因此，基于 SRAM 结构的 FPGA 的功耗问题往往迫使系统设计者不得不增大系统供电电流，并使得整个设计变得更加复杂。



## 1.5 FPGA 技术的发展方向

FPGA 技术之所以具有巨大的市场吸引力，其根本原因在于 FPGA 不仅可以解决电子系统小型化、低功耗、高可靠性等问题，而且其开发周期短、投入少，芯片价格不断下降。随着芯片设计工艺水平的不断提高，FPGA 技术呈现出了以下三个主要的发展动向。

## 1. 基于 IP 库的设计方案

未来的 FPGA 芯片密度不断提高，传统的基于 HDL 的代码设计方法很难满足超大规模 FPGA 的设计需要。随着专业 IP 库设计公司的不断增多，商业化的 IP 库种类会越来越全面，支持的 FPGA 器件也会越来越广泛。

作为 FPGA 的设计者，主要的工作是找到适合项目需要的 IP 库资源，然后将这些 IP 整合起来，完成顶层模块设计。由于商业的 IP 库都是通过验证的，因此整个项目的仿真和验证工作主要就是验证 IP 库的接口逻辑设计的正确性。

目前，由于国内知识产权保护的相关法律法规还不尽完善，基于 IP 库的设计方法还没有得到广泛应用。但是随着 FPGA 密度不断提高和 IP 库的价格逐渐趋于合理化，这种设计方案将会成为主流的 FPGA 设计技术。

## 2. 基于 FPGA 的嵌入式系统（SOPC）技术正在成熟

片上系统（System On Chip, SOC）技术是指将一个完整产品的功能集成在一个芯片上或芯片组上。SOC 从系统的整体角度出发，以 IP 核为基础，以硬件描述语言作为系统功能和结构的描述手段，借助于以计算机为平台的 EDA 工具进行开发。由于 SOC 设计能够综合、全盘考虑整个系统的情况，因而可以实现更高的系统性能。SOC 的出现是电子系统设计领域内的一场革命，其影响将是深远而广泛的。

片上可编程系统（System On a Programmable Chip, SOPC）是一种灵活、高效的 SOC 解决方案。它将处理器、存储器、I/O 口、LVDS 等系统需要的功能模块集成到一个 FPGA 中，构成一个可编程的片上系统。由于它是可编程系统，具有灵活的设计方式，可裁减、可扩充、可升级，并具备软/硬件可编程的功能。

SOPC 保持了 SOC 以系统为中心、基于 IP 模块多层次、高度复用的特点，而且具有设计周期短、风险投资小和设计成本低的优势，通过设计软件的综合、分析和裁减，可灵活地重构所需要的嵌入式系统。

这种技术的核心是在 FPGA 芯片内部构建处理器。Xilinx 公司主要提供基于 Power PC 的硬核解决方案，而 Altera 提供的是基于 NIOS II 的软核解决方案。Altera 公司为 NIOS II 软核处理器提供了完整的软/硬件解决方案，可以让客户在短时间内完成 SOPC 系统的构建和调试工作。

## 3. FPGA 芯片向高性能、高密度、低电压和低功耗的方向发展

随着芯片生产工艺不断提高，FPGA 芯片的性能和密度都在不断提高。早期的 FPGA 主要是完成接口逻辑设计，如 A-D/D-A 和 DSP 的黏合逻辑。现在的 FPGA 正在成为电路的核心部件，完成关键功能。

在高性能计算和高吞吐量 I/O 应用方面，FPGA 已经取代了专用的 DSP 芯片，成为最佳的实现方案。因此，高性能和高密度也成为衡量 FPGA 芯片厂家设计能力的重要指标。

随着 FPGA 性能和密度的提高，功耗也逐渐成为 FPGA 应用的瓶颈。虽然 FPGA 的功耗比 DSP 等处理器的功耗低，但是要明显高于专用芯片（ASIC）的功耗。FPGA 的厂家也在采用各种新工艺和技术来降低 FPGA 的功耗，并且已经取得了明显的效果。



## 1.6 FPGA 芯片的应用

FPGA 可以实现各种复杂的逻辑功能, 提供在线可编程特性, 因而应用范围非常广。目前, FPGA 广泛应用于通信、信号处理, 嵌入式处理器, 图像处理和工业控制等领域。

- ☉ 目前 FPGA 广泛应用于通信领域, 可以使用 FPGA 实现数字调制解调、编码解码。因为 FPGA 中各种功能是用硬件并行执行, 所以在实现调制解调和编解码时具有比软件更快的速度; 可以使用 FPGA 实现通信系统中的各种接口, 目前的 FPGA 接口中一般都有实现 DDR 的专用电路; 可以使用 FPGA 实现 DDR 控制器; 还可以使用 FPGA 实现 PCI 总线、SPI 总线等。
- ☉ FPGA 在数字信号处理领域的应用也相当广泛。现在的 FPGA 内部都包含专门的乘法器电路、乘累加电路, 这些电路都是实现数字信号处理功能必不可少的, 而且都是以并行的方式运行的, 所以特别适用于实现信号处理。在数字信号处理领域的应用包括频率合成、FIR 滤波器、FFT、RS 编解码等。
- ☉ 在图形处理应用中, FPGA 可以用于实现 JPEG 图像处理, 可以用于检测视频信号、图像数据采集等。
- ☉ 在 Altera 的器件中可以实现 NIOS 嵌入式处理器, 所以可以使用 FPGA 实现片上系统。使用 FPGA 实现的片上系统可以运行操作系统、用户的应用软件, 省去了专用的处理器, 大大减小了 PCB 的面积, 降低了硬件电路的复杂性。



## 1.7 FPGA 的设计流程

一般来说, 完整的 FPGA 设计流程包括电路设计与输入、功能仿真、综合优化、综合后仿真、布局/布线、布局/布线后仿真、板级仿真与验证、加载配置与在线调试等主要步骤。

### 1. 电路设计与输入

电路设计与输入是指通过某些规范的描述方式, 将电路构思输入给 EDA 工具。常用的设计输入方法有硬件描述语言和原理图设计输入方法等。原理图设计输入法在早期应用得比较广泛, 它根据设计要求选用器件、绘制原理图、完成输入过程。这种方法的优点是直观、便于理解、元器件库资源丰富。但是在大型设计中, 这种方法的可维护性较差, 不利于模块构造与重用。

目前进行大型工程设计时, 常用的设计方法是硬件描述语言设计输入法, 其中影响最为广泛的 HDL 语言是 VHDL 和 Verilog HDL。它们的共同特点是利于自顶向下设计, 利于模块的划分与复用, 可移植性好, 通用性好, 设计不因芯片的工艺与结构的不同而变化, 更利于向 ASIC 移植。波形输入和状态机输入方法是两种常用的辅助设计输入方法。使用波形输入法时, 只要绘制出激励波形和输出波形, EDA 软件就能自动根据响应关系进行设计; 使用状态机输入法时, 设计者只需绘制出状态转移图, EDA 软件就能生成相应的 HDL 代码或原



理图，使用十分方便。

## 2. 功能仿真

电路设计完成后，要用专用的仿真工具对设计进行功能仿真，验证电路功能是否符合设计要求。功能仿真有时也被称为前仿真。

## 3. 综合优化

综合优化是指将 HDL 语言、原理图等设计输入翻译成由与门、或门、非门、RAM、触发器等基本逻辑单元组成的逻辑连接（网络表），并根据目标与要求（约束条件）优化所生成的逻辑连接，输出 edf 和 edn 等标准格式的网络表文件，供 FPGA 厂家的布局/布线器实现。

## 4. 综合后仿真

综合完成后需要检查综合结果是否与原设计一致，做综合后仿真。在仿真时，把综合生成的标准延时文件反标注到综合仿真模型中，可估计门延时带来的影响。综合后仿真虽然比功能仿真精确一些，但也只能估计门延时，不能估计线延时，仿真结果与布线后的实际情况还有一定的差距，并不十分准确。这种仿真的主要目的是检查综合器的综合结果是否与设计输入一致。目前主流综合工具日益成熟，对于一般性设计，如果设计者确信自己表述明确，没有综合歧义发生，则可以省略综合后仿真步骤。但是，如果在布局/布线后仿真发现有电路结构与设计意图不符的现象，则常常需要回溯到综合后仿真以确认是否是由于综合歧义造成的问题。

## 5. 布局/布线

综合结果的本质是一些由与门、或门、非门、触发器、RAM 等基本逻辑单元组成的逻辑网络表，它与芯片实际的配置情况还有较大差距。此时应该使用 FPGA 厂商提供的软件工具，根据所选芯片的型号，将综合输出的逻辑网络表适配到具体的 FPGA 器件上，这个过程称为实现过程。因为只有器件开发商最了解器件的内部结构，所以实现步骤必须选用器件开发商提供的工具。在实现过程中，最主要的过程是布局/布线。所谓布局，是指将逻辑网络表中的硬件或底层单元合理地适配到 FPGA 内部的固有硬件结构上，布局的优劣对设计的最终实现结果影响很大。所谓布线，是指根据布局的拓扑结构，利用 FPGA 内部的各种连线资源，合理、正确地连接各个元件的过程。FPGA 的结构相对复杂，为了获得更好的实现结果，特别是保证能够满足设计的时序条件，一般采用时序驱动的引擎进行布局/布线。所以对于不同的设计输入，特别是不同的时序约束，获得的布局/布线结果一般有较大差异。一般情况下，用户可以通过设置参数指定布局/布线的优化准则，总的来说，优化目标主要有面积和速度两个方面。一般根据设计的主要矛盾，选择面积、速度或平衡二者的优化目标。但是当二者冲突时，一般满足时序约束要求更重要一些，此时选择速度或时序优化目标效果更好。

## 6. 时序仿真与验证

将布局/布线的时延信息反标注到设计网络表中，所进行的仿真就称为时序仿真或布局/