

李洪涛 李春彪 胡文 朱晓华 编著

数字信号处理 系统设计

SHUZI XINHAO CHULI
XITONG SHEJI



国防工业出版社
National Defense Industry Press

数字信号处理 系统设计

李洪涛 李春彪 胡 文 朱晓华 编著



国防工业出版社

· 北京 ·

内 容 简 介

本书以数字信号处理理论为基础,详细介绍了与之相关的系统设计知识,内容涵盖了数字信号处理系统算法及其组成、高速数据采集技术、半导体存储技术、高速数据通信技术、DSP 与 FPGA 技术,以及电磁兼容与印刷电路板设计技术等。

本书第 1 章概述了数字信号处理算法及其系统组成;第 2~4 章介绍了与之相关的数据采集、存储及传输技术;第 5、6 章分别介绍了数字信号处理系统中的两大核心处理芯片——DSP 及 FPGA 在数字信号处理系统中的应用;第 7 章介绍了电磁兼容与印刷电路板设计技术。

本书可作为教材,内容丰富、结构合理、图文并茂,便于实施系统教学。本书可以作为高等工科院校电类专业的教学用书,也可供相关工程技术人员参考。

图书在版编目(CIP)数据

数字信号处理系统设计/李洪涛等编著. —北京:国防工业出版社, 2017.1

ISBN 978-7-118-11052-4

I. ①数… II. ①李… III. ①数字信号处理—系统设计
IV. ①TN911.72

中国版本图书馆 CIP 数据核字 (2016) 第 289475 号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

三河市众誉天成印务有限公司印刷

新华书店经售

*

开本 710×1000 1/16 印张 16 $\frac{1}{4}$ 字数 318 千字

2017 年 1 月第 1 版第 1 次印刷 印数 1—2500 册 定价 69.00 元

(本书如有印装错误,我社负责调换)

国防书店: (010) 88540777

发行邮购: (010) 88540776

发行传真: (010) 88540755

发行业务: (010) 88540717

序

中国正在完成从“中国制造”到“中国创造”的跨越，为了实现这个目标，需要高校输出大批优秀的工程师。电子行业对高校教育最大的期望就是能够输出企业理论结合实际、动手能力强的准工程师，我们也欣慰地看到高校这些年来孜孜不倦的努力。南京理工大学是一个盛产“优秀工程师”的摇篮，在电子行业一直都有良好的口碑，这和学校老师务实的教学作风密切相关，也是八字校训中“求是、创新”精神的传承。

在传统数字信号处理理论上，《数字信号处理系统设计》添加了大量的工程实践案例。本书的作者李洪涛老师曾在国内知名通信企业担任产品经理，有着丰富的大型项目研发经验，同时又有着深厚的理论功底。感谢李老师能在繁忙的工作之余精心打造本书，这也是全体作者的心血结晶，是对数字信号处理行业的一种分享和回馈。

本人有幸受邀参与本书第7章的审校与修订工作。电磁兼容（EMC）作为行业的一个难点，具备较大的复杂性和不确定性，让广大工程师畏之如虎，称其为魔法黑盒子。在PCB板级做好EMC设计，处理好高速信号完整性问题和电源完整性问题后，很多EMC的问题也就迎刃而解。对于电源设计、RF设计、数模混合设计而言无不如此。

在进入中国创造的发展进程中，PCB设计在系统中扮演的角色越来越重要，这也是一博科技（Edadoc）一直倡导的观点：PCB设计不再是硬件开发的附属，而是产品硬件开发中“前端IC，后端PCB，SE集成”的重要环节，产品的可靠性和稳定性最终还需在PCB设计方面花费更多的精力进行研究。

在大学的教育中就认识和重视PCB设计，是大学教育迈向理论结合实际的重要一步。希望本书能帮助到莘莘学子认识和了解工程实践中数字信号处理的概念，为中国创造贡献一份力量。

IPC 设计师理事会中国分会副主席

吴均

于深圳

前言

随着快速傅里叶变换 (FFT) 算法的提出以及数字信号处理专用芯片 (DSP) 的发明, 数字信号处理得到了极大的发展, 已广泛应用于通信、雷达、导航、声纳、航天航空等领域。本书以数字信号处理理论为基础, 详细介绍了与之相关的系统设计知识, 内容涵盖数字信号处理系统算法及其组成、高速数据采集技术、半导体存储技术、高速数据通信技术、DSP 与 FPGA 技术, 以及电磁兼容与印刷电路板设计技术等。

本书系统介绍了数字信号处理的基础知识、模数转换技术、存储器技术, 高速总线技术, 以及数字信号处理领域的两大核心芯片——FPGA 与 DSP 等。全书共分为 7 章: 第 1 章介绍数字信号处理的理论基础以及数字信号处理系统的组成等内容; 第 2 章介绍模拟数字转换技术, 第 3 章介绍数据存储技术, 第 4 章介绍数字信号处理系统设计中常用的高速总线技术; 第 5 章介绍数字信号处理领域中核心芯片 DSP 的开发流程; 第 6 章介绍 FPGA 芯片在数字信号处理领域中的作用、地位及其具体应用; 第 7 章介绍硬件设计中的电磁兼容与印刷电路板技术。

在本书的撰写过程中, 得到了深圳一博科技公司总工程师吴均、上海分公司总经理张宏等的大力支持与帮助, 提供了许多技术资料和技术支持。本书得到了南京理工大学电子工程与光电技术学院的各位领导、老师和同事们的支持, 特别是苏卫民教授和顾红教授为本书提出了宝贵意见和指导。胡姗姗、侍宇峰、李康、朱璨、周仕祺、朱熠良、张巍巍、陈悦、袁效鹏、匡鑫、朱金瑞、冯欣、戴祥等硕士研究生在搜集资料、文章编排和校对方面做了大量工作。在此向以上提到的人员表示衷心感谢。

本书的第 1、3、4、7 章内容由李洪涛撰写, 并对全书进行了统稿; 第 5 章内容由李春彪撰写; 第 6 章内容由胡文撰写; 第 2 章内容由朱晓华撰写。

本书可作为从事数字信号处理系统的设计研究人员使用, 同时也可以作为高校自动化、电子信息、信号处理、雷达系统等相关专业的本科生、研究生的教材或者参考资料。

技术的发展是无止境的, 本书只着重讲述了原理、概念以及基本的设计方法。希望本书能够为广大技术爱好者和从事数字信号处理的专业人士提供开拓创新的铺路石。由于时间仓促, 加上作者水平有限, 书中难免有不妥之处, 希望各位读者与同行批评指正。

作者

2016 年 6 月于南京

目 录

第1章 绪论	1
1.1 引言	1
1.2 数字信号处理方法	2
1.2.1 FFT 算法	2
1.2.2 FIR 滤波器的基本结构	5
1.2.3 IIR 数字滤波器的基本结构	9
1.3 数字信号处理系统	13
1.3.1 数字信号处理系统的组成	13
1.3.2 数字信号处理系统的设计	14
第2章 高速数据采集技术	17
2.1 概述	17
2.1.1 模/数转换的目的	17
2.1.2 模/数转换器的术语	18
2.2 运算放大器与电压比较器	22
2.2.1 运算放大器	22
2.2.2 电压比较器	27
2.3 模/数转换器	29
2.3.1 模/数转换器基本原理	29
2.3.2 模/数转换器性能指标	36
2.3.3 模/数转换器的设计	43
2.4 模拟/数字电源设计	46
2.4.1 电源设计的目的	46
2.4.2 模拟/数字部分电源设计	46
第3章 半导体存储器	50
3.1 概述	50
3.1.1 半导体存储器的分类	51
3.1.2 半导体存储器的指标	53
3.2 只读存储器	54
3.2.1 电可擦除可编程存储器	54
3.2.2 闪烁存储器	56

3.3	随机存取存储器	57
3.3.1	静态随机存取存储器	57
3.3.2	动态随机存取存储器	63
3.4	存储器硬件设计	73
3.4.1	DDR - II DRAM 存储器硬件设计	73
3.4.2	QDR SRAM 存储器硬件设计	75
第4章	高速数据通信技术	79
4.1	概述	79
4.1.1	数据通信技术分类	79
4.1.2	数据通信的主要性能参数	80
4.1.3	高速数据通信技术及其发展趋势	80
4.2	LVDS 协议标准	81
4.2.1	LVDS 协议标准	81
4.2.2	LVDS 特点	83
4.3	PCI Express 总线标准	87
4.3.1	PCI Express 总线概述	87
4.3.2	PCI Express 总线的特点	89
4.3.3	PCI Express 总线数据传输过程	91
4.4	SRIO 总线标准	93
4.4.1	SRIO 总线概述	93
4.4.2	SRIO 总线的特点	94
4.4.3	SRIO 总线数据传输过程	95
第5章	DSP 技术	100
5.1	概述	100
5.1.1	DSP 芯片的发展历史	100
5.1.2	DSP 系统	101
5.2	DSP 芯片硬件结构	106
5.2.1	中央处理器	106
5.2.2	存储空间	112
5.2.3	外设及接口	118
5.2.4	TMS320C6678DSP 芯片架构	124
5.3	DSP 芯片设计	127
5.3.1	DSP 芯片硬件设计	127
5.3.2	DSP 芯片软件设计	135
第6章	可编程逻辑技术	140
6.1	概述	140

6.1.1	电子设计自动化技术和可编程逻辑器件的发展	140
6.1.2	可编程逻辑器件设计流程简介	147
6.2	可编程逻辑器件基本结构	152
6.2.1	CPLD 的基本结构	152
6.2.2	FPGA 的基本结构	162
6.3	DSP 芯片与 FPGA	179
6.3.1	DSP 芯片与 FPGA 性能比较	179
6.3.2	如何进行 DSP 芯片和 FPGA 方案选择	181
6.4	可编程逻辑器件发展趋势	182
6.4.1	嵌入式硬件资源	182
6.4.2	IP 软核资源	183
6.5	硬件描述语言	185
6.5.1	VHDL 简介	185
6.5.2	Verilog HDL 简介	186
6.5.3	Verilog HDL 与 VHDL 的比较	188
第 7 章	电磁兼容与印刷电路板	190
7.1	PCB 与 EMC	190
7.1.1	导线和 PCB 走线	192
7.1.2	电阻	192
7.1.3	电容器	193
7.1.4	电感	193
7.1.5	变压器	194
7.2	信号完整性与串扰	195
7.2.1	信号完整性的要求	195
7.2.2	串扰	197
7.2.3	3-W 原则	204
7.3	传输线与端接技术	206
7.3.1	传输线效应	207
7.3.2	端接方法	208
7.4	接地与叠层	226
7.4.1	接地的意义	226
7.4.2	接地方法	227
7.4.3	印刷电路板叠层	233
7.5	旁路与去耦	242
7.5.1	并联电容器	242
7.5.2	电源层和接地层电容	244
参考文献		248

第 1 章 绪 论

1.1 引 言

随着微电子技术与信息科学的快速发展，数字信号处理技术已广泛应用于通信、航空航天、工业测量和控制、生物医学工程及军事等领域。

大部分信号的初始形态是事物的运动变化，为了测量与处理这些信号，首先需要通过传感器将这些信号的特征转换成电信号，然后通过处理，将其转变为人类能看见、听见或利用的信号形式。

转变后电信号的处理方式主要有模拟信号处理以及数字信号处理两大类，随着技术的发展，数字信号处理由于具有精度高、抗干扰能力强等优点逐渐成为目前主要的信号处理方式。

数字信号处理流程如图 1.1 所示。

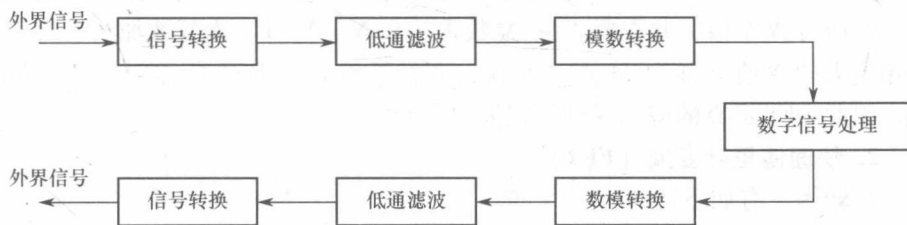


图 1.1 数字信号处理流程

由图 1.1 可知，外界信号首先通过信号转换模块转变为模拟电信号，再经过低通滤波器滤除高频噪声信号，然后经过模数转换芯片变换为数字信号，变换后的数字信号经专用数字信号处理模块的处理得到需要的数字结果，经数模转换、低通重构滤波后，变换为需要的外界信号。

数字信号处理技术的发展是伴随着微电子技术及信息处理技术的发展而发展起来的一门专业技术。其中快速傅里叶变换（FFT）算法以及数字信号处理专用芯片（DSP）的诞生是数字信号处理得到快速发展的两大基石。

FFT 算法的提出第一次使得数字信号处理算法的快速实时实现成为可能，而 DSP 的诞生使得更复杂、性能更优越的数字信号处理算法在单系统上实时实现成为一种可能。

近年来,随着 FPGA 走向成熟, FPGA 逐渐取代了 DSP 在数字信号处理领域中的部分作用,而 FPGA + DSP 的方案成为目前数字信号处理的主流解决方案。

本书将带领大家进入数字信号处理领域,详细介绍与之相关的算法、硬件及软件设计,并辅以相应的设计实例。

1.2 数字信号处理方法

1.2.1 FFT 算法

FFT 算法是一种高效实现离散傅里叶变换 (DFT) 的快速算法,是数字信号处理中最为重要的工具之一,它在声学、通信、雷达等领域广泛应用。

1. 离散傅里叶变换 (DFT)

对于长度为 N 的有限长序列 $x(n)$, 它的 DFT 为

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk} \quad (k = 0, 1, \dots, N-1) \quad (1.1)$$

式中: $W_N = e^{-j2\pi/N}$, 称为旋转因子或蝶形因子。

从 DFT 的定义可以看出,在 $x(n)$ 为复数序列的情况下,对某个 k 值,直接按式 (1.1) 计算 $X(k)$ 只需要 N 次复数乘法和 $(N-1)$ 次复数加法。因此,对所有 N 个值,共需要 N^2 次复数乘法和 $N(N-1)$ 次复数加法。对于一些相当大的 N 值 (如 1024 点) 来说,直接计算它的 DFT 所需要的计算量很大,因此 DFT 运算的应用受到了很大的限制。

2. 快速傅里叶变换 (FFT)

旋转因子有如下特性:

(1) 对称性: $W_N^k = -W_N^{k+N/2}$ 。

(2) 周期性: $W_N^k = -W_N^{k+N}$ 。

利用这些特性,既可以使 DFT 中有些项合并,减少了乘积项,又可以将长序列的 DFT 分解成几个短序列的 DFT。FFT 就是利用了旋转因子的对称性和周期性来减少运算量的。

FFT 的算法是将长序列的 DFT 分解成短序列的 DFT。例如: N 为偶数时,先将 N 点的 DFT 分解为两个 $N/2$ 点的 DFT,使复数乘法减少 1/2,再将每个 $N/2$ 点的 DFT 分解成 $N/4$ 点的 DFT,使复数乘法又减少 1/2,继续进行分解可以大大减少计算量。最小变换的点数称为基数,对于基数为 2 的 FFT 算法,它的最小变换是 2 点 DFT。

一般而言,FFT 算法分为按时间抽取的 FFT (DITFFT) 和按频率抽取的

FFT(DIFFFT) 两大类。DITFFT 算法是在时域内将每一级输入序列依次按奇/偶分成 2 个短序列进行计算, 而 DIFFFT 算法是在频域内将每一级输入序列依次按奇/偶分成 2 个短序列进行计算。两者的区别是旋转因子出现的位置不同, 但算法是一样的, 在 DITFFT 算法中, 旋转因子出现在输入端, 而在 DIFFFT 算法中它出现在输出端。

假定序列 $x(n)$ 的点数 N 是 2 的幂, 按照 DITFFT 算法可将其分为偶序列和奇序列。

偶序列: $x(0), x(2), x(4), \dots, x(N-2)$, 即

$$x_1(r) = x(2r) \quad \left(r = 0, 1, \dots, \frac{N}{2}\right)$$

奇序列: $x(1), x(3), x(5), \dots, x(N-1)$, 即

$$x_2(r) = x(2r+1) \quad \left(r = 0, 1, \dots, \frac{N}{2}\right)$$

则 $x(n)$ 的 DFT 表示为

$$\begin{aligned} X(k) &= \sum_{\substack{n=0 \\ x \text{ 为偶数}}}^{N-1} x(n) W_N^{nk} + \sum_{\substack{n=0 \\ n \text{ 为奇数}}}^{N-1} x(n) W_N^{nk} \\ &= \sum_{r=0}^{\frac{N}{2}-1} x(2r) W_N^{2rk} + \sum_{r=0}^{\frac{N}{2}-1} x(2r+1) W_N^{(2r+1)k} \\ &= \sum_{r=0}^{\frac{N}{2}-1} x_1(r) W_N^{2rk} + W_N^k \sum_{r=0}^{\frac{N}{2}-1} x_2(r) W_N^{2rk} \end{aligned} \quad (1.2)$$

由于 $W_N^2 = [e^{-j(2\pi/N)}]^2 = [e^{\frac{j2\pi}{N}}] = W_{N/2}$, 则式 (1.2) 可以表示为

$$\begin{aligned} X(k) &= \sum_{r=0}^{\frac{N}{2}-1} x_1(r) W_{N/2}^{rk} + W_N^k \sum_{r=0}^{\frac{N}{2}-1} x_2(r) W_{N/2}^{rk} \\ &= X_1(k) + W_N^k X_2(k) \quad \left(k = 0, 1, \dots, \frac{N}{2} - 1\right) \end{aligned} \quad (1.3)$$

式中: $X_1(k)$ 和 $X_2(k)$ 分别为 $x_1(n)$ 和 $x_2(n)$ 的 $N/2$ 点的 DFT。

由于对称性, $W_N^{k+N/2} = -W_N^k$, 则 $X\left(k + \frac{N}{2}\right) = X_1(k) - W_N^k X_2(k)$ 。因此,

N 点 $X(k)$ 可分为两部分:

前半部分为

$$X(k) = X_1(k) + W_N^k X_2(k) \quad \left(k = 0, 1, \dots, \frac{N}{2} - 1\right) \quad (1.4)$$

后半部分为

$$X\left(k + \frac{N}{2}\right) = X_1(k) - W_N^k X_2(k) \quad \left(k = 0, 1, \dots, \frac{N}{2} - 1\right) \quad (1.5)$$

从式 (1.4) 和式 (1.5) 可以看出, 只要求出 $0 \sim (N/2 - 1)$ 区间 $X_1(k)$ 和 $X_2(k)$ 的值, 就可求出 $0 \sim (N-1)$ 区间 $X(k)$ 的 N 点值。

以同样的方式进行抽取, 可以求得 $N/4$ 点的 DFT, 重复抽取过程, 就可以使 N 点的 DFT 用一组 2 点的 DFT 来计算, 这样就可以大大减少运算量。

基 2 DIT FFT 的蝶形运算如图 1.2 所示。设蝶形输入为 $x_{m-1}(p)$ 和 $x_{m-1}(q)$, 输出为 $x_m(p)$ 和 $x_m(q)$, 则

$$x_m(p) = x_{m-1}(p) + x_{m-1}(q) W_N^k \tag{1.6}$$

$$x_m(q) = x_{m-1}(p) - x_{m-1}(q) W_N^k \tag{1.7}$$

在基数为 2 的 FFT 中, 设 $N=2^M$, 共有 M 级运算, 每级有 $N/2$ 个 2 点 FFT 蝶形运算, 因此, N 点 FFT 总共有 $(N/2) \log_2 N$ 个蝶形运算。

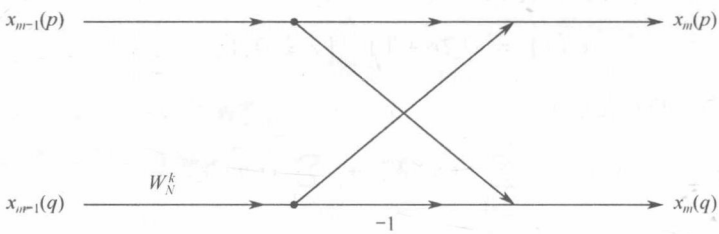


图 1.2 基 2 DIT FFT 的蝶形运算

例如: 在 N 点 FFT 中, 当 $N=8$ 时, 共需要 3 级, 12 个基 2 DIT FFT 的蝶形运算, 其信号流程如图 1.3 所示。

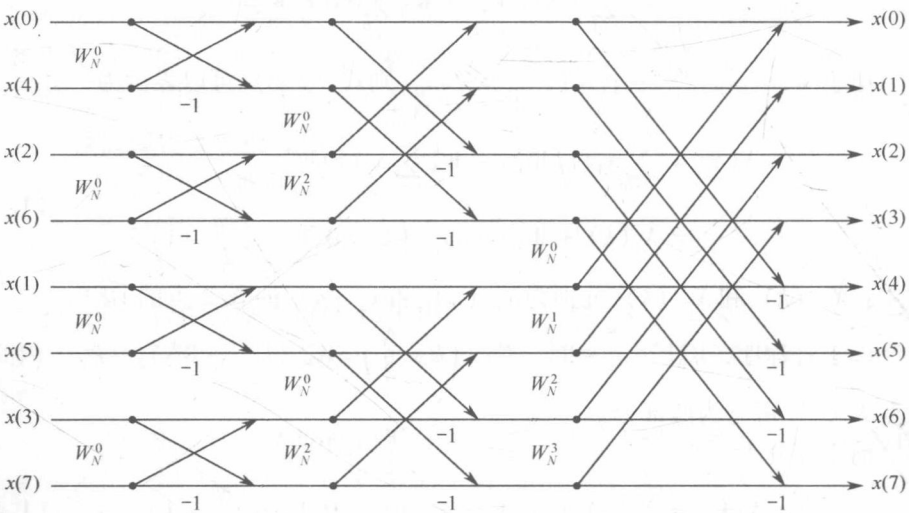


图 1.3 8 点基 2 DIT FFT 的蝶形运算

从图 1.3 可以看出, 输入是经过比特反转的倒位序列, 称为位码倒置, 其排列顺序为 $x(0)$ 、 $x(4)$ 、 $x(2)$ 、 $x(6)$ 、 $x(1)$ 、 $x(5)$ 、 $x(3)$ 、 $x(7)$ 。

输出是按自然顺序排列, 其顺序为 $x(0)$ 、 $x(1)$ 、 $\cdots$ 、 $x(6)$ 、 $x(7)$ 。

1.2.2 FIR 滤波器的基本结构

首先考虑 FIR 滤波器的实现。回忆 N 阶因果 FIR 滤波器, 它可以用传输函数 $H(z)$ 来描述, 即

$$H(z) = \sum_{k=0}^N h[k]z^{-k} \quad (1.8)$$

这是一个关于 z^{-1} 的 N 次多项式。在时域中, 上述 FIR 滤波器的输入、输出关系为

$$y[n] = \sum_{k=0}^N h[k]x[n-k] \quad (1.9)$$

式中: $y[n]$ 和 $x[n]$ 分别为输出和输入序列。

由于 FIR 滤波器可以设计成在整个频率范围内均可提供精确的线性相位, 而且总可以独立于滤波器系数, 保持系统稳定, 因此在很多应用中, 这样的滤波器是首选。下面将给出 FIR 滤波器的几种实现方法。

1. 直接型

N 阶 FIR 滤波器要用 $N+1$ 个系数描述, 通常需要用 $N+1$ 个乘法器和 N 个双输入加法器来实现。不难发现, 乘法器的系数正好是传输函数的系数, 因此此结构称为直接型结构。直接型 FIR 滤波器可以很容易地通过式 (1.9) 实现, 如图 1.4 (a) 所示, 其中 $N=4$ 。分析这种结构, 可得

$$y[n] = h[0]x[n] + h[1]x[n-1] + h[2]x[n-2] + h[3]x[n-3] + h[4]x[n-4]$$

这正是式 (1.9) 的形式。

图 1.4 (a) 所示结构的转置结构如图 1.4 (b) 所示, 这是第 2 种直接型结构。这两种直接型结构相对于延时来说都是规范的。

2. 级联型

高阶 FIR 传输函数可以由一阶或二阶传输函数的级联实现。为此, 将式 (1.8) 给出的 FIR 传输函数 $H(z)$ 因式分解, 即

$$H(z) = h[0] \prod_{k=1}^K (1 + \beta_{1k}z^{-1} + \beta_{2k}z^{-2}) \quad (1.10)$$

式中: 若 N 是偶数, 则 $K=N/2$; 若 N 是奇数, 则 $K=(N+1)/2$; $\beta_{2k}=0$ 。

图 1.5 所示为式 (1.10) 中当 $N=6$ 时由 3 个二阶 FIR 部分组成的级联实现。图中每个二阶部分也可以用转置的直接型结构来实现。注意, 级联形式是规范型的, 也需要用 N 个双输入的加法器和 $N+1$ 个乘法器来实现 N 阶 FIR 传输函数。

3. 多相实现

另一种让人感兴趣的 FIR 滤波器的实现是基于传输函数的多相位分解所得

到的并联结构。为了说明这种方法，考虑一个长度为 9 的因果 FIR 传输函数 $H(z)$ ，即

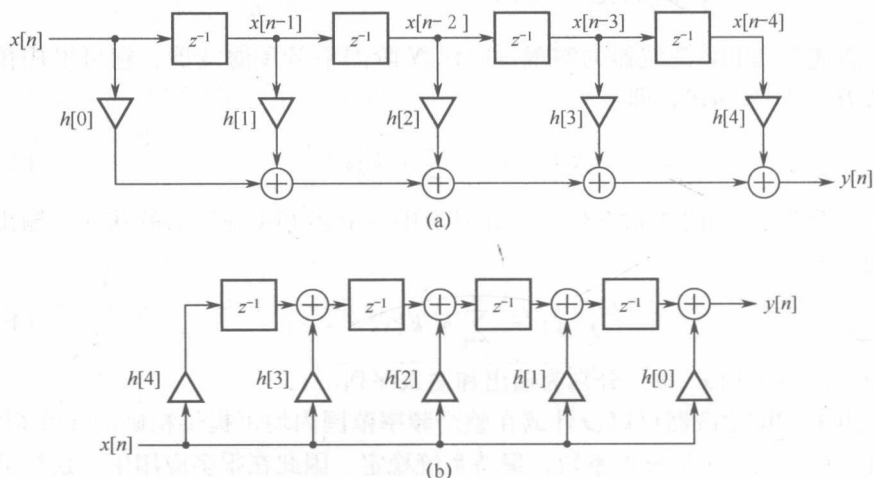


图 1.4 直接型 FIR 结构

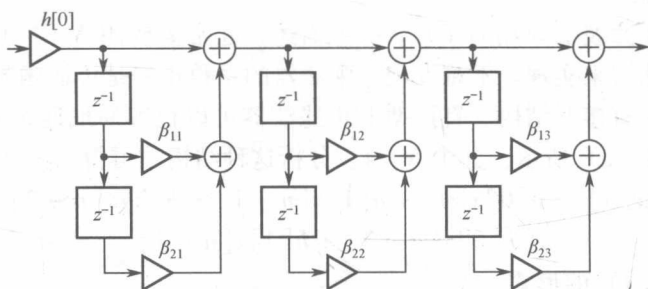


图 1.5 6 阶 FIR 滤波器的级联型 FIR 结构

$$H(z) = h[0] + h[1]z^{-1} + h[2]z^{-2} + h[3]z^{-3} + h[4]z^{-4} + h[5]z^{-5} + h[6]z^{-6} + h[7]z^{-7} + h[8]z^{-8} \quad (1.11)$$

式 (1.11) 中的传输函数可以表示为两项之和，一部分包含了所有的偶系数项，另一部分包含了所有的奇系数项，即

$$\begin{aligned} H(z) &= (h[0] + h[2]z^{-2} + h[4]z^{-4} + h[6]z^{-6} + h[8]z^{-8}) \\ &\quad + (h[1]z^{-1} + h[3]z^{-3} + h[5]z^{-5} + h[7]z^{-7}) \\ &= (h[0] + h[2]z^{-2} + h[4]z^{-4} + h[6]z^{-6} + h[8]z^{-8}) \\ &\quad + z^{-1}(h[1] + h[3]z^{-2} + h[5]z^{-4} + h[7]z^{-6}) \end{aligned} \quad (1.12)$$

使用记号，即

$$\begin{aligned} E_0(z) &= h[0] + h[2]z^{-1} + h[4]z^{-2} + h[6]z^{-3} + h[8]z^{-4} \\ E_1(z) &= h[1] + h[3]z^{-1} + h[5]z^{-2} + h[7]z^{-3} \end{aligned} \quad (1.13)$$

可以把式 (1.12) 写为

$$H(z) = E_0(z^2) + z^{-1}E_1(z^2) \quad (1.14)$$

用类似的方式, 将式 (1.11) 重写为

$$H(z) = E_0(z^3) + z^{-1}E_1(z^3) + z^{-2}E_2(z^3) \quad (1.15)$$

此时,

$$\begin{aligned} E_0(z) &= h[0] + h[3]z^{-1} + h[6]z^{-2} \\ E_0(z) &= h[1] + h[4]z^{-1} + h[7]z^{-2} \\ E_0(z) &= h[20] + h[5]z^{-1} + h[8]z^{-2} \end{aligned} \quad (1.16)$$

对 $H(z)$ 形如式 (1.14) 和式 (1.15) 的分解就是通常所说的多相分解。在一般情况下, 形如式 (1.8), N 阶传输函数的 L 支多相分解具有的形式为

$$H(z) = \sum_{m=0}^{L-1} z^{-m} E_m(z^L) \quad (1.17)$$

其中,

$$E_m(z) = \sum_{n=0}^{\lfloor (N+1)/L \rfloor} h[Ln + m] z^{-n} \quad (0 \leq m \leq L-1) \quad (1.18)$$

当 $n > N$ 时, $h[n] = 0$ 。 $H(z)$ 的基于式 (1.17) 的分解实现称为多相实现。图 1.6 所示为一个 FIR 传输函数的四支、三支、二支的多相实现。如式 (1.13) 和式 (1.16) 所示, 不同结构的传输函数 $E_0(z)$ 的表达式是不同的, 同样, $E_1(z)$ 等的表达式也互不相同。

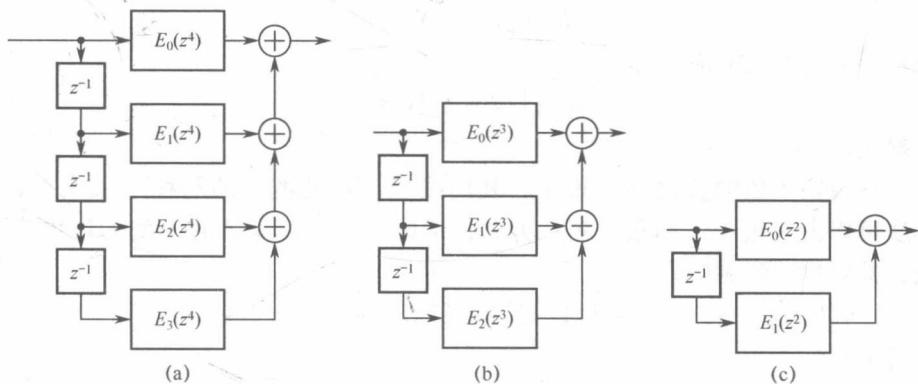


图 1.6 一个 FIR 传输函数的四支、三支、二支的多相实现

在 FIR 传输函数的多相实现中, 各个子滤波器 $E_m(z^L)$ 也是 FIR 滤波器, 可以用前述任何一种方法实现。然而, 为了得到整个结构的规范实现, 所有子滤波器必须共用延时器。图 1.7 所示为通过共用延时器得到的长度为 9 的 FIR 滤波器的规范型多相实现。注意, 为了得到这种实现, 用图 1.6 (b) 所示的转置结构形式。其他规范型多相实现可以用类似的方法得到。

在多抽样率数字信号处理中，多相结构经常能够有效地用于计算实现。

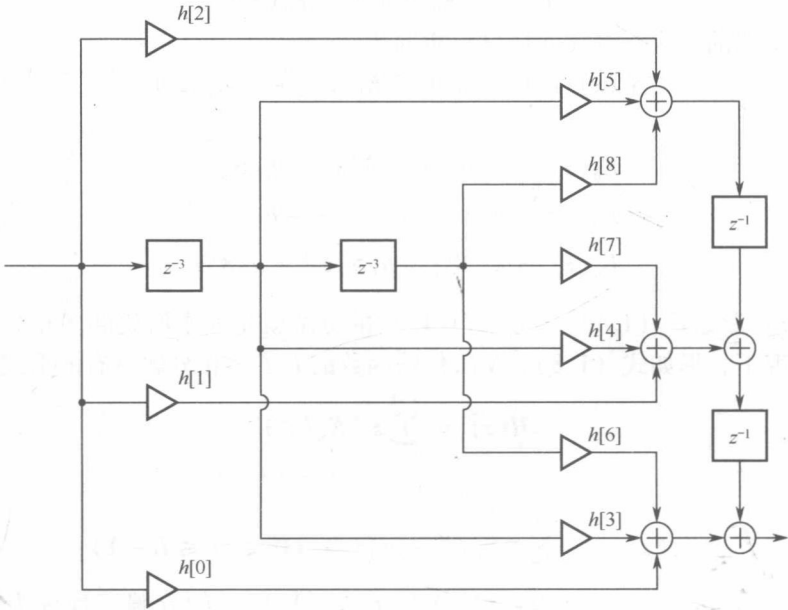


图 1.7 长度为 9 的 FIR 滤波器的规范型多相实现

4. 线性相位 FIR 滤波器结构

已知 N 阶线性相位 FIR 滤波器可以用对称冲激响应，即

$$h[n] = h[N - n] \quad (1.19)$$

或称反对称冲击响应，即

$$h[n] = -h[N - n] \quad (1.20)$$

来描述。

在传输函数的直接型实现中，利用线性 FIR 滤波器的对称（或反对称）性质可以减少近 1/2 的乘法器。为此，考虑一个长度为 7 的 1 型 FIR 传输函数，其对称冲激响应为

$$H(z) = h[0] + h[1]z^{-1} + h[2]z^{-2} + h[3]z^{-3} + h[2]z^{-4} + h[1]z^{-5} + h[0]z^{-6}$$

它可重写为

$$H(z) = h[0](1 + z^{-6}) + h[1](z^{-1} + z^{-5}) + h[2](z^{-2} + z^{-4}) + h[3]z^{-3} \quad (1.21)$$

图 1.8 (a) 所示为基于式 (1.21) 进行分解的 $H(z)$ 的实现。可以用类似的分解实现一个 2 型 FIR 传输函数。例如，对一个长度为 8 的 2 型 FIR 传输函数，相关分解为

$$H(z) = h[0](1 + z^{-7}) + h[1](z^{-1} + z^{-6}) + h[2](z^{-2} + z^{-5}) + h[3](z^{-3} + z^{-4}) \quad (1.22)$$

得到的实现方式如图 1.8 (b) 所示。

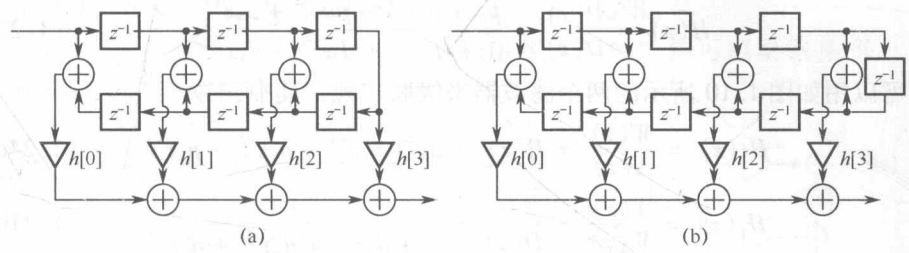


图 1.8 线性相位 FIR 结构
(a) 1 型; (b) 2 型。

注意, 图 1.8 (a) 中的结构需要 4 个乘法器, 而用直接型来实现原始滤波器需要 7 个乘法器。同样, 图 1.8 (b) 中的结构仅需要 4 个乘法器, 而用直接型来实现却需要 8 个乘法器。这种节省可以在具有反对称冲激响应的 FIR 滤波器中获得。

5. 抽头延时线

在一些实际应用中, 例如音频信号处理, 需要采用图 1.9 所示的 FIR 滤波器结构。该结构具有 $M1 + M2 + M3$ 个单位延时, 每个延时部分都有一个抽头, 分别位于 $M1$, $M2$ 个单位延时后以及最后输出时刻。在这些抽头上, 信号分别乘以系数 $\alpha_0, \alpha_1, \alpha_2, \alpha_3$, 然后叠加起来构成输出。这种结构通常称为抽头延时线。图 1.4 所示的直接型 FIR 结构可以认为是一种特殊的抽头延时线, 它在每个单位延时后都有一个抽头。

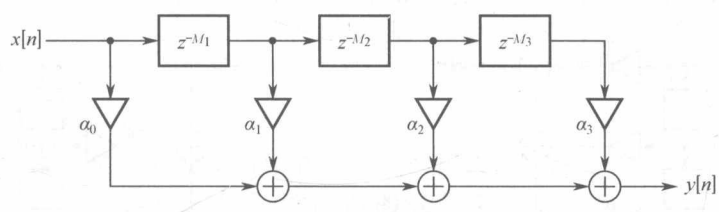


图 1.9 一种特殊的抽头延时线

1.2.3 IIR 数字滤波器的基本结构

1. 直接型

N 阶 IIR 数字滤波器的传输函数用 $2N + 1$ 个不同的系数描述, 通常需要用 $2N + 1$ 个乘法器和 $2N$ 个两输入加法器来实现。同 FIR 滤波器的实现形式一样, 若乘法器的系数等于传输函数的系数, 则这种 IIR 滤波器结构就称为直接型结构。现在具体描述如何生成这些结构。