




# CMOS

## 模拟集成电路版图

# 设计/与/验证

——基于Cadence Virtuoso与Mentor Calibre

尹飞飞 陈铨颖 范军 王鑫  编著

 中国工信出版集团



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY  
<http://www.phei.com.cn>

# CMOS 模拟集成电路版图设计与验证

——基于 Cadence Virtuoso 与 Mentor Calibre

尹飞飞 陈铖颖 范 军 王 鑫 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书依托 Cadence Virtuoso 版图设计工具与 Mentor Calibre 版图验证工具,采取循序渐进的方式,介绍利用 Cadence Virtuoso 与 Mentor Calibre 进行 CMOS 模拟集成电路版图设计、验证的基础知识和方法,内容涵盖了 CMOS 模拟集成电路版图基础知识, Cadence Virtuoso 与 Mentor Calibre 的基本概况、操作界面和使用方法, CMOS 模拟集成电路从设计到流片的完整流程,同时又分章介绍了利用 Cadence Virtuoso 版图设计工具、Mentor Calibre 版图验证工具及 Synopsys Hspice 电路仿真工具进行 CMOS 电路版图设计与验证、后仿真的实例,包括运算放大器、带隙基准源、低压差线性稳压源、比较器和输入/输出单元。

本书通过实例讲解,可使读者深刻了解 CMOS 电路版图设计和验证的规则、流程和基本方法。本书适合从事 CMOS 模拟集成电路设计的工程技术人员阅读使用,也可作为高等院校相关专业的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

### 图书在版编目(CIP)数据

CMOS 模拟集成电路版图设计与验证:基于 Cadence Virtuoso 与 Mentor Calibre / 尹飞飞等编著. —北京:电子工业出版社, 2016.9

ISBN 978-7-121-29807-3

I. ①C… II. ①尹… III. ①CMOS 电路—电路设计 IV. ①TN432.02

中国版本图书馆 CIP 数据核字(2016)第 203214 号

责任编辑:张 剑(zhang@phei.com.cn)

印 刷:北京京科印刷有限公司

装 订:三河市良远印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:17 字数:435 千字

版 次:2016 年 9 月第 1 版

印 次:2016 年 9 月第 1 次印刷

印 数:3 000 册 定价:48.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888, 88258888。

质量投诉请发邮件至 zllts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: zhang@phei.com.cn。

# 前 言

集成电路 (Integrated Circuit, IC) 芯片作为 21 世纪信息社会的基石, 在国民经济、国防建设及日常生活中发挥着不可替代的重要作用。版图设计与验证是集成电路设计中最重要的一环, 对集成电路芯片的功能和性能的实现起着决定性作用。

本书依据 CMOS 模拟集成电路版图设计和验证的基本流程, 依托 Cadence Virtuoso 版图设计工具、Mentor Calibre 物理验证工具和 Synopsys Hspice 电路仿真工具, 结合实例详细介绍了运算放大器等多类基本电路的版图设计、验证及后仿真的方法, 以供学习 CMOS 模拟集成电路版图设计与仿真的读者参考讨论之用。

本书内容分为 3 部分, 共 8 章。

第 1 章介绍了 CMOS 模拟集成电路工艺基础和 CMOS 模拟集成电路设计的基本流程, 并讨论了 CMOS 模拟集成电路版图的概念、设计、验证流程及通用的设计规则, 使读者对版图设计有一个概括性的了解。

第 2 章至第 4 章详细介绍了 Cadence Virtuoso 版图设计工具、Mentor Calibre 物理验证工具及完整的 CMOS 模拟集成电路设计、验证流程。

第 5 章至第 8 章在分析各类电路概念和原理的基础上, 通过实例介绍利用 Cadence Virtuoso 版图设计工具、Mentor Calibre 物理验证工具及 Synopsys Hspice 电路仿真工具进行运算放大器、带隙基准源、低压差线性稳压源、比较器和 I/O 单元等多类基本电路版图设计和后仿真方法。

本书内容丰富, 具有较强的实用性。本书由辽宁大学物理学院尹飞飞老师主持编写, 中国科学院微电子研究所助理研究员陈铖颖、高级工程师范军和北京中电华大电子设计有限责任公司工程师王鑫一同参与完成。其中, 尹飞飞编写了第 2 章至第 5 章, 陈铖颖编写了第 1 章和第 6 章, 范军编写了第 7 章, 王鑫编写了第 8 章。此外, 北方工业大学微电子系戴澜副教授, 北京理工大学微电子技术研究所王兴华老师, 中国科学院微电子研究所胡晓宇副研究员、刘海南副研究员、辛卫华高级工程师、张锋副研究员、蒋见花副研究员, 长沙航空职业技术学院李仲秋老师参与了全书的策划和审定。同时感谢北京立博信荣科技有限公司高级工程师王晶、华大九天科技有限公司工程师梁曼、中国科学院微电子研究所姚穆和杨亚光等在文稿审校、章节架构、查找资料和文档整理方面付出的辛勤劳动, 正是有了大家的共同努力, 才使本书得以顺利完成。

由于本书涉及知识面较广, 加之时间和编者水平有限, 书中难免存在不足和局限, 恳请读者批评指正。

编著者

# 目 录

|       |                               |    |
|-------|-------------------------------|----|
| 第 1 章 | CMOS 模拟集成电路版图基础               | 1  |
| 1.1   | CMOS 工艺基础及制造流程                | 1  |
| 1.2   | CMOS 模拟集成电路设计流程               | 4  |
| 1.3   | CMOS 模拟集成电路版图定义               | 5  |
| 1.4   | CMOS 模拟集成电路版图设计流程             | 6  |
| 1.4.1 | 版图规划                          | 7  |
| 1.4.2 | 设计实现                          | 8  |
| 1.4.3 | 版图验证                          | 9  |
| 1.4.4 | 版图完成                          | 10 |
| 1.5   | 版图设计通用规则                      | 10 |
| 1.6   | CMOS 模拟集成电路版图匹配设计             | 12 |
| 1.6.1 | CMOS 工艺失配机理                   | 13 |
| 1.6.2 | 元器件版图匹配设计规则                   | 14 |
| 第 2 章 | Cadence Virtuoso 版图设计工具       | 17 |
| 2.1   | Virtuoso 界面介绍                 | 17 |
| 2.1.1 | Virtuoso CIW 界面介绍             | 17 |
| 2.1.2 | Virtuoso Library Manager 界面介绍 | 20 |
| 2.1.3 | Virtuoso Layout Editor 界面介绍   | 29 |
| 2.2   | Virtuoso 基本操作                 | 41 |
| 第 3 章 | Mentor Calibre 版图验证工具         | 54 |
| 3.1   | Mentor Calibre 版图验证工具调用       | 54 |
| 3.2   | Mentor Calibre DRC 验证         | 57 |
| 3.2.1 | Calibre DRC 验证简介              | 57 |
| 3.2.2 | Calibre DRC 界面介绍              | 60 |
| 3.2.3 | Calibre DRC 验证流程举例            | 64 |
| 3.3   | Mentor Calibre LVS 验证         | 69 |
| 3.3.1 | Calibre LVS 验证简介              | 69 |
| 3.3.2 | Calibre LVS 界面介绍              | 70 |
| 3.3.3 | Calibre LVS 验证流程举例            | 77 |
| 3.4   | Mentor Calibre 寄生参数提取 (PEX)   | 83 |
| 3.4.1 | Calibre PEX 验证简介              | 83 |
| 3.4.2 | Calibre PEX 界面介绍              | 84 |
| 3.4.3 | Calibre PEX 流程举例              | 89 |
| 第 4 章 | CMOS 模拟集成电路版图设计与验证流程          | 93 |

|              |                                |            |
|--------------|--------------------------------|------------|
| 4.1          | 设计环境准备                         | 93         |
| 4.2          | 反相器链电路的建立和前仿真                  | 96         |
| 4.3          | 反相器链版图设计                       | 100        |
| 4.4          | 反相器链版图验证与参数提取                  | 107        |
| 4.5          | 反相器链电路后仿真                      | 119        |
| 4.6          | I/O 单元环设计                      | 122        |
| 4.7          | 主体电路版图与 I/O 单元环的连接             | 128        |
| 4.8          | 导出 GDSII 文件                    | 132        |
| <b>第 5 章</b> | <b>运算放大器的版图设计与后仿真</b>          | <b>135</b> |
| 5.1          | 运算放大器基础                        | 135        |
| 5.1.1        | 运算放大器的基本特性和分类                  | 136        |
| 5.1.2        | 运算放大器性能参数                      | 141        |
| 5.2          | 单级运算放大器的版图设计与后仿真               | 142        |
| 5.2.1        | 单级运算放大器的版图设计                   | 142        |
| 5.2.2        | 单级运算放大器的参数提取                   | 146        |
| 5.2.3        | 单级运算放大器的后仿真                    | 149        |
| 5.3          | 两级全差分运算放大器的版图设计与后仿真            | 169        |
| 5.3.1        | 两级全差分运算放大器的版图设计                | 169        |
| 5.3.2        | 两级全差分运算放大器的参数提取                | 174        |
| 5.3.3        | 两级全差分运算放大器的后仿真                 | 177        |
| <b>第 6 章</b> | <b>带隙基准源与低压差线性稳压器的版图设计与后仿真</b> | <b>187</b> |
| 6.1          | 带隙基准源的版图设计与后仿真                 | 187        |
| 6.1.1        | 带隙基准源基本原理                      | 187        |
| 6.1.2        | 带隙基准源的版图设计                     | 192        |
| 6.1.3        | 带隙基准源的参数提取                     | 195        |
| 6.1.4        | 带隙基准源的后仿真                      | 198        |
| 6.2          | 低压差线性稳压器的版图设计与后仿真              | 205        |
| 6.2.1        | 低压差线性稳压器的基本原理                  | 205        |
| 6.2.2        | 低压差线性稳压器的版图设计                  | 207        |
| 6.2.3        | 低压差线性稳压器的参数提取                  | 210        |
| 6.2.4        | 低压差线性稳压器的后仿真                   | 213        |
| <b>第 7 章</b> | <b>比较器电路的版图设计与后仿真</b>          | <b>223</b> |
| 7.1          | 比较器电路基础                        | 223        |
| 7.1.1        | 比较器性能参数                        | 223        |
| 7.1.2        | 比较器特性分析                        | 224        |
| 7.1.3        | 比较器电路结构                        | 225        |
| 7.2          | 比较器电路的版图设计                     | 228        |
| 7.3          | 比较器电路参数提取                      | 234        |
| 7.4          | 比较器电路后仿真                       | 236        |

|                              |     |
|------------------------------|-----|
| 第 8 章 标准 I/O 单元库的设计与验证 ..... | 242 |
| 8.1 标准 I/O 单元库概述 .....       | 242 |
| 8.2 I/O 单元库基本电路结构 .....      | 244 |
| 8.3 I/O 单元库版图设计 .....        | 249 |
| 8.3.1 数字 I/O 单元版图设计 .....    | 249 |
| 8.3.2 模拟 I/O 单元的制作 .....     | 259 |
| 8.3.3 焊盘 (pad) 的制作 .....     | 260 |
| 8.4 电路参数提取及后仿真 .....         | 262 |

# 第 1 章 CMOS 模拟集成电路版图基础

进入 21 世纪以来，互补金属氧化物半导体（Complementary Metal Oxide Semiconductor, CMOS）技术已成为集成电路（Integrated Circuit, IC）制造的主流工艺，其发展已进入深亚微米和片上系统（System-On-Chip, SOC）时代。CMOS 模拟集成电路不同于传统意义上的模拟电路，不再需要通过规模庞大的印制电路板（PCB）系统来实现电路功能，而是将数以万计的晶体管、电阻、电容或电感集成在一个仅数平方毫米的半导体芯片上。正是这种神奇的技术构成了人类信息社会的基础，而将这种奇迹带入现实的重要一环就是 CMOS 模拟集成电路版图技术。

CMOS 模拟集成电路版图是 CMOS 模拟集成电路的物理实现，是设计者需要完成的最后一道设计程序。它不仅关系到 CMOS 模拟集成电路的功能，而且也在很大程度上决定了电路的各项性能、功耗和生产成本。任何一个性能优秀芯片的诞生，都离不开集成电路版图的精心设计。

与数字集成电路版图全定制的设计方法不同，CMOS 模拟集成电路版图可以看做是一项具有艺术性的技术，它不仅需要设计者具有半导体工艺和电路系统原理的基本知识，更需要设计者自身的创造性、想象力，甚至是艺术性。这种技能既需要一定的天赋，也需要长期工作经验和知识结构的积累才能掌握。

本书将以 CMOS 模拟集成电路版图为切入点，介绍 CMOS 模拟集成电路版图的基础知识、EDA 工具、版图设计技巧等，使读者能在尽可能短的时间内掌握 CMOS 模拟集成电路版图设计的工具和基本规律、技巧。



## 1.1 CMOS 工艺基础及制造流程

CMOS 器件是 NMOS 和 PMOS 晶体管形成的互补结构，具有电流小、功耗低的特点。CMOS 器件具有多种不同的结构，如铝栅和硅栅 CMOS，以及 p 阱、n 阱和双阱 CMOS。铝栅 CMOS 和硅栅 CMOS 的主要差别是器件的栅极结构所用材料的不同。

p 阱 CMOS 是在 n 型硅衬底上制造 p 沟管，在 p 阱中制造 n 沟管，其阱可采用外延法、扩散法或离子注入法形成。该工艺应用得最早，也是应用得最广泛的工艺，适用于标准 CMOS 电路及 CMOS 与双极 npn 兼容的电路。

n 阱 CMOS 是在 p 型硅衬底上制造 n 沟晶体管，在 n 阱中制造 p 沟晶体管，其阱一般采用离子注入法形成。该工艺可使 NMOS 晶体管的性能最优化，适用于制造以 NMOS 为主的 CMOS，以及 E/D-NMOS 和 p 沟 MOS 兼容的 CMOS 电路。

双阱 CMOS 是在低阻 n+ 衬底上再外延一层中高阻 n- 硅层，然后在外延层中制造 n 阱和 p 阱，并分别在 n 阱、p 阱中制造 p 沟晶体管和 n 沟晶体管，从而使 PMOS 晶体管和 NMOS 晶体管都在高阻、低浓度的阱中形成，有利于降低寄生电容，增加跨导，增强 p 沟



晶体管和 n 沟晶体管的平衡性，适用于高性能电路的制造。

下面以一个标准单层多晶硅两层金属 CMOS 器件为例，介绍标准的 CMOS 工艺流程。

**1) 初始清洗** 就是将晶圆放入清洗槽中，利用化学或物理方法将在晶圆表面的尘粒或杂质去除，防止这些杂质尘粒对后续制造工艺造成影响。

**2) 前置氧化** 利用热氧化法生长一层二氧化硅 ( $\text{SiO}_2$ ) 薄膜，目的是为了降低后续生长氮化硅 ( $\text{Si}_3\text{N}_4$ ) 薄膜工艺中的应力。氮化硅具有很强的应力，会影响晶圆表面的结构，因此要在这一层  $\text{Si}_3\text{N}_4$  及硅晶圆之间生长一层  $\text{SiO}_2$  薄膜，以此来减缓氮化硅与硅晶圆间的应力。

**3) 淀积  $\text{Si}_3\text{N}_4$**  利用低压化学气相沉积 (LPCVD) 技术，沉积一层  $\text{Si}_3\text{N}_4$ ，用来作为离子注入的掩模板，同时在后续工艺中定义 p 阱的区域。

**4) p 阱的形成** 将光刻胶涂在晶圆上后，利用光刻技术，将所要形成的 p 型阱区的图形定义出来，即将所要定义的 p 型阱区的光刻胶去除。

**5) 去除  $\text{Si}_3\text{N}_4$**  利用干法刻蚀的方法将晶圆表面的  $\text{Si}_3\text{N}_4$  去除。

**6) p 阱离子注入** 利用离子注入技术，将硼打入晶圆中，形成 p 阱；接着利用无机溶液（如硫酸）或干式臭氧烧除法将光刻胶去除。

**7) p 阱退火及氧化层的形成** 将晶圆放入炉管中进行高温处理，以达到硅晶圆退火的目的，并顺便形成一层 n 阱的离子注入掩模层，以阻止后续步骤中（n 阱离子注入）n 型掺杂离子被打入 p 阱内。

**8) 去除  $\text{Si}_3\text{N}_4$**  利用热磷酸湿式蚀刻方法将晶圆表面的  $\text{Si}_3\text{N}_4$  去除掉。

**9) n 阱离子注入** 利用离子注入技术，将磷打入晶圆中，形成 n 阱。而在 p 阱的表面上，由于有一层  $\text{SiO}_2$  膜保护，所以磷元素不会打入 p 阱中。

**10) n 阱退火** 离子注入后，会严重破坏硅晶圆晶格的完整性。所以掺杂离子注入后的晶圆必须经过适当的处理以回复原始的晶格排列。退火就是利用热能来消除晶圆中晶格缺陷和内应力，以恢复晶格的完整性，同时使注入的掺杂原子扩散到硅原子的替代位置，使掺杂元素产生电特性。

**11) 去除  $\text{SiO}_2$**  利用湿法刻蚀方法去除晶圆表面的  $\text{SiO}_2$ 。

**12) 前置氧化** 利用热氧化法在晶圆上形成一层薄的氧化层，以减轻后续  $\text{Si}_3\text{N}_4$  沉积工艺所产生的应力。

**13)  $\text{Si}_3\text{N}_4$  的淀积** 利用 LPCVD 技术淀积  $\text{Si}_3\text{N}_4$  薄膜，用于定义出元器件隔离区域，使不被  $\text{Si}_3\text{N}_4$  遮盖的区域可被氧化而形成组件隔离区。

**14) 元器件隔离区的掩模形成** 利用光刻技术，在晶圆上涂覆光刻胶，进行光刻胶曝光与显影，接着将氧化绝缘区域的光刻胶去除，以定义出元器件隔离区。

**15)  $\text{Si}_3\text{N}_4$  的刻蚀** 以活性离子刻蚀法去除氧化区域上的  $\text{Si}_3\text{N}_4$ ，再将所有光刻胶去除。

**16) 元器件隔离区的氧化** 利用氧化技术，长成一层  $\text{SiO}_2$  膜，形成元器件的隔离区。

**17) 去除  $\text{Si}_3\text{N}_4$**  利用热磷酸湿式蚀刻的方法将其去除。

**18) 利用氢氟酸 (HF) 去除电极区域的氧化层** 除去  $\text{Si}_3\text{N}_4$  后，将晶圆放入 HF 化学槽中，去除电极区域的氧化层，以便能在电极区域重新成长品质更好的  $\text{SiO}_2$  薄膜作为电极氧化层。

**19) 电极氧化层的形成** 此步骤为制作 CMOS 的关键工艺，即利用热氧化法在晶圆上形成高品质的  $\text{SiO}_2$  作为电极氧化层。

20) **电极多晶硅的淀积** 利用 LPCVD 技术在晶圆表面沉积多晶硅, 以作为连接导线的电极。

21) **电极掩模的形成** 在晶圆上涂覆光刻胶, 再利用光刻技术将电极区域定义出来。

22) **活性离子刻蚀** 利用活性离子刻蚀技术刻蚀出多晶硅电极结构, 再将表面的光刻胶去除。

23) **热氧化** 利用氧化技术, 在晶圆表面形成一层氧化层。

24) **NMOS 源极和漏极形成** 涂覆光刻胶后, 利用光刻技术形成 NMOS 源极与漏极区域的屏蔽, 再利用离子注入技术将砷元素注入源极与漏极区域, 而后将晶圆表面的光刻胶去除。

25) **PMOS 源极和漏极形成** 利用光刻技术形成 PMOS 源极及漏极区域的屏蔽后, 再利用离子注入技术将硼元素注入源极及漏极区域, 而后将晶圆表面的光刻胶去除。

26) **未掺杂的氧化层化学气相淀积** 利用等离子体增强化学气相沉积 (PECVD) 技术沉积一层无掺杂的氧化层, 保护元器件表面, 使其免于受后续工艺的影响。

27) **CMOS 源极和漏极的活化与扩散** 利用退火技术, 对经离子注入过的漏极和源极进行电性活化及扩散处理。

28) **淀积含硼磷的氧化层** 加入硼磷杂质的  $\text{SiO}_2$  有较低的熔点, 当硼磷氧化层被加热到  $800^\circ\text{C}$  时会有软化流动的特性, 可以利用这个特性进行晶圆表面初级平坦化, 以利于后续光刻工艺条件的控制。

29) **接触孔的形成** 涂覆光刻胶, 利用光刻技术形成第一层接触金属孔的屏蔽; 再利用活性离子刻蚀技术刻蚀出接触孔。

30) **溅镀 Metal1** 利用溅镀技术, 在晶圆上溅镀一层钛/氮化钛/铝/氮化钛的多层金属膜。

31) **定义出第一层金属的图形** 利用光刻技术, 定义出第一层金属的屏蔽, 然后利用活性离子刻蚀技术将铝金属刻蚀出金属导线的结构。

32) **淀积  $\text{SiO}_2$**  利用 PECVD 技术, 在晶圆上沉积一层  $\text{SiO}_2$  介电质作为保护层。

33) **涂上  $\text{SiO}_2$**  将流态的  $\text{SiO}_2$  (Spin on Glass, SOG) 旋涂在晶圆表面上, 使晶圆表面平坦化, 以利于后续光刻工艺条件的控制。

34) **将 SOG 烘干** 由于 SOG 是将  $\text{SiO}_2$  溶于溶剂中, 因此必须要将溶剂加热去除。

35) **淀积介电层** 淀积一层介电层在晶圆上。

36) **Metal2 接触通孔的形成** 利用光刻技术及活性离子刻蚀技术制作通孔 (Via), 以作为两个金属层之间连接的通道, 之后去掉光刻胶。

37) **Metal2 的形成** 沉积第二层金属膜在晶圆上, 利用光刻技术制作出第二层金属的屏蔽, 然后蚀刻出第二层金属连接结构。

38) **淀积保护氧化层** 利用 PECVD 技术沉积出保护氧化层。

39)  **$\text{Si}_3\text{N}_4$  的淀积** 利用 PECVD 技术沉积出  $\text{Si}_3\text{N}_4$  膜, 形成保护层。

40) **金属焊盘的形成** 利用光刻技术在晶圆表层制作金属焊盘 (Pad) 的屏蔽图形。利用活性离子蚀刻技术蚀刻出焊盘区域, 以作为后续集成电路封装工艺的连接焊线的接触区。

41) **将元器件予以退火处理** 目的是让元器件有最优化的金属电性接触与可靠性, 至此就完成一个 CMOS 晶体管的工艺制作。



## 1.2 CMOS 模拟集成电路设计流程

模拟电路设计技术作为工程技术中最为经典和传统的“艺术”形式，仍然是许多复杂高性能系统中不可替代的设计方法。CMOS 模拟集成电路设计与传统分立元器件模拟电路设计最大的不同在于，所有的有源和无源元器件都是制作在同一个半导体衬底上，尺寸极其微小，无法再用 PCB 进行设计验证。因此，设计者必须采用计算机仿真和模拟的方法来验证电路性能。模拟集成电路设计包括若干个阶段，图 1-1 所示的是 CMOS 模拟集成电路设计流程。该流程包括系统规格定义、电路设计、电路仿真模拟、版图实现、物理验证、参数提取后仿真、导出设计文件（流片）、芯片制造、测试和验证。

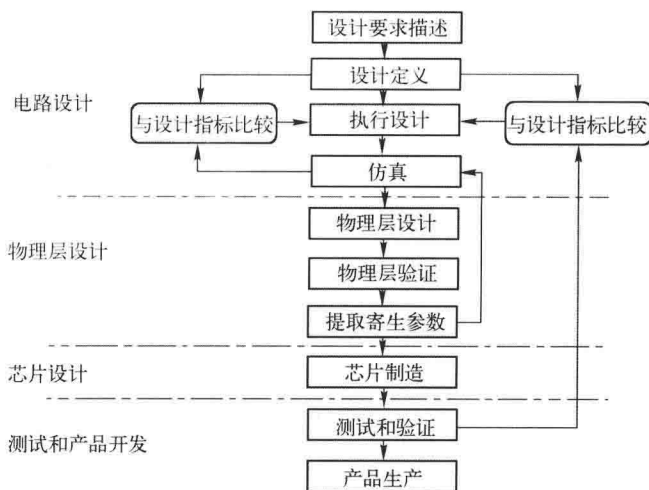


图 1-1 CMOS 模拟集成电路设计流程

一个设计流程是从系统规格定义开始的，设计者在这个阶段就要明确设计的具体要求和性能参数。下一步就是对电路应用模拟仿真的方法评估电路性能，这时可能要根据仿真结果对电路作进一步改进，反复进行仿真。一旦电路性能的仿真结果能够满足设计要求，就需要进行另一个主要设计工作——电路的版图设计。完成版图设计并经过物理验证后，需要将布局、布线形成的寄生效应考虑进去，然后再次进行计算机仿真。如果仿真结果仍满足设计要求，即可进行芯片制造。

与用分立元器件设计模拟电路不同的是，集成化的模拟电路设计不能用搭建线路板的方式进行。随着电子设计自动化（EDA）技术的发展，上述设计步骤都是通过计算机辅助进行的。通过计算机的模拟仿真，可在线路中的任何点监测信号，还可将反馈回路打开，也可比较容易地修改线路。但是计算机模拟仿真也存在一些限制，如模型的不完善，程序求解由于不收敛而得不到结果等。

**1) 系统规格定义** 在这个阶段，系统工程师将整个系统及其子系统看做是一个个仅有输入/输出（I/O）关系的“黑盒子”，不仅要对其中的每个“黑盒子”进行功能定义，而且还要提出时序、功耗、面积、信噪比等性能参数要求。

2) **电路设计** 根据设计要求,设计者首先要选择合适的工艺库,然后合理地构架系统。由于 CMOS 模拟集成电路的复杂性和多样性,目前还没有 EDA 厂商能够提供完全解决 CMOS 模拟集成电路设计自动化的工具,因此基本上所有的模拟电路仍然通过手工设计来完成。

3) **电路仿真** 设计工程师必须确认设计是正确的,为此要基于晶体管模型,借助 EDA 工具进行电路性能的评估和分析。在这个阶段,要依据电路仿真结果来修改晶体管参数。依据工艺库中参数的变化来确定电路工作的区间和限制,验证环境因素的变化对电路性能的影响,最后还要通过仿真结果指导下一步的版图实现。

4) **版图实现** 电路的设计及仿真决定其组成及相关参数,但并不能直接送往晶圆代工厂进行制作。设计工程师需提供集成电路的物理几何描述,即通常所说的“版图”。这个环节就是要把设计的电路转换为图形描述格式。CMOS 模拟集成电路通常是以全定制方法进行手工的版图设计。在设计过程中,需要考虑设计规则、匹配性、噪声、串扰、寄生效应等对电路性能和可制造性的影响。虽然现在出现了许多高级的全定制辅助设计方法,但仍无法保证手工设计对版图布局和各种效应的考虑全面性。

5) **物理验证** 版图的设计是否满足晶圆代工厂的制造可靠性需求?从电路转换到版图是否引入了新的错误?物理验证阶段将通过设计规则检查(Design Rule Check, DRC)和版图网表与电路原理图的比对(Layout Versus schematic, LVS)解决上述两类验证问题。DRC 用于保证版图在工艺上的可实现性。它以给定的设计规则为标准,对最小线宽、最小图形间距、孔尺寸、栅和源漏区的最小交叠面积等工艺限制进行检查。LVS 用于保证版图的设计与其电路设计的匹配。LVS 工具从版图中提取包含电气连接属性和尺寸大小的电路网表,然后与原理图得到的电路网表进行比较,检查二者是否一致。

6) **参数提取后仿真** 在版图完成前的电路模拟都是比较理想的仿真,并不包含来自版图中的寄生参数,被称为“前仿真”;加入版图中的寄生信息进行的仿真被称为“后仿真”。相对数字集成电路来说,CMOS 模拟集成电路对寄生参数更敏感,因此前仿真结果满足设计要求并不代表后仿真结果仍能满足设计要求。在深亚微米阶段,寄生效应更加明显,因此后仿真分析尤为重要。与前仿真一样,当后仿真结果不满足要求时,需要修改晶体管参数,甚至某些地方的结构也要修改。对于高性能的设计,这个过程是需要多次反复进行的,直到后仿真满足系统的设计要求为止。

7) **导出流片数据** 通过后仿真后,设计的最后一步就是导出版图数据(GDSII)文件,将该文件提交给工艺厂进行芯片的制造。



## 1.3 CMOS 模拟集成电路版图定义

CMOS 模拟集成电路版图设计是对已创建电路网表进行精确的物理描述的过程,这一过程满足由设计流程、制造工艺及电路性能仿真验证为可行所产生的约束。这一过程包括了诸多信息含义,下面分别进行介绍。

☺ **创建:** 创建表示从无到有。与电路图的设计一样,版图创建使用图形实例来体现转化实现过程的创造性,且该创造性通常具有特异性。不同的设计者或工艺去实现同一个电路,也往往会得到完全不同的版图设计。

- ☺ 电路网表：电路网表是版图实现的先决条件，二者可以比喻为装扮完全不同的同一个体，神似而形异。
- ☺ 精确：虽然版图设计是一个需要创造性的过程，但版图的首要要求是在晶体管、电阻、电容等元器件图形及其连接关系上与电路图是完全一致的。
- ☺ 物理描述：版图技术是依据晶体管、电阻、电容等元器件及其连接关系在半导体硅片上进行绘制的技术，也是对电路的实体化描述或物理描述。
- ☺ 过程：版图设计是一个具有复杂步骤的过程，为了最优化设计结果，必须遵守一定的逻辑顺序。基本的顺序包括版图布局、版图绘制、规则检查等。
- ☺ 满足：指的是满足一定的设计要求，而不是尽可能最小化或最优化设计。为了达到这个目的，设计过程中需要做很多的折中，如可靠性、可制造性、可配置性等。
- ☺ 设计流程所产生的约束：这些约束包括建立一系列准则，建立这些准则的目的是为了使在设计流程中用到的设计工具可以有效地应用于整个版图。例如，一些数字版图设计工具以标准最小间距连接、布线，而模拟版图的则不一定如此。
- ☺ 制造工艺产生的约束：这些约束包括如金属线最小线宽、最小密度等版图设计规则，这些准则能提高版图的总体质量，从而提高制造良率和芯片性能。
- ☺ 电路性能仿真验证为可行产生的约束：在电路设计之初，设计者并不知道版图设计的细节，如面积、模块间线长等，那么就需要做出一定的假设，然后再将这些假设传递给版图设计者，对版图进行约束。版图设计者也必须将版图实现后的相关信息反馈给电路设计者，以便再次进行电路仿真验证。这个过程反复迭代，直到满足设计要求为止。



## 1.4 CMOS 模拟集成电路版图设计流程

图 1-2 所示的是 CMOS 模拟集成电路版图设计通用流程，主要包括版图规划、设计实现、版图验证和版图完成 4 个步骤。

1) **版图规划** 该步骤是进行版图设计的第一步。在该步骤中，设计者必须尽可能储备有关版图设计的基本知识，并考虑到后续 3 个步骤中需要准备的材料及记录的文档。准备的材料通常包括工艺厂提供的版图设计规则、验证文件，以及版图设计工具包和软件准备等；需要记录的文档包括模块电路清单、版图布局规划方案、设计规则、验证检查报告等。

2) **设计实现** 该步骤是版图设计中最重要的一步，设计者依据电路图对版图进行规划、布局、元器件/模块摆放及连线设计。这一过程又可以细分为“自顶向下规划”和“自底向上实现”两个步骤。概括地说，设计者首先会对模块位置和布线通道进行规划和考虑；之后，设计者就可以从底层模块开始，将其逐一放入规划好的区域内，然后进行连线设计，从而实现整体版图。相比于顶层规划布局，底层模块设计任务要容易一些，因为一个合理的规划，会使得底层连线变得容易实现。

3) **版图验证** 主要包括设计规则检查 (DRC)、电路与版图一致性检查 (LVS)、电学规则检查 (Electrical Rule Check, ERC) 和天线规则检查 (Antenna Rule Check, ARC) 4 个方面。这些检查主要是依靠工艺厂提供的规则文件来完成的，在计算机中通过验证工具来完成检查。但一些匹配性设计检查、虚拟管设计检查等仍需要设计者人工进行检查。

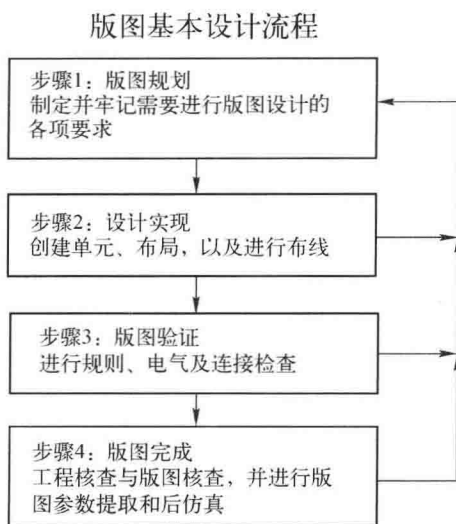


图 1-2 CMOS 模拟集成电路版图设计通用流程

**4) 版图完成** 在该步骤中, 首先是将版图提取成可供后仿真的电路网表, 并进行电路后仿真验证, 以保证电路的功能和性能。最后再导出可供工艺厂进行生产的数据文件, 同时设计者还需要提供相应的记录文档和验证检查报告, 并最终确定所有的设计要求和文档均没有遗漏。

上述 4 个步骤并不是以固定顺序进行实现的, 就像流程图中右侧向上的箭头, 任何一个步骤的修改都需要返回上一步骤重新进行。一个完整的设计往往需要上述步骤的多次反复才能完成。

### 1.4.1 版图规划

图 1-3 所示的是版图规划中细分的 5 个子步骤, 即确定电源网格和全局信号, 定义 I/O 信号, 特殊设计考虑, 模块层次划分和尺寸估计, 以及版图设计完整性检查。就实际工程而言, 还有一个隐含步骤, 就是设计者应当熟悉所要设计版图对应的电路结构, 并尽可能参考现有的、成熟的版图设计, 这样才可以使设计更加优化。

**1) 确定电源网格和全局信号** 版图中电源连线往往纵横交错, 所以被称为电源网格。规划中必须考虑从接口到该设计的各子电路模块之间的电源电阻, 特别要注意电源线的宽度。同时, 也应该注意阱接触孔和衬底接触孔通常都是连接到电源上的, 因此与其相关的版图设计策略也必须加以考虑。

**2) 定义 I/O 信号** 设计者必须列出所有的 I/O 信号, 并在该设计与相邻设计之间的接口处为每个信号指定版图位置和分配连接线宽。同时, 设计者还需要对时钟信号、信号总线、关键路径信号及屏蔽信号进行特殊考虑。

**3) 特殊设计考虑** 在设计中往往需要处理一些特殊的设计要求, 如版图对称性、闩锁保护、防天线效应等, 尤其是对关键信号的布线和线宽要着重考虑。

**4) 模块层次划分和尺寸估计** 该子步骤中, 设计者可以依据工艺条件和设计经验, 将整体版图进行子电路模块划分和尺寸估算, 这样有助于确定最终版图所占据的芯片面积。在

这个过程中，还需要预留一些可能添加的信号和布线通道面积。

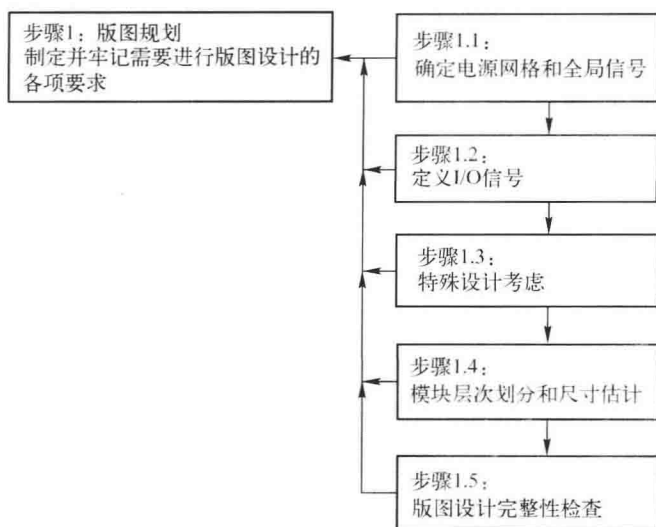


图 1-3 版图规划的子步骤

5) 版图设计完整性检查 该子步骤的目的是确定版图设计所有流程中的要求都被很好地满足了，这些要求包括与电路设计、版图设计准则及工艺条件相关所带来的设计约束。当所有这些要求或约束被满足时，最终对版图进行生产、封装和测试的步骤才可以顺利地进行。

## 1.4.2 设计实现

图 1-4 所示的是版图设计实现细分的 3 个子步骤，包括设计子模块单元并对其进行布局，考虑特殊的设计要求，以及完成子模块间的互连。

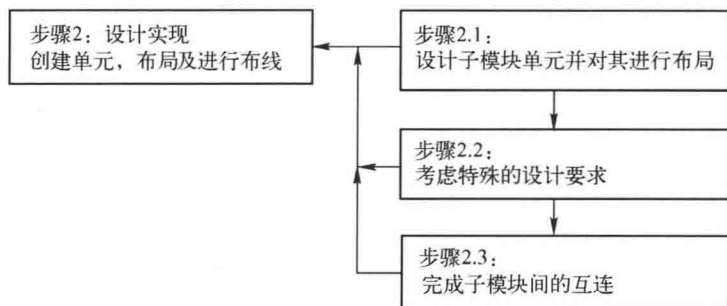


图 1-4 设计实现的子步骤

1) 设计子模块单元并对其进行布局 在子步骤 2.1 中，设计者首先要完成子电路模块内晶体管的布局和互连，这一过程是版图设计最底层的一步。在完成该子步骤的基础上，设计者就可以考虑整体版图的布局设计了。因为整个芯片版图能否顺利完成，很大程度上受限于各个子模块单元的布局情况，这些子模块单元不仅包括设计好的子电路模块，还包括接触



孔、电源线和一些信号接口的位置。一个好的布局，既有利于整体的布线设计，也有利于串扰、噪声信号的消除。

**2) 考虑特殊的设计要求** 在子步骤 2.1 的基础上，子步骤 2.2 可以看做是更精细化的布局设计。设计者在该子步骤中主要考虑如关键信号走线、衬底接触、版图对称性、门锁效应消除及减小噪声等特殊的设计要求，对重要信号和复杂信号进行布线操作。最后，为了考虑可能新增加的设计要求，也需要留出一些预备的布局空间和布线通道。

**3) 完成子模块间的互连** 在完成子步骤 2.1 和 2.2 的情况下，子步骤 2.3 将变得较为容易。设计者只需要考虑布线层、布线方向及布线间距等问题，就可以简单地完成该步骤，完成芯片的全部版图设计。

### 1.4.3 版图验证

图 1-5 所示的是版图验证步骤中的 4 个子步骤，即设计规则检查、电路版图一致性检查、电学规则检查和人工检查。版图验证是在版图设计实现完成后最重要的一步。虽然芯片生产完成后的故障仍可以通过聚焦离子束（focused-ion-beam, FIB）等手段进行人工修复，但代价却十分昂贵。因此，设计者需要在设计阶段对集成电路芯片进行早期的验证检查，保证芯片功能和性能完好。

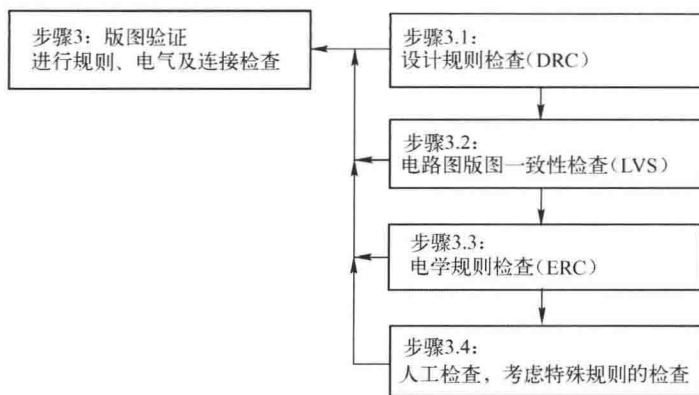


图 1-5 版图验证的子步骤

**1) 设计规则检查 (DRC)** DRC 会检查版图设计中的多边形、分层、线宽、线间距等是否符合工艺生产规则。因为 DRC 检查是版图实现后的第一步验证，所以也会对元器件之间的连接关系及指导性规则进行检查，如层的非法使用、非法的元器件或连接都属于这个范围。

**2) 电路图版图一致性检查 (LVS)** LVS 检查主要用于检查版图是否进行了正确连接。这时电路图 (Schematic) 作为参照物，版图必须与电路图完全一致。在进行该检查时，主要对以下 3 方面进行验证。

◎ 包括 I/O、电源/地信号及元器件之间的连接关系是否与电路图一致。

◎ 所有元器件的尺寸是否与电路图一致，包括晶体管的长度和宽度，电阻、电感、电容及二极管的大小。



☺ 识别在电路图中没有出现的元器件和信号，如误添加的晶体管或悬空节点等。

3) **电学规则检查 (ERC)** 在计算机执行的验证中，ERC 一般不作为单独的验证步骤，而是在进行 LVS 检查时同时进行。但天线规则需要设计者单独进行一步 DRC 检查才能执行，前提是这里将天线规则检查也归于 ERC 的范畴内。ERC 主要包括以下 5 个方面。

☺ 未连接或部分连接的元器件。

☺ 误添加的多余的晶体管、电阻、电容等元器件。

☺ 虚空的节点。

☺ 元器件或连线的短路情况。

☺ 进行单独的天线规则检查。

4) **人工检查** 该子步骤可以理解为是对版图的优化设计。在这个过程中，会检查版图的匹配设计、电源线宽、布局是否合理等无法由计算机验证过程解决的问题，这也需要设计者长期的经验积累才能做到更优。

## 1.4.4 版图完成

在这个步骤中，版图工程师首先应该检查版图的设计要求是否均被满足，需要提交的文档是否已经准备充分。同时，还需要记录出现的问题，与电路工程师一起讨论并提出解决方案。

之后，版图工程师就可以对版图进行参数提取（也称为反提），形成可进行后仿真的网表文件，提交给电路设计工程师进行后仿真。这个过程需要版图工程师和电路设计工程师相互配合，因为在进行后仿真后，电路功能和性能可能会发生一些变化，这就需要版图工程师对版图进行设计调整。反提出来的电路网表是版图工程师与电路工程师之间的交流工具，这一网表表明版图设计已经完成，还需要等待最终的仿真结果。

完成后仿真确认后，版图工程师就可以按照工艺厂的要求，导出 GDSII 文件进行提交，同时还应该提供 LVS、DRC 和天线规则的验证报告、需要进行生产的掩模层信息文件，以及所有使用到的元器件清单。最后，为了“冻结”GDSII 文件，还必须提供 GDSII 数据的详细大小和唯一标志号，从而保证数据的唯一性。



## 1.5 版图设计通用规则

在学习了版图的基本定义和设计流程后，本节将简要介绍一些在版图设计中需要掌握的基本设计规则，主要包括电源线版图设计规则、信号线版图设计规则、晶体管设计规则、层次化版图设计规则和版图质量衡量规则。

1) **电源线版图设计规则** 电源网格设计是为了让各个子电路部分都能充分供电，这是进行版图设计必需的一步，具体的设计规则如下所述。

☺ 电源网格必须形成网格状或环状，遍布各个子电路模块的周围。

☺ 通常使用工艺允许的最底层金属来作为电源线，因为如果使用高层金属作为电源线，就必须使用通孔来连接晶体管和其他电路的连线，这会占用大量的版图面积。

☺ 每个工艺上有最大线宽的要求，超过该线宽就需要在线上开槽。但特别要注意的