

21

湖南省普通高等学校优秀教材

高等学校信息工程专业规划教材

# EDA 技术及应用

## —— Verilog HDL版(第四版)

谭会生 张昌凡 编著

EDA JISHUJI YINGYONG



西安电子科技大学出版社  
<http://www.xduph.com>

湖南省普通高等学校优秀教材

高等学校信息工程专业规划教材

# EDA 技术及应用

## ——Verilog HDL 版

### (第四版)

谭会生 张昌凡 编著

西安电子科技大学出版社

## 内 容 简 介

全书内容分为三大部分,共七章。第一部分概括地阐述了 EDA 技术及应用的有关问题(第 1 章);第二部分比较全面地介绍了 EDA 技术的主要内容,包括 EDA 的物质基础——Lattice、Altera 和 Xilinx 公司典型 FPGA/CPLD 的性能参数、组成结构以及 FPGA 主流设计技术及发展趋势(第 2 章),EDA 的主流表达方式——VHDL 的编程基础(第 3 章),EDA 的设计开发软件——Quartus II、ISE Suite、Synplify Pro、ModelSim SE 等常用 EDA 工具软件的安装与使用(第 4 章),EDA 的实验开发系统——通用 EDA 实验开发系统的基本组成、工作原理、性能指标及 GW48 系列 EDA 实验开发系统的结构和使用方法(第 5 章);第三部分提供了 12 个综合性的 EDA 设计应用实例(第 6 章)和 8 个综合性、设计性的 EDA 技术实验(第 7 章),其中综合性的 EDA 设计应用实例,包括数字信号处理、智能控制、神经网络中经常用到的高速 PID 控制器、FIR 滤波器、CORDIC 算法的应用等实例。

本书可供高等院校电子工程、通信工程、自动化、计算机应用、仪器仪表等信息工程类及相近专业的本科生或研究生使用,也可作为相关人员的自学参考书。

★本书配有电子教案,有需要者可登录出版社网站下载。

## 图书在版编目(CIP)数据

EDA 技术及应用: Verilog HDL 版/谭会生,张昌凡编著.—4 版.—西安:西安电子科技大学出版社,2016.8  
高等学校信息工程类专业规划教材

ISBN 978-7-5606-4257-4

I. ①E... II. ①谭... ②张... III. ①电子电路—计算机辅助设计—高等学校—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字(2016)第 188898 号

策 划 马晓娟

责任编辑 马晓娟

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西利达印务有限责任公司

版 次 2016 年 8 月第 4 版 2016 年 8 月第 2 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 24.5

字 数 583 千字

印 数 3001~6000 册

定 价 42.00 元

ISBN 978-7-5606-4257-4/TN

**XDUP 4549004-2**

\*\*\* 如有印装问题可调换 \*\*\*

本社图书封面为激光防伪覆膜,谨防盗版。

# 前 言

---

本书脱胎于《EDA 技术及应用》，主要是为了满足以 Verilog HDL 作为系统逻辑描述的主要表达方式的读者学习 EDA 技术的需要。作为我国最早的 EDA 技术方面的教材之一，《EDA 技术及应用》自 2001 年第一版出版以来，深受到广大读者的厚爱与青睐，已累计印刷 20 多次，发行 10 多万册，先后于 2008 年被列选为“普通高等教育‘十一五’国家级规划教材”，2009 年被评为“湖南省普通高等学校优秀教材”，2014 年被评为“‘十二五’普通高等教育本科国家级规划教材”。本书是《EDA 技术及应用(第四版)》的配套教材。本次修订在保持了第三版的写作风格和基本内容的同时，结合 EDA 技术的最新发展成果、社会对 EDA 技术人才的更高要求以及作者近年来教学与科研实践，将 EDA 技术的内容进行了精简、更新、补充和完善。

## 1. 修订的指导思想

为满足 EDA 技术快速发展和广泛应用的需要，本书修订的指导思想如下：

(1) 紧跟社会对 EDA 技术应用型高级人才的需要，以实际使用 EDA 技术进行工程开发为目标，充分考虑 EDA 技术使用的综合性和实际开发芯片的多样性，进行教材内容的修改和补充；

(2) 跟踪 EDA 技术的最新发展成果，尽可能地将 EDA 技术中 FPGA/CPLD 器件、EDA 开发软件及 EDA 实验开发系统的最新共性总结反映到教材中，并兼顾个性内容的介绍；

(3) 为了使读者更好地掌握有着广阔应用前景的 EDA 技术，教材的内容不但要满足课堂教学的需要，更要注重课后深化与扩展学习的需要，注重研究性和创新性的教学需要。

## 2. 修订的主要内容

“第 1 章 绪论”，新增了 EDA 技术研究性教学探讨，而对原来的部分内容进行了精简或删除。

“第 2 章 大规模可编程逻辑器件”，新增了主流 FPGA 设计技术及发展趋势，而对原 Lattice、Altera 和 Xilinx 公司主流 FPGA/CPLD 的性能参数和组成结构进行了较大幅度的精简，只保留了一些典型的 FPGA/CPLD 的性能参数和组成结构。

“第 4 章 常用 EDA 工具软件操作指南”，补充完善了 Altera Quartus II 操作指南中 SOPC 软件的设计开发，新增了高版本 Quartus II 的仿真，考虑到篇幅的限制，忍痛删除了原 Lattice ispLEVER 操作指南。

“第 5 章 EDA 实验开发系统”，将 GW48 系统结构图信号名与芯片引脚对照表从 GW48CK 系列扩充更新到 GW48CK/GK/EK/PK2 系列，删除了 GW48 型 EDA 实验开发系

统主板结构与使用的部分说明。

同时对第3章、第6章、第7章的少部分内容进行了补充和完善。

### 3. 本书的主要特点

(1) 本书从可编程逻辑器件、硬件描述语言、开发软件工具和实验开发系统“四大模块”及“一章概述+四章 EDA 基础知识+两章 EDA 技术应用”三个层次来阐述 EDA 技术及应用，突破了早期从硬件或软件某个侧面阐述 EDA 技术和开展 EDA 技术教育的局限性，既抓住了 EDA 技术教学的重点，同时也非常符合教学规律。这是本教材的主要创新。

(2) 精选内容，阐述循序渐进，来源于教学与科研实践，又在教学与科研实践中不断完善。本书以实用为主线，理论与实践紧密结合，采用了“一章概述，四章 EDA 基础知识，两章 EDA 技术应用”的三层次教材体系结构，并根据“注意系统性、注重实践性、兼顾自学性”原则精选内容。对于重点和难点问题，采用了类比对照法、表格叙述法、分层讲解法、软硬件结合法等方法讲解，尽可能简明扼要，突出重点，分层突破，通俗易懂。对于大规模可编程逻辑器件和 EDA 实验开发系统方面的内容，尽可能增加对共性的总结和提炼。对于 VHDL/Verilog HDL 综合设计应用实例的选取，尽可能举一反三，触类旁通。同时教材中的主要程序和应用实例均经过调试，可操作性强。

(3) 注重教学改革，注重研究式教学，注重实践能力和自学能力培养。无论是结构的设计，还是内容的选取，或是 EDA 实验的设计，均贯彻和体现了“抓住一个重点(硬件描述语言编程)，掌握两个工具(FPGA/CPLD 开发软件、EDA 实验开发系统的使用)，运用三种手段(案例分析、应用设计、上机实践)，采用四个结合(边学边用相结合、边用边学相结合、理论与实践相结合、课内与课外相结合)”的 EDA 技术教学思想。同时较深入地探讨了 EDA 技术的研究性教学，从课内扩展到课外，从课程学习引申到后续的深化学习和扩展学习。

在本书的出版和历次修订过程中，中国工程院院士、中南大学桂卫华教授，湖南工业大学校长、博士生导师谭益民教授，原湖南工业大学校长、博士生导师王汉青教授，原湖南工业大学副校长、博士生导师彭小奇教授，湖南工业大学副校长、博士生导师金继承教授，国防科技大学邹逢兴教授，哈尔滨工业大学博士生导师马广福教授，中南大学施荣华教授，湖南大学黎福海教授，湖南工业大学教务处、电气与信息工程学院、交通工程学院的领导，Altera 公司大学计划总经理陈卫中先生，原 Lattice 公司南中国区技术支持经理庄永军先生，西安电子科技大学出版社的领导和责任编辑马晓娟老师等许多领导和老师给予了大力支持与关心，在此一并表示衷心的感谢！同时也衷心地感谢全国各高校选用本教材的教师和学生。

由于 EDA 技术是一门发展迅速的新技术，因此 EDA 技术的研究有待于深入，教学内容有待于深化，教学方法有待于完善。鉴于作者水平有限，虽然本书经过多次修改，书中难免存在疏漏、不妥之处，敬请读者批评指正。

编 著 者

2016 年 6 月

# 目 录

第 1 章 绪论.....	1	趋势.....	30
1.1 EDA 技术的涵义.....	1	2.3 Lattice 公司的 CPLD 和 FPGA 器件.....	37
1.2 EDA 技术的发展历程.....	1	2.3.1 Lattice 公司的 CPLD 和 FPGA 概述..	37
1.3 EDA 技术的主要内容.....	3	2.3.2 ispMACH 系列 CPLD 结构.....	40
1.3.1 大规模可编程逻辑器件.....	3	2.3.3 EC/ECP 系列 FPGA 结构.....	43
1.3.2 硬件描述语言(HDL).....	4	2.4 Altera 公司的 CPLD 和 FPGA 器件.....	50
1.3.3 EDA 软件开发工具.....	4	2.4.1 Altera 公司的 CPLD 和 FPGA 概述 ...	50
1.3.4 EDA 实验开发系统.....	6	2.4.2 MAX 系列 CPLD 结构.....	54
1.4 EDA 工具的发展趋势.....	6	2.4.3 Cyclone III 系列 FPGA 结构.....	55
1.5 EDA 的工程设计流程.....	7	2.4.4 Stratix II 系列 FPGA 结构.....	62
1.5.1 FPGA/CPLD 工程设计流程.....	7	2.5 Xilinx 公司的 CPLD 和 FPGA 器件.....	66
1.5.2 ASIC 工程设计流程.....	10	2.5.1 Xilinx 公司的 CPLD 和 FPGA 概述 ...	66
1.6 数字系统的设计.....	12	2.5.2 XC9500 系列 CPLD 结构.....	69
1.6.1 数字系统的设计模型.....	12	2.5.3 Spartan-3 系列 FPGA 结构.....	72
1.6.2 数字系统的设计方法.....	13	2.5.4 Virtex II Pro 系列 FPGA 结构.....	75
1.6.3 数字系统的设计准则.....	13	2.6 CPLD 和 FPGA 的编程与配置.....	76
1.6.4 数字系统的设计步骤.....	14	2.6.1 CPLD 和 FPGA 的编程配置.....	76
1.7 EDA 技术的应用展望.....	15	2.6.2 CPLD 和 FPGA 的下载接口.....	78
1.8 EDA 技术研究性教学探讨.....	16	2.6.3 CPLD 器件的编程电路.....	78
1.8.1 开展 EDA 技术研究性教学的意义.....	16	2.6.4 FPGA 器件的配置电路.....	79
1.8.2 开展 EDA 技术研究性教学的方法.....	17	2.7 FPGA 和 CPLD 的开发应用选择.....	84
1.8.3 开展 EDA 技术研究性教学的成效.....	18	习题.....	88
习题.....	19		
第 2 章 大规模可编程逻辑器件.....	20	第 3 章 Verilog HDL 编程基础.....	89
2.1 可编程逻辑器件概述.....	20	3.1 Verilog HDL 简介.....	89
2.1.1 PLD 的发展进程.....	20	3.1.1 常用硬件描述语言简介.....	89
2.1.2 PLD 的分类方法.....	22	3.1.2 Verilog HDL 的优点.....	90
2.1.3 常用 CPLD 和 FPGA 标识的含义.....	23	3.1.3 Verilog HDL 程序设计约定.....	90
2.2 FPGA 主流设计技术及发展趋势.....	25	3.2 Verilog HDL 程序概述.....	91
2.2.1 FPGA 主流设计技术.....	25	3.2.1 Verilog HDL 程序设计举例.....	91
2.2.2 FPGA 前沿设计技术与未来发展		3.2.2 Verilog HDL 程序的基本结构.....	93
		3.2.3 Verilog HDL 程序的基本特性.....	93



3.2.4 Verilog HDL 程序的描述风格 .....	94
3.3 Verilog HDL 语言要素 .....	96
3.3.1 Verilog HDL 文字规则 .....	96
3.3.2 Verilog HDL 数据类型 .....	99
3.3.3 Verilog HDL 操作符 .....	102
3.3.4 编译器伪指令 .....	108
3.4 结构描述语句 .....	111
3.4.1 元件实例化语句 .....	111
3.4.2 门级结构描述 .....	113
3.5 数据流描述语句 .....	115
3.5.1 隐式连续赋值语句 .....	115
3.5.2 显式连续赋值语句 .....	116
3.5.3 连续赋值的表达式 .....	117
3.5.4 连续赋值的应用实例 .....	117
3.6 行为描述语句 .....	120
3.6.1 过程性结构 .....	120
3.6.2 过程赋值语句 .....	125
3.6.3 块语句 .....	129
3.6.4 条件语句 .....	130
3.6.5 选择语句 .....	134
3.6.6 循环语句 .....	137
3.6.7 wait 语句 .....	142
3.7 函数与任务 .....	142
3.7.1 函数 .....	143
3.7.2 任务 .....	145
3.7.3 函数调用函数 .....	147
3.7.4 任务调用函数及任务 .....	148
3.7.5 系统函数与任务 .....	150
3.8 基本逻辑电路设计 .....	152
3.8.1 组合逻辑电路设计 .....	152
3.8.2 时序逻辑电路设计 .....	158
3.8.3 存储器电路设计 .....	174
3.9 状态机的 Verilog HDL 设计 .....	178
3.9.1 状态机的基本结构和编码方案 .....	178
3.9.2 一般状态机的 Verilog HDL 设计 .....	179
3.9.3 摩尔状态机的 Verilog HDL 设计 .....	182
3.9.4 米立状态机的 Verilog HDL 设计 .....	184
习题 .....	188

<b>第 4 章 常用 EDA 工具软件操作指南 ...</b>	<b>191</b>
4.1 常用 EDA 工具软件安装指南 .....	191
4.2 常用 EDA 工具软件操作用例 .....	194
4.2.1 四位十进制计数器电路 .....	194
4.2.2 计数动态扫描显示电路 .....	195
4.2.3 EDA 仿真测试模型及程序 .....	198
4.3 Altera Quartus II 操作指南 .....	200
4.3.1 Quartus II 的初步认识 .....	201
4.3.2 Quartus II 的基本操作 .....	205
4.3.3 Quartus II 的综合操作 .....	222
4.3.4 Quartus II 的 SOPC 开发 .....	227
4.3.5 高版本 Quartus II 的仿真 .....	237
4.4 Xilinx ISE Design Suite 操作指南 .....	241
4.4.1 Xilinx ISE 的初步认识 .....	242
4.4.2 ISE Suite 的基本操作 .....	245
4.4.3 ISE Suite 的综合操作 .....	258
4.5 Synplicity Synplify Pro 操作指南 .....	264
4.5.1 Synplify Pro 的使用步骤 .....	264
4.5.2 Synplify Pro 的使用实例 .....	265
4.6 Mentor Graphics ModelSim 操作指南 .....	267
4.6.1 ModelSim 的使用步骤 .....	268
4.6.2 ModelSim 的使用实例 .....	268
习题 .....	273

<b>第 5 章 EDA 实验开发系统 .....</b>	<b>274</b>
5.1 通用 EDA 实验开发系统概述 .....	274
5.1.1 EDA 实验开发系统的基本组成 .....	274
5.1.2 EDA 实验开发系统的性能指标 .....	274
5.1.3 通用 EDA 实验开发系统的工作原理 .....	275
5.1.4 通用 EDA 实验开发系统的使用方法 .....	275
5.2 GW48 系列 EDA 实验开发系统的使用 ..	276
5.2.1 GW48 系列 EDA 实验开发系统介绍 ..	276
5.2.2 GW48 实验电路结构图 .....	279
5.2.3 GW48 系统结构图信号名与芯片引脚对照表 .....	285
5.2.4 GW48 系列 EDA 实验开发系统使用实例 .....	289

习题.....	292	6.12.4 逻辑综合分析.....	369
<b>第 6 章 Verilog HDL 设计应用实例.....</b>	<b>293</b>	6.12.5 硬件逻辑验证.....	369
6.1 8 位加法器的设计.....	293	习题.....	370
6.2 8 位乘法器的设计.....	296	<b>第 7 章 EDA 技术实验.....</b>	<b>371</b>
6.3 8 位除法器的设计.....	300	7.1 实验一: 计数器电路的设计.....	371
6.4 可调信号发生器的设计.....	305	7.2 实验二: 算术运算电路的设计.....	371
6.5 PWM 信号发生器的设计.....	313	7.3 实验三: 可调信号发生器的设计.....	372
6.6 数字频率计的设计.....	317	7.4 实验四: 数字频率计的设计.....	373
6.7 数字秒表的设计.....	321	7.5 实验五: 数字秒表的设计.....	373
6.8 交通灯信号控制器的设计.....	325	7.6 实验六: 交通灯信号控制器的设计.....	374
6.9 高速 PID 控制器的设计.....	331	7.7 实验七: FIR 滤波器的设计.....	375
6.10 FIR 滤波器的设计.....	337	7.8 实验八: CORDIC 算法的应用设计.....	375
6.11 CORDIC 算法的应用设计.....	340	7.9 实验报告范例.....	376
6.12 闹钟系统的设计.....	349	<b>附录 利用 WWW 进行 EDA 资源的</b>	
6.12.1 系统设计思路.....	349	<b>检索.....</b>	<b>380</b>
6.12.2 Verilog HDL 源程序.....	351	<b>主要参考文献.....</b>	<b>382</b>
6.12.3 仿真结果验证.....	369		





# 第1章

## 绪论

为了对 EDA 技术的基本概念、基础知识和设计流程等内容有个全面的了解,以利后续的学习,本章概括地阐述了 EDA 技术的涵义,EDA 技术的发展历程,EDA 技术的主要内容,EDA 工具的发展趋势,EDA 的工程设计流程,数字系统的设计,EDA 技术的应用展望,并对 EDA 技术研究性教学进行了探讨。

### 1.1 EDA 技术的涵义

什么叫 EDA 技术?由于它是一门迅速发展的高新技术,涉及面广,内容丰富,因而理解各异,目前尚无统一的看法。作者认为:EDA 技术有狭义的 EDA 技术和广义的 EDA 技术之分。狭义的 EDA 技术,就是指以大规模可编程逻辑器件为设计载体,以硬件描述语言为系统逻辑描述的主要表达方式,以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具,通过有关的开发软件,自动完成用软件方式设计的电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真,直至对于特定目标芯片的适配编译、逻辑映射、编程下载等工作,最终形成集成电子系统或专用集成芯片的一门新技术,或称为 IES/ASIC 自动设计技术。本书讨论的对象专指狭义的 EDA 技术。广义的 EDA 技术,除了狭义的 EDA 技术外,还包括计算机辅助分析 CAA 技术(如 PSPICE、EWB、MATLAB 等)和印刷电路板计算机辅助设计 PCB-CAD 技术(如 PROTEL、ORCAD 等)。在广义的 EDA 技术中,CAA 技术和 PCB-CAD 技术不具备逻辑综合和逻辑适配的功能,因此它并不能称为真正意义上的 EDA 技术。故作者认为将广义的 EDA 技术称为现代电子设计技术更为合适。

利用 EDA 技术(特指 IES/ASIC 自动设计技术)进行电子系统的设计,具有以下几个特点:① 用软件的方式设计硬件;② 用软件方式设计的系统到硬件系统的转换是由有关的开发软件自动完成的;③ 设计过程中可用有关软件进行各种仿真;④ 系统可现场编程,在线升级;⑤ 整个系统可集成在一个芯片上,体积小、功耗低、可靠性高;⑥ 从以前的“组合设计”转向真正的“自由设计”;⑦ 设计的移植性好,效率高;⑧ 非常适合分工设计,团体协作。因此,EDA 技术是现代电子设计的发展趋势。

### 1.2 EDA 技术的发展历程

EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了计算机辅助设计



(Computer Assist Design, CAD)、计算机辅助工程设计(Computer Assist Engineering Design, CAE)和电子设计自动化(Electronic Design Automation, EDA)三个发展阶段。

### 1. 20 世纪 70 年代的计算机辅助设计 CAD 阶段

早期的电子系统硬件设计采用的是分立元件,随着集成电路的出现和应用,硬件设计进入到发展的初级阶段。初级阶段的硬件设计大量选用中、小规模标准集成电路。人们将这些器件焊接在电路板上,做成初级电子系统,对电子系统的调试是在组装好的 PCB (Printed Circuit Board)板上进行的。

由于设计师对图形符号使用的数量有限,因此传统的手工布图方法无法满足产品复杂性的要求,更不能满足工作效率的要求。这时,人们开始将产品设计过程中高度重复性的繁杂劳动,如布图布线工作,用二维图形编辑与分析的 CAD 工具替代,最具代表性的产品就是美国 ACCEL 公司的 Tango 布线软件。20 世纪 70 年代,是 EDA 技术发展初期,由于 PCB 布图布线工具受到计算机工作平台的制约,其支持的设计工作有限且性能比较差。

### 2. 20 世纪 80 年代的计算机辅助工程设计 CAE 阶段

伴随着计算机和集成电路的发展,EDA 技术进入到计算机辅助工程设计阶段。20 世纪 80 年代初推出的 EDA 工具则以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心,重点解决电路设计没有完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,能生成制造产品的相关文件,使设计阶段对产品性能的分析前进了一大步。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中绘图的重复劳动,那么,20 世纪 80 年代出现的具有自动综合能力的 CAE 工具则代替了设计师的部分工作,对保证电子系统的设计,制造出最佳的电子产品起着关键的作用。到了 20 世纪 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化和设计结果验证等工作。CAE 阶段的 EDA 工具不仅为成功开发电子产品创造了有利条件,而且为高级设计人员的创造性劳动提供了方便。

### 3. 20 世纪 90 年代电子系统设计自动化 EDA 阶段

为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是可编程逻辑器件的发展,使得微电子厂家可以为用户提供各种规模的可编程逻辑器件,使设计者通过设计芯片实现电子系统功能。EDA 工具的发展,又为设计师提供了全线 EDA 工具。

20 世纪 90 年代,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品开发(即片上系统集成, System on a chip)。因此,EDA 工具是以系统级设计为核心,包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段。例如,提供方框图、状态图和流程图的编辑能力,具有适合层次描述和混合信号描述的硬件描述语言,同时含有各种工艺的标准元件库。只有具备上述功能的 EDA 工具,才可能使电子系统工程在不熟悉各种半导体工艺的情况下,完成电子系统的设计。

未来的 EDA 技术将向广度和深度两个方向发展,EDA 将会超越电子设计的范畴进入



其他领域,随着基于 EDA 的 SOC(片上系统)设计技术的发展,软、硬核功能库的建立,以及基于 VHDL 的所谓自顶向下设计理念的确立,未来的电子系统的设计与规划将不再是电子工程师们的专利。有专家认为,21 世纪将是 EDA 技术快速发展的时期,并且 EDA 技术将是对 21 世纪产生重大影响的十大技术之一。

## 1.3 EDA 技术的主要内容

EDA 技术涉及面广,内容丰富,从教学和实用的角度看,究竟应掌握些什么内容呢?

作者认为,主要应掌握如下四个方面的内容:① 大规模可编程逻辑器件;② 硬件描述语言;③ 软件开发工具;④ 实验开发系统。其中,大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体;硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段;软件开发工具是利用 EDA 技术进行电子系统设计的智能化的自动化设计工具;实验开发系统是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。为了使读者对 EDA 技术有一个总体印象,下面对 EDA 技术的主要内容进行概要的介绍。

### 1.3.1 大规模可编程逻辑器件

可编程逻辑器件(简称 PLD)是一种由用户编程以实现某种逻辑功能的新型逻辑器件。FPGA 和 CPLD 分别是现场可编程门阵列和复杂可编程逻辑器件的简称。现在,FPGA 和 CPLD 器件的应用已十分广泛,它们将随着 EDA 技术的发展成为电子设计领域的重要角色。国际上生产 FPGA/CPLD 的主流公司,并且在国内占有市场份额较大的主要是 Xilinx、Altera、Lattice 三家公司。典型 CPLD 产品有:Lattice 公司的 ispMACH4A5、ispMACH4000、ispXPLD5000 等系列;Altera 公司的 MAX3000A、MAX7000 等系列;Xilinx 公司的 CoolRunner-II、CoolRunner XPLA3、XC9500/XL/XV 等系列。典型 FPGA 产品有:Lattice 公司的 MachXO、ispXPGA、EC/ECP、ECP2/M(含 S 系列)、ECP3、SC/SCM、XP/XP2、FPSC 等系列;Altera 公司的 MAX II、Cyclone、Cyclone II、Cyclone III、Arria GX、Arria II GX、STRATIX、STRATIX II、STRATIX III、STRATIX IV、FLEX10K、FLEX8000、APEX20K、APEX II、ACEX1K 等系列;Xilinx 公司的 XC3000、XC4000、XC5200、Spartan II、Spartan II E、Spartan-3、Spartan-3A、Spartan-3E、Spartan-3L、Spartan-6、Virtex、Virtex-E、Virtex-II、Virtex-4、Virtex-5、Virtex-6 等系列。近年来,随着集成电路制造技术的飞速发展,这些公司不断地推出集成度更高、性能更好的产品系列和品种,现在一块 CPLD/FPGA 芯片上其等效逻辑门数可从几千到几百万。

FPGA 在结构上主要分为三个部分,即可编程逻辑单元、可编程输入/输出单元和可编程连线三个部分。CPLD 在结构上主要包括三个部分,即可编程逻辑宏单元、可编程输入/输出单元和可编程内部连线。

高集成度、高速度和高可靠性是 FPGA/CPLD 最明显的特点,其时钟延时可小至 ns 级。结合其并行工作方式,在超高速应用领域和实时测控方面,FPGA/CPLD 有着非常广阔的应用前景。在高可靠性应用领域,如果设计得当,将不会存在类似于 MCU 的复位不可靠和 PC 可能跑飞等问题。FPGA/CPLD 的高可靠性还表现在几乎可将整个系统下载于同一芯片中,实现所谓片上系统,从而大大缩小了体积,易于管理和屏蔽。



由于 FPGA/CPLD 的集成规模非常大,因此可利用先进的 EDA 工具进行电子系统设计和产品开发。由于开发工具的通用性、设计语言的标准化以及设计过程几乎与所用器件的硬件结构无关,因而设计开发成功的各类逻辑功能块软件有很好的兼容性和可移植性。它们几乎可用于任何型号和规模的 FPGA/CPLD 中,从而使得产品设计效率大幅度提高,可以在很短时间内完成十分复杂的系统设计,这正是产品快速进入市场最宝贵的特征。

与 ASIC 设计相比, FPGA/CPLD 显著的优势是开发周期短、投资风险小、产品上市速度快、市场适应能力强和硬件升级回旋余地大,而且当产品定型和产量扩大后,可将在生产中充分检验过的 VHDL 设计迅速投产。

对于一个开发项目,究竟是选择 FPGA 还是选择 CPLD 呢?主要看开发项目本身的需要。对于普通规模,且产量不是很大的产品项目,通常使用 CPLD 比较好。对于大规模的逻辑设计、ASIC 设计,或单片系统设计,则多采用 FPGA。另外, FPGA 掉电后将丢失原有的逻辑信息,所以在实用中需要为 FPGA 芯片配置一个专用 ROM。

### 1.3.2 硬件描述语言(HDL)

常用的硬件描述语言有 VHDL、Verilog 和 ABEL。

**VHDL:** 作为 IEEE 的工业标准硬件描述语言,在电子工程领域已成为事实上的通用硬件描述语言。

**Verilog:** 作为 IEEE 的工业标准硬件描述语言,支持的 EDA 工具较多,适用于 RTL 级和门电路级的描述,其综合过程较 VHDL 稍简单,但其在高级描述方面不如 VHDL。

**ABEL:** 一种支持各种不同输入方式的 HDL,被广泛用于各种可编程逻辑器件的逻辑功能设计,由于其语言描述的独立性,因而适用于各种不同规模的可编程器件的设计。

有专家认为,在新世纪中, VHDL 与 Verilog 语言将承担几乎全部的数字系统设计任务。

### 1.3.3 EDA 软件开发工具

#### 1. 主流厂家的 EDA 软件工具

目前比较流行的、主流厂家的 EDA 软件工具有 Altera 公司的 Quartus II、Xilinx 的 ISE/ISE-WebPACK Series 和 Lattice 公司的 ispLEVER。这些软件的基本功能相同,主要差别在于:① 面向的目标器件不一样;② 性能各有优劣。

(1) Quartus II: 是 Altera 公司新近推出的 EDA 软件工具,其设计工具完全支持 VHDL、Verilog 的设计流程,其内部嵌有 VHDL、Verilog 逻辑综合器。第三方的综合工具,如 Leonardo Spectrum、Synplify Pro、FPGA Compiler II 有着更好的综合效果,因此通常建议使用这些工具来完成 VHDL/Verilog 源程序的综合。Quartus II 可以直接调用这些第三方工具。同样, Quartus II 具备仿真功能,但也支持第三方的仿真工具,如 Modelsim。此外, Quartus II 为 Altera DSP 开发包进行系统模型设计提供了集成综合环境,它与 MATLAB 和 DSP Builder 结合可以进行基于 FPGA 的 DSP 系统开发,是 DSP 硬件系统实现的关键 EDA 工具。Quartus II 还可与 SOPC Builder 结合,实现 SOPC 系统开发。

(2) ISE/ISE-WebPACK Series: 是 Xilinx 公司新近推出的 EDA 集成软件开发环境(Integrated Software Environment, ISE)。Xilinx ISE 操作简易方便,其提供的各种最新改良功能能解决以往各种设计上的瓶颈,加快了设计与检验的流程,如 Project Navigator(先进



的设计流程导向专业管理程式)让顾客能在同一设计工程中使用 Synplicity 与 Xilinx 的合成工具,混合使用 VHDL 及 Verilog HDL 源程序,让设计人员能使用固有的 IP 与 HDL 设计资源,达至最佳的结果。使用者亦可链接与启动 Xilinx Embedded Design Kit (EDK)XPS 专用管理器,以及使用新增的 Automatic Web Update 功能来监视软件的更新状况,也可让使用者下载更新档案,以令其 ISE 的设定维持最佳状态。各版本的 ISE 软件皆支持 Windows 2000、Windows XP 操作系统。

(3) ispLEVER: 是 Lattice 公司最新推出的一套 EDA 软件。提供设计输入、HDL 综合、验证、器件适配、布局布线、编程和在系统设计调试。设计输入可采用原理图、硬件描述语言、混合输入三种方式。能对所设计的数字电子系统进行功能仿真和时序仿真。软件中含有不同的工具,适用于各个设计阶段。软件包含 Synplicity 公司的“Synplify”、Exemplar Logic 公司的“Leonardo”综合工具和 Lattice 公司的 ispVM 器件编程工具。ispLEVER 软件提供给开发者一个有力的工具,用于设计所有 Lattice 公司可编程逻辑产品。软件不仅支持所有 Lattice 公司的 ispLSI、MACH、ispGDX、ispGAL、GAL 器件,还支持 Lattice 公司新的 FPGA、FPSC、ispXPGA<sup>TM</sup> 和 ispXPLD<sup>TM</sup> 产品系列。这使得 ispLEVER 的用户能够设计所有 Lattice 公司的业界领先的 FPGA、FPSC、CPLD 产品而不必学习新的设计工具。

## 2. 第三方 EDA 工具

在基于 EDA 技术的实际开发设计中,由于所选用的 EDA 工具软件的某些性能受局限或不够好,为了使自己的设计整体性能最佳,往往需要使用第三方工具。业界最流行的第三方 EDA 工具有:逻辑综合性能最好的 Synplify 和仿真功能最强大的 ModelSim。

(1) Synplify: 是 Synplicity 公司(该公司现在是 Cadence 的子公司)的著名产品,是一个逻辑综合性能最好的 FPGA 和 CPLD 的逻辑综合工具。它支持工业标准的 Verilog 和 VHDL 硬件描述语言,能以很高的效率将它们的文本文件转换为高性能的面向流行器件的设计网表;它在综合后还可以生成 VHDL 和 Verilog 仿真网表,以便对原设计进行功能仿真;它具有符号化的 FSM 编译器,以实现高级的状态机转化,并有一个内置的语言敏感的编辑器;它的编辑窗口可以在 HDL 源文件高亮显示综合后的错误,以便能够迅速定位和纠正所出现的问题;它具有图形调试功能,在编译和综合后可以以图形方式(RTL 图、Technology 图)观察结果;它具有将 VHDL 文件转换成 RTL 图形的功能,这十分有利于 VHDL 的速成学习;它能够生成针对 Actel、Altera、Lattice、Lucent、Philips、Quicklogic、Vantis(AMD)和 Xilinx 公司器件的网表;它支持 VHDL 1076—1993 标准和 Verilog 1364—1995 标准。

(2) ModelSim: 是 Model Technology 公司(该公司现在是 Mentor Graphics 的子公司)的著名产品,支持 VHDL 和 Verilog 的混合仿真。使用它可以进行三个层次的仿真,即 RTL(寄存器传输层次)、Functional(功能)和 Gate-Level(门级)。RTL 级仿真仅验证设计的功能,没有时序信息;功能级仿真是经过综合器逻辑综合后,针对特定目标器件生成的 VHDL 网表进行的仿真;门级仿真是经过布线器、适配器后,对生成的门级 VHDL 网表进行的仿真,此时在 VHDL 网表中含有精确的时序延迟信息,因而可以得到与硬件相对应的时序仿真结果。ModelSim VHDL 支持 IEEE 1076—1987 和 IEEE 1076—1993 标准。ModelSim Verilog 基于 IEEE 1364—1995 标准,在此基础上针对 Open Verilog 标准进行了扩展。此外,ModelSim 支持 SDF1.0、2.0 和 2.1,还有 VITAL 2.2b 和 VITAL'95。



### 1.3.4 EDA 实验开发系统

实验开发系统提供芯片下载电路及 EDA 实验/开发的外围资源(类似于用于单片机开发的仿真器),以供硬件验证用。一般包括:① 实验或开发所需的各类基本信号发生模块,包括时钟、脉冲、高低电平;② FPGA/CPLD 输出信息显示模块,包括数码显示、发光管显示、声响指示;③ 监控程序模块,提供“电路重构软配置”;④ 目标芯片适配座以及上面的 FPGA/CPLD 目标芯片和编程下载电路;⑤ 其他转换电路系统及各种扩展接口。

目前从事 EDA 实验开发系统研究的院校有:清华大学、北京理工大学、复旦大学、西安电子科技大学、东南大学、杭州电子科技大学等。

## 1.4 EDA 工具的发展趋势

### 1. 设计输入工具的发展趋势

早期 EDA 工具设计输入普遍采用原理图输入方式,以文字和图形作为设计载体和文件,将设计信息加载到后续的 EDA 工具中,完成设计分析工作。20 世纪 80 年代末,电子设计开始采用新的综合工具,设计描述开始由原理图设计描述转向以各种硬件描述语言为主的编程方式。在 20 世纪 90 年代各 EDA 公司相继推出了一批图形化免编程的设计输入工具,它们允许设计师用他们觉得最方便并熟悉的设计方式,如框图、状态图、真值表和逻辑方程建立设计文件,然后由 EDA 工具自动生成综合所需的硬件描述语言文件。

### 2. 具有混合信号处理能力的 EDA 工具

目前,数字电路设计的 EDA 工具远比模拟电路的 EDA 工具多。模拟集成电路 EDA 工具开发的难度较大,但是,由于物理量本身多以模拟形式存在,因此实现高性能的复杂电子系统的设计离不开模拟信号。20 世纪 90 年代以来,EDA 工具厂商都比较重视数/模混合信号设计工具的开发。对数字信号的语言描述,IEEE 已经制定了 VHDL 标准,对模拟信号的语言正在制定 AHDL 标准,此外,还提出了对微波信号的 MHDL 描述语言。具有混合信号设计能力的 EDA 工具能处理含有数字信号处理、专用集成电路宏单元、数/模变换和模/数变换模块及各种压控振荡器在内的混合系统设计。

### 3. 更为有效的仿真工具的发展

通常,可以将电子系统设计的仿真过程分为两个阶段:设计前期的系统级仿真和设计过程的电路级仿真。系统级仿真主要验证系统的功能;电路级仿真主要验证系统的性能,决定怎样实现设计所需的精度。在整个电子设计过程中,仿真是花费时间最多的工作也是占用 EDA 工具资源最多的一个环节。通常,设计活动的大部分时间在做仿真,如验证设计的有效性、测试设计的精度、处理和保证设计要求等。仿真过程中仿真收敛的快慢同样是关键因素之一。提高仿真的有效性一方面是建立合理的仿真算法,另一方面是系统级仿真中系统级模型的建模及电路级仿真中电路级模型的建模。预计在下一代 EDA 工具中,仿真工具将有一个较大的发展。





#### 4. 更为理想的设计综合工具的开发

设计综合工具由最初的只能实现逻辑综合,逐步发展到可以实现设计前端的综合,直到设计后端的版图综合以及测试综合的理想且完整的综合工具。设计前端的综合工具,可以实现从算法级的行为描述到寄存器传输级结构描述的转换,给出满足约束条件的硬件结构。在确定寄存器传输结构描述后,由逻辑综合工具完成硬件的门级结构的描述,逻辑综合的结果将作为版图综合的输入数据,进行版图综合。版图综合则是将门级和电路级的结构描述转换成物理版图的描述,版图综合时将通过自动交互的设计环境,实现按面积、速度和功率完成布局布线的优化,实现最佳的版图设计。人们希望将设计测试工作尽可能地提前到设计前期,以便缩短设计周期,减少测试费用,因此测试综合贯穿在设计过程的始终。测试综合时可以消除设计中的冗余逻辑,诊断不可测的逻辑结构,自动插入可测性结构,生成测试向量;当整个电路设计完成时,测试设计也随之完成。

面对当今飞速发展的电子产品市场,电子设计人员需要更加实用、快捷的 EDA 工具,使用统一的集成化设计环境,改变传统设计中优先考虑具体物理实现的思路,而将精力集中到设计构思、方案比较和寻找优化设计等方面,以最快的速度开发出性能优良、质量一流的电子产品。今天的 EDA 工具将向着功能强大、简单易学、使用方便的方向发展。

## 1.5 EDA 的工程设计流程

### 1.5.1 FPGA/CPLD 工程设计流程

假设我们需要建造一栋楼房,第一,我们需要进行“建筑设计”——用各种设计图纸把我们的建筑设想表示出来;第二,我们要进行“建筑预算”——根据投资规模、拟建楼房的结构及有关建房的经验数据等计算需要多少基本建筑材料(如砖、水泥、预制块、门、窗户等);第三,根据建筑设计和建筑预算进行“施工设计”——这些砖、水泥、预制块、门、窗户等具体砌在房子的什么部位,相互之间怎样连接;第四,根据施工图进行“建筑施工”——将这些砖、水泥、预制块、门、窗户等按照规定施工建成一栋楼房;最后,施工完毕后,还要进行“建筑验收”——检验所建楼房是否符合设计要求。同时,在整个建设过程中,我们可能需要做出某些“建筑模型”或进行某些“建筑实验”。

那么,对于目标器件为 FPGA 和 CPLD 的 VHDL/Verilog 设计,其工程设计步骤如何呢? FPGA/CPLD 的工程设计流程与上面所描述的基建流程类似:第一,需要进行“源程序的编辑和编译”——用一定的逻辑表达手段将设计表达出来;第二,要进行“逻辑综合”——将用一定的逻辑表达手段表达出来的设计,经过一系列的操作,分解成一系列的基本逻辑电路及对应关系(电路分解);第三,要进行“目标器件的布线/适配”——在选定的目标器件中建立这些基本逻辑电路及对应关系(逻辑实现);第四,目标器件的编程/下载——将前面的软件设计经过编程变成具体的设计系统(物理实现);最后,要进行硬件仿真/硬件测试——验证所设计的系统是否符合设计要求。同时,在设计过程中要进行有关“仿真”——模拟有关设计结果,看是否与设计构想相符。综上所述, FPGA/CPLD 的工程设计的基本流程如图 1.1 所示,现具体阐述如下。



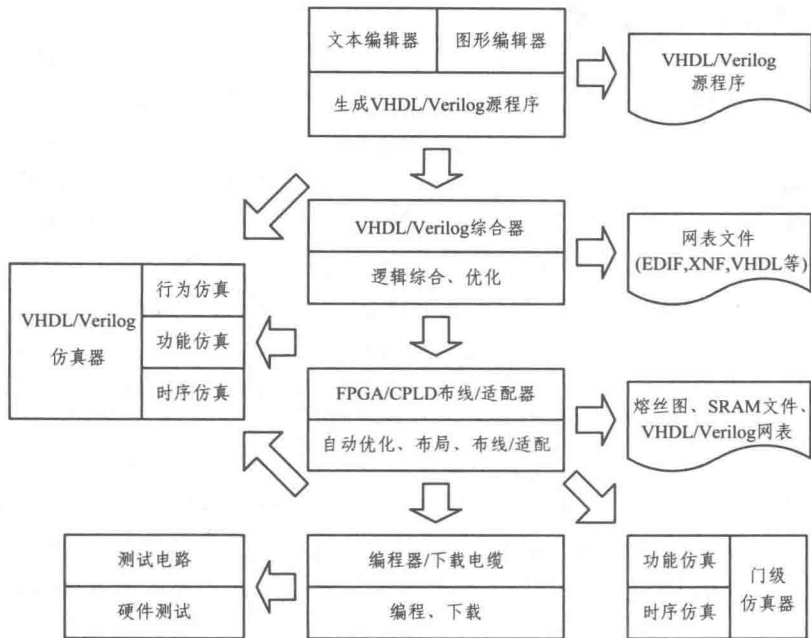


图 1.1 FPGA/CPLD 工程设计流程图

## 1. 源程序的编辑和编译

利用 EDA 技术进行一项工程设计, 首先需利用 EDA 工具的文本编辑器或图形编辑器将它用文本方式或图形方式表达出来, 进行排错编译, 变成 VHDL/Verilog 文件格式, 为进一步的逻辑综合做准备。

常用的源程序输入方式有三种。

(1) 原理图输入方式: 利用 EDA 工具提供的图形编辑器以原理图的方式进行输入。原理图输入方式比较容易掌握, 直观且方便, 所画的电路原理图(请注意, 这种原理图与利用 Protel 画的原理图有本质的区别)与传统的器件连接方式完全一样, 很容易被人接受, 而且编辑器中有许多现成的单元器件可以利用, 自己也可以根据需要设计元件。然而原理图输入法的优点同时也是它的缺点: ① 随着设计规模的增大, 设计的易读性迅速下降, 对于图中密密麻麻的电路连线, 极难搞清电路的实际功能; ② 一旦完成, 电路结构的改变就十分困难, 因而几乎没有可再利用的设计模块; ③ 移植困难、入档困难、交流困难、设计交付困难, 因为不可能存在一个标准化的原理图编辑器。

(2) 状态图输入方式: 以图形的方式表示状态图进行输入。当填好时钟信号名、状态转换条件、状态机类型等要素后, 就可以自动生成 VHDL/Verilog 程序。这种设计方式简化了状态机的设计, 比较流行。

(3) VHDL/Verilog 软件程序的文本方式: 最一般化、最具普遍性的输入方法, 任何支持 VHDL/Verilog 的 EDA 工具都支持文本方式的编辑和编译。

## 2. 逻辑综合和优化

欲把 VHDL/Verilog 的软件设计与硬件的可实现性挂钩, 需要利用 EDA 软件系统的综合器进行逻辑综合。



所谓逻辑综合,就是将电路的高级语言描述(如 HDL、原理图或状态图形的描述)转换成低级的,可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件。逻辑映射的过程,就是将电路的高级描述,针对给定硬件结构组件,进行编译、优化、转换和综合,最终获得门级电路甚至更底层的电路描述文件的过程。网表文件就是按照某种规定描述电路的基本组成及如何相互连接的文件。

由于 VHDL/Verilog 仿真器的行为仿真功能是面向高层次的系统仿真,只能对 VHDL/Verilog 的系统描述作可行性的评估测试,不针对任何硬件系统,因此基于这一仿真层次的许多 VHDL/Verilog 语句不能被综合器所接受。这就是说,这类语句的描述无法在硬件系统中实现(至少是现阶段),这时,综合器不支持的语句在综合过程中将被忽略掉。综合器对 VHDL/Verilog 源文件的综合是针对某一 PLD 供应商的产品系列的,因此,综合后的结果是可以为硬件系统所接受的,具有硬件可实现性。

### 3. 目标器件的布线/适配

所谓逻辑适配,就是将综合器产生的网表文件针对某一具体的目标器进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化、布线与操作等,配置于指定的目标器件中,产生最终的下载文件,如 JEDEC 格式的文件。

适配所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列。对于一般的可编程模拟器件所对应的 EDA 软件来说,一般仅需包含一个适配器就可以了,如 Lattice 的 PAC-DESIGNER。通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与器件结构相对应。

### 4. 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题,即满足原设计的要求,则可以将由 FPGA/CPLD 布线/适配器产生的配置/下载文件通过编程器或下载电缆载入目标芯片 FPGA 或 CPLD 中。

### 5. 设计过程中的有关仿真

设计过程中的仿真有三种,分别是行为仿真、功能仿真和时序仿真。

所谓行为仿真,就是将 VHDL/Verilog 设计源程序直接送到 VHDL/Verilog 仿真器中所进行的仿真。该仿真只是根据 VHDL/Verilog 的语义进行的,与具体电路没有关系。在这种仿真中,可以充分发挥 VHDL/Verilog 中的适用于仿真控制的语句及有关的预定义函数和库文件。

所谓功能仿真,就是将综合后的 VHDL/Verilog 网表文件再送到 VHDL/Verilog 仿真器中所进行的仿真。这时的仿真仅对 VHDL/Verilog 描述的逻辑功能进行测试模拟,以了解其实现的功能是否满足原设计的要求,仿真过程不涉及具体器件的硬件特性,如延时特性。该仿真的结果与门级仿真器所做的功能仿真结果基本一致。综合之后的 VHDL/Verilog 网表文件采用 VHDL/Verilog 语法,首先描述了最基本的门电路,然后将这些门电路用例化语句连接起来。描述的电路与生成的 EDIF/XNF 等网表文件一致。

所谓时序仿真,就是将布线器/适配器所产生的 VHDL/Verilog 网表文件送到 VHDL/Verilog 仿真器中所进行的仿真。该仿真已将器件特性考虑进去了,因此可以得到精确的时序仿真结果。布线/适配处理后生成的 VHDL/Verilog 网表文件中包含了较为精确的延时信息,网表文件中描述的电路结构与布线/适配后的结果是一致的。