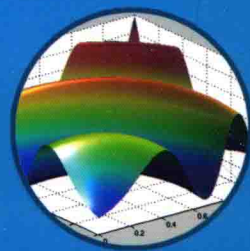
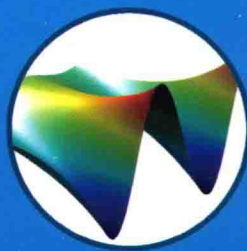
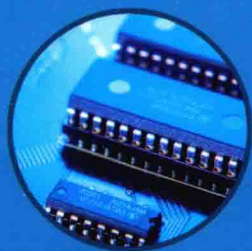


周润景 王洪艳 编著

[基于 Cadence^的

信号和电源完整性 设计与分析



 中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

基于 Cadence 的信号和电源 完整性设计与分析

周润景 王洪艳 编著

電子工業出版社·

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书主要介绍信号完整性和电源完整性的基础理论和设计方法,结合实例详细介绍了如何在 Cadence Allegro Sigrity 仿真平台完成相关仿真并分析结果。同时,在常见的数字信号高速电路设计方面,本书详细介绍了高速并行总线 DDR3 和高速串行总线 PCIE、SFP + 传输的特点,以及运用 Cadence Allegro Sigrity 仿真平台的分析流程和方法。

本书特点是理论和实例相结合,并且基于 Cadence Allegro Sigrity 的 ASI 16.64 以及 Sigrity 2015 仿真平台,使读者可以在软件的实际操作过程中理解各方面的高速电路设计理念,同时熟悉仿真工具和分析流程,发现相关的问题并运用类似的设计、仿真方法去解决。

本书适合从事芯片、封装、PCB 设计及数字电路硬件设计的工程技术人员阅读使用,也可作为高等学校相关专业的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

基于 Cadence 的信号和电源完整性设计与分析/周润景,王洪艳编著. —北京:电子工业出版社,2017.1
ISBN 978-7-121-30496-5

I. ①基… II. ①周… ②王… III. ①印刷电路-计算机辅助设计 IV. ①TN410.2

中国版本图书馆 CIP 数据核字(2016)第 288211 号

策划编辑:张剑(zhang@phei.com.cn)

责任编辑:苏颖杰

印 刷:北京京科印刷有限公司

装 订:三河市华成印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:32.75 字数:835 千字

版 次:2017 年 1 月第 1 版

印 次:2017 年 1 月第 1 次印刷

印 数:3 000 册 定价:88.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:zhang@phei.com.cn。

序 言

自从 Intel 公司联合创始人戈登·摩尔 (Gorden Moore) 于 1965 年提出摩尔定律以来, 在过去的五十年里, 计算机的 CPU 性能基本按照“晶体管数量每两年就翻一番”的速度迅猛发展。可以说摩尔定律更清晰地定义了当代科技的发展速度, 推动了整个科技行业的发展, 帮助工程师持续优化电子产品, 提高人们的生活品质。摩尔日前表示: “我没有看见其他任何领域能在如此长的时间里保持指数式增长。对我来说, 互联网的发展令人惊叹, 这将带来一个充满机会的新世界。”

- ☺ 可穿戴设备、物联网、车联网、智能家居、移动医疗、云计算、大数据以及互联网领域的持续创新, 给人们的生活带来了日新月异的变化, 智能手表、无人机、无人驾驶汽车等已经不断问世。
- ☺ 计算机领域的高性能 CPU 工艺制程仍在不断进步, 截至上一季度末, Intel 公司有半数的芯片出货量都采用了新的 14nm 工艺, 取代了之前的 22nm 工艺。
- ☺ 智能手机和平板电脑领域的 ARM 处理器正以体积小、低功耗、低成本、高性能赢得了超过 99% 的用户, ARM 最新发布的 64 位处理器采用了 16nm 的工艺制程。
- ☺ 并行总线方面, 最新一代 DDR4 内存产品从 2014 年年底开始陆续问世, DDR4 在采用了 3DS 堆叠封装技术后, 单条内存的最大容量可以达到 128GB, 为 DDR3 的 8 倍; 电压方面, 电压从 DDR3 的 1.5V 降低至 DDR4 的 1.2V, 移动版的 LPDDR4 电压只有 1.1V; 频率方面, DDR4 工作频率提升到 2400 ~ 3200MHz。
- ☺ 串行总线方面, 目前的 PCIe 3.0 传输速率已达到了 8Gbps, 下一代速率为 16Gbps 的 PCIe 4.0 标准将于 2016 年正式发布, 而更快速率的 25Gbps 以太网标准也在制定中。
- ☺ 越来越高的工作频率和传输速率、越来越低的芯片功耗和供电电压, 对 EDA 行业的设计和仿真技术都提出了更大的挑战。更精准更高效的全三维仿真、芯片 - PCB 协同仿真以及串并行通道的协议仿真技术已成为近年来 EDA 仿真发展的新趋势。
- ☺ Cadence 公司最新的 Sigrity 2015 产品针对电子行业发展的最新趋势和需求, 结合多项专利技术提供了 IC 芯片、封装和 PCB 板级的各种 SI/PI/EMI 仿真工具。

本书深入浅出、图文并茂、理论联系实际, 采用 Cadence 的各种常见仿真工具对板级的 SI/PI 问题进行了详细的仿真分析和探讨, 是一本非常实用的高速电路设计和仿真参考书。

上海铿腾电子科技有限公司资深应用工程师 胡劲松
2015 年 5 月

前 言

目前 PCB 系统中最典型的电性能分析主要包括信号完整性 (Signal Integrity, SI)、电源完整性 (Power Integrity, PI) 和电磁兼容三大方向。电磁兼容的研究已经有很多年了, 而 SI 和 PI 的研究在近几年取得了突飞猛进的发展, 因为越来越多的人逐渐意识到高速设计对 PCB 和系统设计带来的挑战。今天, 在芯片封装或 PCB 设计和调试的各个阶段, 不管是在国外还是国内, 在半导体、芯片封装、计算机、通信、消费电子、航空航天和国防等各个领域, 人们对 SI 和 PI 的设计流程和分析验证都显得格外重视。

SI 是表示信号质量在传输后仍然保持正确的一种特性, 主要是将信号从芯片内忠实地、以最短的时间发送到接收端。传统 SI 分析包括分析信号的插入损耗、回波损耗, 信号传输的眼图、抖动、串扰、浴盆曲线和误码率等。PI 是表示电源质量在传输后仍然保持正确的一种特性, 主要是为芯片内的有源器件提供一个干净的参考电压。传统的 PI 分析包括分析电源本身的频域谐振、时域噪声和去耦电容的放置等。一直以来, 由于技术水平和软件支持等方面的原因, 许多关于 SI/PI 方面的研究都是孤立的, 即研究 SI 时会假设其电源是理想的, 研究 PI 时也不考虑信号翻转的影响。如果系统频率比较低, 这样的假设可能问题不大, 但当频率逐渐提高后, 忽略两者之间的影响就会带来诸多方面的问题。

Cadence 公司致力于全球电子设计技术创新, 并在当今集成电路设计和电子产品设计中发挥了核心作用。采用 Cadence 软件来设计和验证消费电子产品、网络和通信设备, 以及计算机系统上的尖端半导体器件、PCB 等, 已越来越成为业界的潮流。Cadence 公司的电子设计自动化 (Electronic Design Automation, EDA) 产品涵盖了电子设计的整个流程, 包括系统级设计, 功能验证, IC 综合及布局布线, 模拟、混合信号及射频 IC 设计, 全定制集成电路设计, IC 物理验证, PCB 设计和硬件建模仿真等。Cadence 公司还提供详细的技术支持, 帮助客户优化其设计流程; 同时提供设计外包服务, 协助客户进入新的市场领域。如今, 全球知名半导体与电子系统公司均将 Cadence 软件作为其设计的标准工具软件。

基于以上的认识, 我们对本书各章节做了相应的安排。本书具有如下特点。

- ① 理论与软件操作相结合: 将信号完整性及电源完整性理论分析研究与 Cadence 软件的信号完整性工具及电源完整性工具 (Cadence Allegro Sigrity) 相结合, 对高速电路设计中存在的信号完整性问题和电源完整性问题进行了分析和研究, 并提出了相应的解决方法。
- ② 与设计实例相结合: 本书结合了 Altera 公司的 STRATIX GX 开发板、DDR 板卡与 STRATIX GX 开发板的互联系统、PCI-E 板卡等设计实例, 对其中的信号完整性和电源完整性问题进行了分析与研究, 使读者在掌握理论与软件操作的同时, 最终将其应用到实际设计中。
- ③ 具有系统性与独立性: 本书基本上涵盖了高速电路板设计中信号完整性与电源完整性分析的基本问题, 既可以把本书作为教材来系统地学习, 同时也可以将其当作工具书有针对性地阅读其中的某一章或某几章, 从而适合不同层次、不同水平的读者阅读。

本书主要分为信号完整性分析与电源完整性分析两大部分，每部分又可分为基础理论与软件操作。本书共7章，其中第4章中DDR3的仿真内容由王洪艳进行验证并编写，其余章节由周润景编写，全书由周润景统稿。参加本书编写的还有姜攀、托亚、贾雯、蒋诗俊、何茹、张晨、李志、刘艳珍、刘白灵、韩亦佺、樊宇、张大山、张红敏。

本书的出版得到了上海铿腾电子科技有限公司资深应用工程师胡劲松先生和电子工业出版社张剑先生的大力支持，也有很多读者提出了宝贵的意见，在此一并表示感谢！

本书得到国家自然科学基金的支持（高速数字系统的信号与电源完整性联合分析及优化设计，项目批准号：61161001，2012.1—2015.12），在此表示感谢！

本书对高速电路设计人员以及高等学校相关专业的师生有很好的使用价值与参考意义，对提高我国高速电路的设计水平将发挥积极的作用。由于Cadence公司Sigrity的仿真工具功能非常强大，不可能通过一本书给出全部内容的详尽介绍，加上时间与水平有限，不妥之处还望指正。

编著者

目 录

第 1 章 信号完整性	1
1.1 信号完整性的要求以及问题的产生	1
1.1.1 信号完整性的要求	1
1.1.2 信号完整性问题产生的原因	1
1.2 信号完整性问题的分类	2
1.2.1 反射	2
1.2.2 串扰	2
1.2.3 轨道塌陷	3
1.2.4 电磁干扰	3
1.3 传输线基础理论	3
1.3.1 传输线	3
1.3.2 特性阻抗的计算	4
1.3.3 传输线的分类	5
1.3.4 传输线效应	5
1.3.5 避免传输线效应的方法	6
1.4 端接电阻匹配方式	8
1.4.1 并联终端匹配	8
1.4.2 串联终端匹配	9
1.4.3 戴维南终端匹配	10
1.4.4 AC 终端匹配	10
1.4.5 肖特基二极管终端匹配	11
1.4.6 多负载的端接	11
1.5 仿真模型	12
1.5.1 IBIS 模型	12
1.5.2 验证 IBIS 模型	14
1.6 S 参数	27
1.6.1 集总电路和分布电路	27
1.6.2 S 参数的作用、由来和含义	27
1.6.3 S 参数在电路仿真中的应用	28
1.6.4 S 参数的优缺点	29
1.7 电磁场求解方法	29
1.7.1 2D 求解器	30
1.7.2 2.5D 求解器	30
1.7.3 3D 求解器	31

1.8	信号完整性仿真分析	32
1.8.1	反射理论及其仿真分析	32
1.8.2	串扰理论及其仿真分析	43
1.8.3	时序分析	49
1.9	本章小结	55
第2章	电源完整性	56
2.1	电源完整性的重要性	56
2.2	技术趋势	57
2.3	电源分布系统 (PDS)	58
2.3.1	PDS 设计的关键	58
2.3.2	目标阻抗	58
2.3.3	电压调节模块 (VRM)	60
2.3.4	去耦电容器	61
2.3.5	电源平面	64
2.4	电源系统的噪声来源	65
2.4.1	开关噪声	66
2.4.2	共模噪声	66
2.4.3	电源噪声	66
2.5	Cadence PI 设计方法与步骤	67
2.6	单节点仿真	68
2.6.1	设计目标	68
2.6.2	创建新 PCB 文件	68
2.6.3	启动电源完整性设置向导	70
2.6.4	导入 PCB 参数	71
2.6.5	设置仿真参数	78
2.6.6	摆放电压调节模块	82
2.6.7	选择电容器满足目标阻抗	87
2.7	多节点仿真	99
2.7.1	学习目标	99
2.7.2	打开 PCB 文件	100
2.7.3	初始多节点分析	101
2.7.4	去耦电容器布局	110
2.7.5	多节点仿真和分析	121
2.8	直流分析 (DC Analyze)	137
2.9	交流分析 (AC Analysis)	147
2.10	谐振分析	158
2.10.1	串联谐振	158
2.10.2	并联谐振	159
2.11	PDS 阻抗分析	161
2.12	本章小结	162

第3章 高速时钟系统设计	163
3.1 共同时钟系统	163
3.1.1 共同时钟数据建立时序分析	163
3.1.2 共同时钟数据保持时序分析	165
3.2 源同步时钟系统	166
3.2.1 源同步时钟数据建立时序分析	167
3.2.2 源同步时钟数据保持时序分析	167
3.3 DDR3 时序分析	169
3.3.1 DDR3 时序指标	169
3.3.2 Cadence 分析	173
3.3.3 Speed 2000 分析	185
3.3.4 两种仿真流程的分析比较	196
3.3.5 实际测试	198
3.4 本章小结	200
第4章 DDR3 并行总线仿真	201
4.1 高速 DDRX 总线概述	201
4.1.1 DDR 发展	201
4.1.2 Bank 和 Rank	203
4.1.3 接口电平	204
4.1.4 ODT	204
4.1.5 Slew Rate Derating	205
4.1.6 Write Leveling	207
4.1.7 DDR3 的新功能	207
4.2 开发板简介	208
4.3 板载 DDR3 的特点	210
4.4 Cadence 仿真	210
4.4.1 仿真前的准备工作	210
4.4.2 数据总线的仿真分析	213
4.4.3 数据选通信号的仿真分析	218
4.4.4 地址总线的仿真分析	220
4.4.5 小结	222
4.5 布线后仿真	222
4.5.1 DDR3 参数提取	222
4.5.2 DDR3 信号完整性仿真	245
4.5.3 DDR3 电源完整性仿真	274
4.5.4 小结	288
4.6 DDR3 SSN 分析	289
4.6.1 使能 DDR Simulation	289
4.6.2 设置 Mesh	290
4.6.3 设置 Bus Groups	290

4.6.4	设置 Controller Model	295
4.6.5	设置 Memory Model	301
4.6.6	设置 Write 仿真选项	306
4.6.7	设置 Read 仿真选项	310
4.6.8	生成报告	310
4.6.9	小结	311
4.7	DDR3 并行总线的布线规范总结	311
4.8	本章小结	312
第5章	PCIE 串行总线仿真	313
5.1	常见高速串行总线标准一览	313
5.2	串行总线结构的基本要素	321
5.3	PCIE 仿真	322
5.3.1	板载 PCIE 简介	322
5.3.2	PCIE 参数提取	325
5.3.3	PCIE 信号完整性仿真	356
5.3.4	PCIE 电源完整性仿真	389
5.4	PCIE 的仿真、实测对比	412
5.5	本章总结	413
第6章	SFP + 串行总线仿真	414
6.1	SFP + 简介	414
6.2	差分通道建模	415
6.2.1	提取 SFP + 无源通道	415
6.2.2	生成 3D 仿真端口	420
6.2.3	差分对的 3DFEM 仿真	422
6.3	通道仿真	427
6.4	SFP + 规范仿真	432
6.5	仿真与实测对比	438
6.6	电源完整性仿真	439
6.6.1	SFP + 电源介绍	439
6.6.2	直流压降分析	440
6.6.3	平面谐振分析	453
6.7	本章小结	459
第7章	PCB 的板级电热耦合分析	460
7.1	电热耦合概述	460
7.1.1	电热耦合研究背景与意义	460
7.1.2	电热耦合研究现状	462
7.2	热路基础理论	463
7.2.1	传热学基本原理	463
7.2.2	热路的热阻、热容提取	466
7.2.3	热路与电路的等效	467

7.2.4 边界条件的热路建模	468
7.3 电热耦合方法	469
7.3.1 电与热的关系	469
7.3.2 电热分布方程求解	471
7.4 电热耦合分析	473
7.4.1 电热耦合分析流程	473
7.4.2 实验分析设计	474
7.4.3 实验步骤	480
7.5 实验结果分析	500
7.5.1 热路对电路的影响	500
7.5.2 电路对热路的影响	507
7.6 本章小结	509
参考文献	510

第 1 章 信号完整性

广义上讲，信号完整性（Signal Integrity, SI）是指信号在信号传输过程中能够保持信号时域和频域特性的能力，即信号在电路中能以正确的时序、幅值以及相位等做出响应。如果每个信号都是完整的，那么由这些完整的信号组成的系统，也同样具有很好的完整性。

若电路中的信号能够以要求的时序和电压幅度从源端传送到接收端，就表明该电路具有较好的信号完整性；否则，若信号不能正确地响应，就出现了信号完整性问题。

信号完整性具有以下两个基本条件。

- ⊙ 空间完整性（信号幅值完整性）：电路的最小输入高电平和最大输入低电平要求。
- ⊙ 时间完整性：电路的最短建立和维持时间。

1.1 信号完整性的要求以及问题的产生

信号完整性问题如果未能得到妥善解决，将会导致信号失真，而失真后的不正确数据信号、地址信号和控制线信号将会引起系统错误工作，甚至直接导致系统崩溃。因此，信号完整性问题已成为高速产品设计中值得注意的问题。

信号完整性最原始的含义应该是：信号保持其应该具有的波形而不产生畸变。很多因素都会导致信号波形的畸变，如果畸变较小，对于电路的功能不会产生影响；可是如果畸变很大，电路应有的功能就会受损甚至被破坏。那么这时就出现了另一个问题：波形畸变多大时，会对电路板功能产生影响？这就是信号完整性的要求问题。而这个要求，和具体应用以及电路板的其他电气指标有关，并没有确定统一的指标。

1.1.1 信号完整性的要求

系统频率（芯片内部时钟源以及外部时钟源）、电磁干扰、电源纹波、数字器件开关噪声、系统热噪声等都会对信号产生影响。

从上文提到的信号完整的两个基本条件可以得出信号完整性的要求。信号完整性的要求也要从这两个方面——时间和空间，反映到实际的信号上，就是信号的幅值高低和频率相位。

对于数字信号而言，对畸变的兼容性相对较大。能有多强的兼容性，还要考虑电路板上的电源系统供电电压波纹、系统的噪声余量、所用器件对于信号建立时间和保持时间的要求等。而对于模拟信号，相对比较敏感，可容忍的畸变相对较小，至于能容忍多大的畸变，和系统噪声、器件非线性特性、电源质量等有关。

1.1.2 信号完整性问题产生的原因

信号完整性问题的真正起因是不断缩短的信号上升与下降时间。一般来说，当信号跳变较慢，即信号的上升和下降时间较长时，PCB 中的布线可以建模成具有一定数量延时的理

想导线而确保有相当高的精度。此时，对于功能分析来说，所有连线延时都可以集总在驱动器的输出端，于是，通过不同连线连接到该驱动器输出端的所有接收器的输入端在同一时刻观察都可得到相同波形。

然而，随着信号变化的加快、信号上升时间和下降时间缩短，电路板上的每个线段由理想的导线转变为复杂的传输线。此时信号连线的延时不能再以集总参数模型的方式建模在驱动器的输出端，同一个驱动器信号驱动一个复杂的 PCB 连线时，电学上连接在一起的每个接收器上接收到的信号就不再相同。从实践经验中得知，一旦传输线的长度大于驱动器上升时间或者下降时间对应的有效长度的 $1/6$ ，传输线效应就会出现，即出现信号完整性问题，包括反射、上冲和下冲、振荡和环绕振荡、地电平面反弹和回流噪声、串扰和延迟等。

1.2 信号完整性问题的分类

信号完整性问题可以分为以下四类。

⊙ Single Trace Signal Integrity：单根传输线的信号完整性问题——反射效应。

⊙ Crosstalk：相邻传输线之间的信号串扰问题——串扰效应。

⊙ PI Related：与电源和地分布相关的问题——轨道塌陷。

⊙ EMI：电磁干扰和辐射问题——电磁干扰。

这四类问题的解决方案是按照层次逐级递进的。也就是说，在实施信号完整性解决方案时，要按照上述的分类顺序依次解决问题。显然，上述观点涉及的其实已经是广义的信号完整性了，它融合 SI、PI、EMI 为一体。在实际应用中，SI、PI、EMI 经常由不同的工程师负责，这个时候就要协同合作，才能做出相对完美的产品。

在实际工作中，信号完整性问题的根源大部分都是反射和串扰。在所有的单个网络信号完整性问题中，几乎所有的问题都来源于信号传输路径上的阻抗不连续所导致的反射。反射是指传输线上存在回波，驱动器输出信号（电压/电流）的一部分经传输线到达负载端的接收器，由于不匹配，一部分被反射回源端驱动器，在传输线上形成振铃。而串扰是指两个不同互联网之间引起的干扰和噪声。

1.2.1 反射

源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端。如果负载阻抗小于源阻抗，则反射电压为负；反之，如果负载阻抗大于源阻抗，则反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素均会导致此类反射。

在实际工作中，很多硬件工程师都会在时钟输出信号上串接一个小电阻，这个小电阻的作用就是为了解决信号反射问题。而且随着电阻的加大，振铃会消失，但信号上升沿不再那么陡峭了。这个解决方法叫作阻抗匹配。一定要注意阻抗匹配，阻抗在信号完整性问题中占据着极其重要的地位。

1.2.2 串扰

我们在试验中经常发现，有时对于某根信号线，从功能上来说并没有输出信号，但测量时，会有幅度很小的规则波形，就像有信号输出。这时如果测量一下与它邻近的信号线，则

会发现某种相似的规律。如果两根信号线靠得很近，通常就会有这种现象，这就是串扰。

当然，被串扰影响的信号线上的波形不一定和邻近信号波形相似，也不一定有明显的规律，更多的是表现为噪声形式。串扰在当今的高密度电路板中一直是个让人头疼的问题，由于布线空间小，信号必然靠得很近，所以只能控制但无法消除。对于受到串扰影响的信号线，邻近信号的干扰对它来说就相当于噪声。串扰的大小和电路板上的很多因素有关，而并不是仅仅因为两根信号线间的距离。当然，距离最容易控制，也是最常用的解决串扰的方法，但不是唯一方法。这也是很多工程师容易误解的地方。

串扰是由同一 PCB 上的两条信号线与地平面引起的，故也称三线系统。串扰是两条信号线之间的耦合，信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流，而感性耦合引发耦合电压。PCB 板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。

1.2.3 轨道塌陷

噪声不仅存在于信号网络中，电源分配系统中也存在。我们知道，电源和地之间电流流经路径上不可避免存在阻抗，除非电路板上的所有东西都变成超导体。那么，当电流变化时，就不可避免地产生压降，因此，真正送到芯片电源引脚上的电压会减小，有时减小得很厉害，就像电压突然产生了塌陷，这就是轨道塌陷。

轨道塌陷有时会产生致命的问题，很可能影响电路板的功能。高性能处理器集成的门数越来越多，开关速度也越来越快，在更短的时间内消耗更多的开关电流，可以容忍的噪声变得越来越大。但同时，控制噪声越来越难，因为高性能处理器对电源系统的苛刻要求，使构建更低阻抗的电源分配系统变得越来越困难。这里又一次涉及阻抗，理解阻抗是理解信号完整性问题的关键。

1.2.4 电磁干扰

当板级时钟频率在 100 ~ 500MHz 范围内时，这一频段的前几次谐波在电视、调频广播、移动电话和个人通信服务（PCS）这些普通通信波段内，这就意味着电子产品极有可能干扰通信，所以这些电子产品的电磁辐射必须低于允许的程度。遗憾的是，如果不进行特殊设计，在较高频率时，电磁干扰会更严重。共模电流的辐射远场强度随着频率线性增加，而差分电流的辐射远场与频率的平方成正比，随着时钟频率的提高，对辐射的要求必然也会提高。

电磁干扰问题有三个方面：噪声源、辐射传播路径和天线。前面提到的每个信号完整性问题的根源也是电磁干扰的根源。电磁干扰之所以这么复杂，是因为即使噪声远远低于信号完整性噪声预算，它也足以引起严重的辐射。

1.3 传输线基础理论

1.3.1 传输线

在高速电路中，传输线的特性会有别于低速系统，会相对复杂也会更重要。在高速系统中，电路板上的导线称为传输线，传输线与返回路径组成的回路等效为一系列的电容和电感

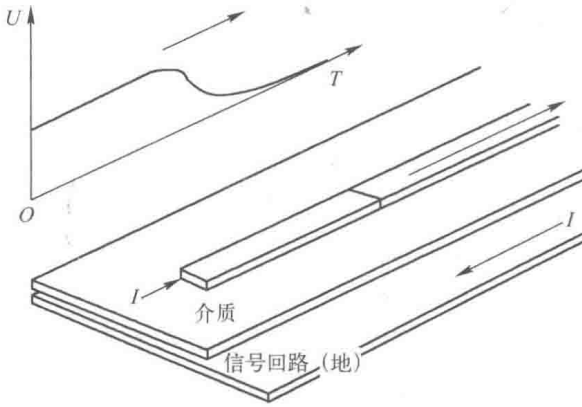


图 1-3-1 信号传播示意图

的组合。传输线的特性是高速系统必须考虑的问题，信号在传输线上传输的情况如 1-3-1 所示。

假设给信号线施加幅度为 1V 的电压信号，则信号电压以约 6in/ns (1/6 光速) 的速度向前传播，在开始的 10ps 内，信号向前行进 0.06in，这意味着一段 0.06in 信号线与其回路间产生了 1V 的电压，同时这段回路形成一个电容，此时信号未到达的前段的电压仍为 0V，依此规律一直传播的过程就是传输线的信号传输过程。传输线是由两个具有一定长度的

导体构成的，且其中一个导体为信号传输的通道，另一个导体为信号的返回通路，一般为地。

在信号的传输过程中，某一时刻信号遇到的瞬间阻抗称为特性阻抗，如果整个传输线的瞬间阻抗都是一致的，则将其称为受控阻抗传输线或均匀传输线。

在进行高速 PCB 布线时，须尽量使信号线成为均匀传输线，这样信号就可以平稳地向前传播，否则信号能量的一部分就会在阻抗变化处发生反射，并可能形成振荡，从而产生信号完整性问题。而在低速系统中，由于有足够的时间使信号稳定下来，所以不会有严重的后果。

1.3.2 特性阻抗的计算

以前文的模型为例进行传输线特性阻抗的推导。令 Z 表示信号传递过程中每步的阻抗； U 表示信号输入电压； ΔQ 表示每步的电量； Δt 表示每步的时间； C_L 表示传输线单位长度的容量； v 表示信号传递速度。将上一段回路看作电源，有

$$\Delta Q = \Delta C U \tag{1-3-1}$$

ΔC 表示前一段回路的等效电容，则

$$\Delta C = C_L v \Delta t \tag{1-3-2}$$

综合以上各项，可以得出特性阻抗

$$Z = \frac{U}{I} = \frac{U}{\frac{\Delta Q}{\Delta t}} = \frac{U}{\Delta C \frac{U}{\Delta t}} = \frac{U}{C_L v \Delta t \frac{U}{\Delta t}} = \frac{1}{C_L v} \tag{1-3-3}$$

可知，特性阻抗跟传输线单位长度容量和信号传递速度有关。用 Z_0 代表特性阻抗，有

$$Z_0 = \frac{1}{C_L v} \tag{1-3-4}$$

可见，所有能够影响传输线单位长度容量以及信号传递速度的因素，都将影响传输线的特性阻抗。在高速电路中，这些因素就都是需要重点考虑、仔细设计的。在实际电路设计中，传输线阻抗的计算非常复杂，这时就需要借助 EDA 软件来自动计算。

用另一种计算方法，忽略一些因素以后，传输线可以简化为如图 1-3-2 所示电路，其中 L' 、 C' 是等效电路的容抗和感抗，则传输线的阻抗为

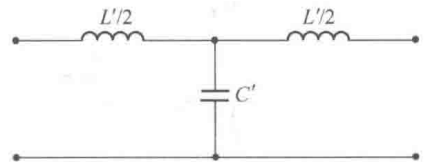


图 1-3-2 传输线等效电路

$$Z_0 = \sqrt{\frac{L'}{C'}} \quad (1-3-5)$$

信号的传输速度 (Propagation Time) 是 (单位: ps/in)

$$t_{po} = \sqrt{L'C'} \quad (1-3-6)$$

1.3.3 传输线的分类

在电路板上, 传输线一般分为两种, 如图 1-3-3 所示, 图 (a) 是带状线 (Stripline), 图 (b) 是微带线 (Microstrip)。

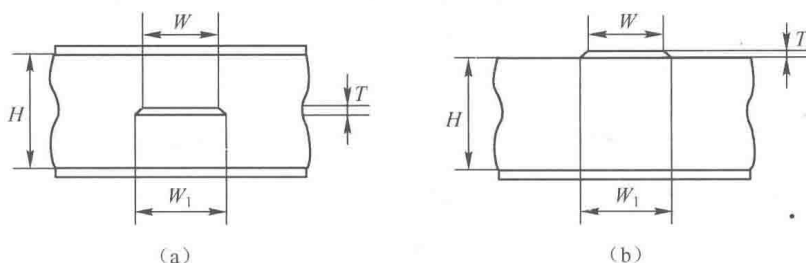


图 1-3-3 传输线的两种类型

带状线是指 PCB 内层的传输线, 微带线是指 PCB 表层的传输线。微带线和带状线都是传输线, 它们都是均匀传输线。

微带线和带状线的阻抗以及传输速度都可以通过软件计算出来。在总线设计中, 阻抗和信号传输速度的计算要更加复杂。

1.3.4 传输线效应

基于上述定义的传输线模型, 归纳起来, 传输线会对整个电路设计带来以下效应:

- ⊙ 反射信号 (Reflected Signals);
- ⊙ 延时和时序错误 (Delay & Timing Errors);
- ⊙ 多次跨越逻辑电平门限错误 (False Switching);
- ⊙ 过冲与下冲 (Overshoot/Undershoot);
- ⊙ 串扰 (Crosstalk);
- ⊙ 电磁辐射 (EMI Radiation)。

1) 反射信号 如果一根布线没有被正确终结 (终端匹配), 那么来自于驱动端的信号脉冲在接收端将被反射, 从而引发不可预期效应, 使信号轮廓失真。当失真变形非常显著时, 可导致多种错误发生, 引起设计失败。同时, 失真变形的信号对噪声的敏感性增加了, 也会引起设计失败。如果上述情况没有被充分考虑, 则 EMI 将显著增加, 这就不单单会影响自身设计结果, 还会造成整个系统的失败。

反射信号产生的主要原因有过长的布线、未被匹配终结的传输线、过量电容或电感及阻抗失配。

2) 延时和时序错误 延时和时序错误表现为信号在逻辑电平的高、低门限之间变化时, 保持一段时间信号不跳变。过多的延时可能导致时序错误和元器件功能的混乱。通常在有多个接收端时会出现问题。电路设计者必须确定最坏情况下的延时, 以确保设计的正确性。延时产生的原因包括驱动过载和布线过长。

3) **多次跨越逻辑电平门限错误** 信号在跳变的过程中可能多次跨越逻辑电平门限, 从而导致这一类型错误的发生。多次跨越逻辑电平门限错误是信号振荡的一种特殊形式, 即信号的振荡发生在逻辑电平门限附近, 多次跨越逻辑电平门限将导致逻辑功能紊乱。

4) **过冲与下冲** 布线过长或信号变化太快, 可以导致过冲与下冲的发生。虽然大多数元器件接收端有输入保护二极管保护, 但有时这些过冲电平会远远超过元器件电源电压范围, 仍会导致元器件的损坏。

5) **串扰** 一根信号线上有信号通过时, 在 PCB 上与之相邻的信号线上就会感应出相关的信号, 这种现象称为串扰。异步信号和时钟信号更容易产生串扰。解决串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。缩短信号线与地线的距离, 或者加大线间距, 可以减少串扰的发生。

6) **电磁辐射** 电磁辐射有两个重要方面: 电流流过导体会产生磁场, 如图 1-3-4 所示; 将导体放入磁场将会引起感应电流。这两方面符合右手定则。电流流过导体产生的磁场强度受导体形状影响, 反之亦然。



图 1-3-4 右手定则示意图

电磁干扰 (Electro - Magnetic Interference, EMI) 通常是指设计中不希望出现的电磁辐射。电磁干扰包括产生过量的电磁辐射和对电磁辐射的敏感性两个方面。EMI 表现为数字系统由于处理周期和快速的时钟、转换率, 而使系统加电运行时, 会向周围环境辐射电磁波, 从而使周围环境中正常工作的电子设备受到干扰, 特别是模拟电路, 由于其本身的高增益功能, 成为易受影响的电路。EMI 产生的主要原因是电路工作频率太高及布局、布线不合理。目前已有进行 EMI 仿真的软件工具, 但大都很昂贵, 且仿真参数和边界条件设置又比较困难, 直接影响了仿真结果的准确性和实用性。通常可在设计的每个环节应用控制 EMI 的各项设计规则, 以达到控制 EMI 的目的。

1.3.5 避免传输线效应的方法

针对传输线问题所引入的影响, 可以从以下五个方面进行控制。

1) **严格控制关键网线的布线长度** 如果设计中有高速跳变沿存在, 就必须考虑到在 PCB 上存在传输线效应的问题。特别是现在普遍使用的具有很高时钟频率的快速集成电路芯片更是存在这样的问题。解决这个问题有一些基本原则, 即如果采用 CMOS 或 TTL 电路进行设计, 工作频率小于 10MHz 时, 布线长度应不大于 7in; 工作频率在 50MHz 时, 布线长度应不大于 1.5in; 工作频率达到或超过 75MHz 时, 布线长度应在 1in 以内。如果超过上