



国际信息工程先进技术译丛

WILEY

# 用Verilog设计FPGA 样机实例解析

FPGA PROTOTYPING BY VERILOG EXAMPLES (XILINX  
SPARTAN™ -3 VERSION)

[美] 彭皮·楚 (PING D. CHU) 著

李艳志 孟伟 刘军 等译



机械工业出版社  
CHINA MACHINE PRESS



国际信息工程先进技术译丛

# 用 Verilog 设计 FPGA 样机实例解析 (Xilinx Spartan-3 版)

[美] 彭皮·楚 (PONG P. CHU) 著  
李艳志 孟 伟 刘 军 等译



机械工业出版社

Copyright ©2008 by John Wiley & Sons, Inc. All rights reserved.

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, entitled <FPGA prototyping by Verilog examples>, ISBN <978-0-470-18532-2>, by <Pong P. Chu>, Published by John Wiley & Sons, Inc. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书中文简体字版由 Wiley 授权机械工业出版社独家出版。未经出版者书面允许, 本书的任何部分不得以任何方式复制或抄袭。版权所有, 翻印必究。

北京市版权局著作合同登记 图字: 01-2012-3193 号。

## 图书在版编目 (CIP) 数据

用 Verilog 设计 FPGA 样机实例解析: Xilinx Spartan - 3 版/ (美) 楚 (Chu, P. D.) 著; 李艳志等译. —北京: 机械工业出版社, 2016.4

(国际信息工程先进技术译丛)

书名原文: FPGA Prototyping By Verilog Examples: Xilinx Spartan-3 Version

ISBN 978 - 7 - 111 - 53644 - 4

I. ①用… II. ①楚…②李… III. ①可程序逻辑器件 - 系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2016) 第 088438 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 林春泉 责任编辑: 翟天睿

责任印制: 常天培 责任校对: 刘秀丽 程俊巧

北京京丰印刷厂印刷

2016 年 11 月第 1 版 · 第 1 次印刷

169mm × 239mm · 36.25 印张 · 690 千字

0 001—2 000 册

标准书号: ISBN 978 - 7 - 111 - 53644 - 4

定价: 165.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

服务咨询热线: 010-88361066

机工官网: [www.cmpbook.com](http://www.cmpbook.com)

读者购书热线: 010-68326294

机工官博: [weibo.com/cmp1952](http://weibo.com/cmp1952)

010-88379203

金书网: [www.golden-book.com](http://www.golden-book.com)

封面防伪标均为盗版

教育服务网: [www.cmpedu.com](http://www.cmpedu.com)

本书主要包括三部分：基本的数字电路、外围模块和内嵌的微控制器。第一部分介绍了基础的 HDL 结构和对应硬件，并示范如何用这些结构来搭建基本的数字电路。第二部分是应用第一部分的技术为原型板设计外围模块，介绍了一个单独外设的开发、实现和验证。可以将这些模块组成一个复杂的系统。第三部分介绍了基于 FPGA 的软核微控制器，即 PicoBlaze，展示了如何将通用处理器和定制电路进行集成。本书通过实例深入浅出地介绍了使用 Verilog 对可编程逻辑器件进行设计的方法，不仅介绍了 HDL 的语法，还重点介绍了对可编程逻辑器件的设计方法，提供了一系列使用 Verilog 对可编程逻辑器件进行设计的实例，书中的实例均可运行于 Xilinx 公司的 Spartan-3 原型开发板中，使读者能够边动手边学习，达到快速入门并掌握其要领的目的。

本书可作为可编程逻辑器件的学习指导书，通过书中的案例，初学者最终可以完全掌握可编程逻辑器件的设计。同时，也可作为工程实践的指导用书，对提高可编程逻辑器件开发人员的设计水平有借鉴价值。

# 译者序

由于可编程逻辑器件具有集成度高、体积小、功耗低、速度快等诸多优点，在航空、航天等军用产品领域中获得了广泛的应用。然而，可编程逻辑器件的开发与以往软件或硬件的开发有着很大的不同，随着大量可编程逻辑器件设计的增加，如何提高开发人员的设计水平成为保障可编程逻辑器件安全性的关键因素。

本书是介绍使用 Verilog 对可编程逻辑器件进行设计的技术著作，主要聚焦在对可编程逻辑器件的设计，而不仅仅是介绍 HDL 的语法。本书提供了一系列使用 Verilog 对可编程逻辑器件进行设计的实例，这些例子可作为通用的基本模块组合成结构复杂的大系统。本书主要内容包括三部分：基本的数字电路、外围模块和内嵌的微控制器。作者 Pong P. Chu 在使用 Verilog 对可编程逻辑器件进行设计方面有多年的工程实践经验。本书以实例为依托深入浅出地介绍了使用 Verilog 对可编程逻辑器件进行设计的方法，并给出很多 Verilog 语言的使用方法，对工程实践有一定的借鉴价值，对提高可编程逻辑器件开发人员的设计水平有一定帮助。

当夏宇闻教授将本书的英文版《FPGA PROTOTYPING BY VERILOG EXAMPLES》推荐给我们时，我们欣喜地发现本书对提高可编程逻辑器件开发人员的设计水平有很大的帮助。当夏宇闻教授建议我们结合工程应用中的实践经验，将本书翻译成中文时，我们立即欣然答应。我们所在的单位——航天科工集团三院三〇四所，主要负责软件和可编程逻辑器件软件的测试及工程化工作，自成立以来承担了院内、空间领域、军用领域上百个型号的测试工作，其中可编程逻辑器件软件的测试工作占 30% 以上，积累了丰富的可编程逻辑设计与验证方面的经验。我们相信中文版的出版将给使用 Verilog 对可编程逻辑器件进行设计的开发人员提供更多的帮助。

参与本书翻译工作的人员有孟伟、李艳志、王俊、于林宇、张津荣、刘军、刘伟、杨楠、王栋、李丽华、赵静、宋悦、荣高峰、田彪、彭鸣、张国宇、高媛、李思、杨豹、黄勇、王春云、朱琳、康文兴、张志刚、周晴、张哲、于润泽、舒毅、陈朋、王颖、张维海、吕宗辉，他们都是从事可编程逻辑器件软件的开发和测试工作的技术人员，具有多年可编程逻辑器件软件的开发和测试工作经验，为探月工程、载人航天工程、空间科学先导专项等国家重大项目中多个型号的顺利完成保驾护航。全书由夏宇闻教授负责审校。

在《FPGA PROTOTYPING BY VERILOG EXAMPLES》中文版即将出版之时，

特别向航天科工集团三院三〇四所对我们翻译工作的支持,向北京航空航天大学夏宇闻教授和机械工业出版社相关编辑的悉心指导和帮助表示衷心的感谢!

鉴于时间紧迫和译者水平有限,书中难免有不当之处,敬请读者批评指正。

译 者 于北京

2016 年 9 月

# 原 书 序

HDL (硬件描述语言) 和 FPGA (现场可编程门阵列) 器件可以使设计者很快地完成复杂数字电路的开发和仿真, 并在样机器件上实现, 随后对器件电路的实际运行情况进行检查。随着工艺的成熟, HDL 和 FPGA 已经成为设计实践的主流。利用 PC 和普通的 FPGA 开发板就能构造出十分复杂的数字系统。本书采用实际操作的学习方法, 利用丰富的示例来阐述 FPGA 和 HDL 的开发和设计过程。书中包含了大量实例, 从简单的门级电路, 到带有 8 位软核处理器和定制 I/O 外设的复杂嵌入式系统。所有这些例子都可以被综合成具体电路, 并在开发板上进行实际测试。

## 本书关注重点

本书关注的重点是综合后生成硬件的优劣, 而不是 HDL 语法。本书只关注一小部分可综合子集, 并使用少量的代码模板为不同类型的电路提供框架, 而不是解释每一个语句的结构。这些模板都是通用的, 很容易综合到复杂的系统中。虽然这种方法限制了语法表达的“自由”, 但并不妨碍我们开发创新性的硬件结构。由于 HDL 语言的通用性和适应性, 同一个电路通常可以用多种语言结构和代码风格表达。其中许多代码是用于建模的。这些代码综合后可能导致不必要的复杂硬件实现, 有时还根本不可能综合成任何具体电路。这种模板方式实际上能够促使我们更多地去思考硬件电路本身, 养成良好的编码习惯。由于我们的主要兴趣是在硬件上, 所以花一些时间研究如何使用同一个代码模板来开发多种不同的硬件结构, 而不是用多种不同版本的代码来描述同一个电路是十分有价值的。

目前有两种流行的 HDL 语言, 它们分别是 VHDL 和 Verilog。这两种语言都得到广泛的应用, 并且都是 IEEE 标准。本书使用 Verilog, 而另一本标题类似的书籍使用 VHDL。尽管两者的语法差异较大, 但它们的功能却非常相似, 都能很好地达到设计目标。当我们掌握了一种语言的设计实践和编码方法后, 再学习另一种语言就会变得非常简单。

虽然本书是为初学者编写的, 但书中的示例都严格遵循设计准则, 可为读者今后的工作打下良好的基础。编码和设计方法是“向上兼容的”, 意思是:

- 同样的方法可应用于未来的大型设计之中。
- 同样的方法能够有助于其他的系统开发任务, 包括仿真、时序分析、验证和测试。
- 同样的方法能够被应用到 ASIC 技术和不同类型的 FPGA 器件中。

- 代码能够被不同厂家的综合软件综合。

总之,本书是一本实用的、以硬件为核心的教材,其内容涉及用最简洁的 HDL、遵循规范的设计和编码原则,最大限度地实现向上兼容。

### 购买本书的益处

本书包含三大部分:

基本数字电路、外设模块和嵌入式微控制器。针对的读者群除了正在学习入门级或者高级数字系统设计课程的学生外,还包括想要学习 FPGA 和基于 HDL 开发的在职工程师。对于书中前两部分内容,需要读者具有数字系统的基本知识,而数字系统通常是电子工程和计算机工程专业课程中的必修课。对于第三部分的内容而言,如果读者之前学习过汇编语言编程将会很有帮助。

### 本书所采用的工具

虽然本书的主要目标是教会读者如何编写与开发工具和 FPGA 器件无关的 HDL 代码,但我们必须得选择一种开发工具(即软件包)和一套 FPGA 开发板来进行综合和实现这些示例。本书使用了 Xilinx 公司的综合工具和 FPGA 器件,Xilinx 公司是一家在该领域处于领导地位的公司。

### 软件

使用的综合软件是 Xilinx ISE 开发套件的网络版。与完全版的套件相比,网络版除了支持的器件数量受限外,功能与完全版是类似的。大多数入门级开发板都使用便宜的 Spartan-3 系列 FPGA 器件。由于网络版支持 Spartan-3 器件,因此它符合我们的需求。本书使用的仿真软件是 Mentor Graphics 公司的 ModelSim XE III 入门版。它是 ModelSim 的定制版。这两个软件包都是免费的,并且能够从 Xilinx 网站上下载。

### FPGA 开发板

使用由 Digilent Inc 公司生产的几款入门级 FPGA 开发板,其中包括 Spartan-3 Starter、Nexys-2 和 Basys 等开发板,它们都包含一个 Spartan-3/3E FPGA 芯片和相似的外围电路。书中的设计示例是基于 Spartan-3 Starter 开发板(或简称为 S3 板)的,但大多数示例也能在其他开发板上直接使用。HDL 代码的适用性总结如下:

- Spartan 3 Starter (S3) 开发板。S3 开发板包含所有的外围器件,不需要其他的附属模块。所有的 HDL 代码和相关讨论能够直接应用在这块开发板上。

- Nexys-2 开发板。Nexys-2 开发板是一块比较新的开发板,包含了一片较大的 FPGA 芯片和存储芯片。外围器件与 S3 开发板相似。与 S3 开发板有两处不同:第一,其 VGA 接口的“颜色深度”由 3 位扩展到 8 位。因此,第 13 章和第 14 章讨论的 VGA 接口电路的输出需要根据情况进行相应的修改。第二,Nexys-2 板包含更复杂的外部存储器。尽管能够配置为异步 SRAM,但其时序特性与



S3 开发板上的存储芯片是不同的, 因此第 11 章描述的存储控制器 HDL 代码便不能直接使用。但同样的设计准则依然可以应用于新的控制器的构造。

- Basys 开发板。Basys 开发板是一个简易的开发板。缺少 RS-232 连接器。为了实现第 8 章描述的 UART 模块和串行接口, 我们需要 Digilent 的 RS-232 转换器外设模块。Basys 开发板没有外部存储器件, 因此第 11 章描述的存储控制器无法应用。

- 其他 FPGA 开发板。本书描述的大部分外设器件其实都是工业级标准的器件, 并且相应的 HDL 代码能够被用于开发板上, 只要开发板提供类似的接口和连接器。除了 Xilinx 特定的部分外, 这些代码也能够应用于其他厂商设计的基于 FPGA 器件的开发板上。

## PC 的附件

设计示例包含了用于连接 PC 外围设备的接口。键盘、鼠标和 VGA 显示器是必需的, 还需要一条用于连接 UART 模块的普通串行数据线。这些外设使用广泛, 通常可以在一台旧的 PC 上找到。

## 本书的结构

本书分为 3 个主要部分。第一部分介绍了基础的 HDL 结构和对应硬件, 并示范如何用这些结构来搭建基本的数字电路。本部分由 7 个章节组成:

- 第 1 章介绍了 HDL 程序的结构、基础语法和逻辑操作符。根据这些语言结构, 可以推导出相应的门级组合电路。

- 第 2 章介绍了 FPGA 器件、原型板和开发流程。借助于 Xilinx ISE 综合软件教程和 Mentor Graphics ModelSim 仿真软件教程进行开发过程的示范。

- 第 3 章介绍了与 HDL 语言相关的操作符和算法操作符及其电路的结构。它们与中规模元件 (如比较器、加法器和多路复用开关等元件) 对应。模块级组合电路就是由这些语言结构得到的。

- 第 4 章介绍了存储元件和构造简单时序电路的代码, 例如计数器和移位寄存器, 这些电路的状态转移表现为简单的有序模式。

- 第 5 章讨论了有限状态机 (FSM) 的构建, 有限状态机也是一种时序电路, 但它的状态转移表现为复杂的非有序模式。

- 第 6 章介绍了带有数据路径的有限状态机 (FSMD) 的构建。FSMD 用于实现寄存器传输 (RT) 方法学, 通过数据在寄存期间的传输和操作, 描述系统的运行。

- 第 7 章介绍了关于语言构造和编码技术方面的若干高级话题, 并介绍了更加复杂测试平台的开发技术。读者可以跳过该章, 不会影响对其他章节的理解。

第二部分是应用第一部分的技术为原型板设计一系列外围模块。每章介绍一

个单独外设的开发、实现和验证。可以将这些模块组成一个更大的工程。该部分包括 7 个章节:

- 第 8 章介绍了普通的异步收发器 (UART) 的设计, 用于提供原型板上的 RS-232 接口接收和发送数据的串行链路。

- 第 9 章介绍了键盘接口的设计, 可以从键盘上读取扫描码。键盘通过开发板上的 PS2 接口与其连接。

- 第 10 章介绍了鼠标接口的设计, 可以从鼠标上获得点击和移动信息。鼠标也是通过开发板上的 PS2 接口与其连接。

- 第 11 章讨论了存储控制器的实现和时序。该控制器用于对 S3 板上的两个静态随机存储器 (SRAM) 读取和写入数据。

- 第 12 章讨论了 Spartan-3 器件中特定元件的推断和使用。重点是 FPGA 的内部存储块。

- 第 13 章介绍了一个视频控制器的设计和实现。讨论的内容包括视频同步信号的产生并展示了比特映射和对象映射图像界面的构造。显示器通过开发板上的 VGA 接口进行连接。

- 第 14 章继续介绍视频控制器的开发。讨论展示了文字界面和常规分片映射机制的构建。

第三部分介绍了基于 FPGA 的软核微控制器, 即 PicoBlaze, 展示了如何将通用处理器和定制电路进行集成。该部分包括 4 个章节:

- 第 15 章对 PicoBlaze 的结构和指令集进行了简介。

- 第 16 章对基本的汇编语言编程进行了介绍, 并提供了一个总的开发流程。

- 第 17 章讨论了 PicoBlaze 的 I/O 特性, 并展示了如何将其与其他外设通过定制电路连接起来。

- 第 18 章讨论了 PicoBlaze 的中断性能, 并展示了一个定制的中断处理电路的构建。

除了常规的章节, 附录部分总结和列出了所有的代码模版。

**特殊标识**<sup>xilinx specific</sup> 本书中我们使用了两种特殊的段落标记: 一个是为了描述 Xilinx-specific (Xilinx 公司特有的) 特性, 另一个是为了描述 Verilog-1995 的结构。虽然在本书中描述的例子是基于 Xilinx 开发板来实现的, 并且代码也是采用 Xilinx ISE 软件进行综合, 我们仍设法使 HDL 代码不依赖于器件和软件。本书提到的大多数内容和代码能够应用到不同的目标器件, 也可以被不同的综合软件综合。然而, 一些代码或器件特性是 Xilinx ISE 或者 Spartan-3FPGA 芯片所独有的。我们用 Xilinx specific 上标, 表示相应的部分或者章节的内容仅是针对 Xilinx 公司的器件。

同样,像在这一页的边缘,我们用边缘标记来表明这段的内容仅针对 Xilinx。这些标记表明代码或设计不可直接移植,需要针对不同的软件包或目标板对代码和设计进行修改。1995 年 Verilog 语言第一次得到批准(被引用作 Verilog-1995),并在 2001 年修订(被引用作 Verilog-2001)。修订版有很多改进。本书中使用的是 Verilog-2001。如果一种语言使用了两种不同版本进行构建,我们会将其分开,单独对旧版本进行描述,并在页边缘做上标记,用于这种类型的讨论。这些内容“供参考”,目的是帮助读者理解旧版本的 Verilog 代码。

### 指导价值

本书可作为数字系统概论或者高级工程指导的参考书。在数字系统概论中,本书提供了课程的试验部分。第一部分的章节基本上都遵循了典型的课程顺序,可作为常规课程的参考。可以选择一两个外设模块作为案例进行学习,相应的实验可作为学期实验。

在高级工程指导课程中,本书提供了独立开展工程的基础。在第一部分的章节可以看作是复习资料,里面提供了 HDL、综合和 FPGA 开发板的基本背景。第二部分的一些模块示例可用于示范更复杂的电路设计。这些模块也可以看作是基本模块(即 IPs)或集成到最终工程的子系统。如果需要设计一个嵌入式系统,那么第三部分讨论的 PicoBlaze 微控制器可用作一个通用处理器。

### 相关网站

本书的配套网站([http://academic.csuohio.edu/chu\\_p/rtpl](http://academic.csuohio.edu/chu_p/rtpl))提供了其他信息,包括以下内容:

- 勘误表;
- 编码模型;
- HDL 代码示例和相关文档;
- 仿真和综合软件的下载链接;
- 参考资料的下载链接;
- 其他工程概念。

**勘误表** 本书为自编书籍,即作者完成了本书的所有部分,包括示例、图表、代码示例、索引和格式。错误的出现不可避免,因此本书的配套网站提供了最新的勘误表,并提供了错误报告。

P. P. Chu

克利夫兰, 俄亥俄州

2008 年 1 月

# 致 谢

感谢 George L. Kramerich 教授的鼓励和帮助。同时感谢 John Wiley & Sons 等。感谢他们允许本书使用《RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability》一书 3.1、3.2、4.2、4.10、4.11、6.5 和 7.2 节的插图，感谢 Xilinx 公司允许本书使用 Spartan-3 Starter 开发板使用说明中的 2.3 和 9.3 插图。所有在本书中使用或引用的商标的所有权均为它们各自所有者所有。

**P. P. Chu**

克利夫兰，俄亥俄州

2008 年 1 月

# 目 录

译者序  
原书序  
致谢

## 第一部分 基本数字电路

|                             |    |
|-----------------------------|----|
| 第1章 门级组合电路                  | 3  |
| 1.1 简介                      | 3  |
| 1.2 一般描述                    | 3  |
| 1.3 基本词汇元素                  | 5  |
| 1.4 数据类型                    | 5  |
| 1.4.1 四值系统                  | 5  |
| 1.4.2 数据类型分类                | 6  |
| 1.4.3 数字表示                  | 6  |
| 1.4.4 运算符                   | 7  |
| 1.5 程序结构                    | 8  |
| 1.5.1 端口声明                  | 8  |
| 1.5.2 程序体                   | 9  |
| 1.5.3 信号声明                  | 9  |
| 1.5.4 其他例子                  | 10 |
| 1.6 结构描述                    | 11 |
| 1.7 测试平台                    | 14 |
| 1.8 文献备注                    | 16 |
| 1.9 实验                      | 17 |
| 1.9.1 编码                    | 17 |
| 1.9.2 二进制解码器门级编码            | 17 |
| 第2章 FPGA 及 EDA 软件概述         | 18 |
| 2.1 简介                      | 18 |
| 2.2 FPGA                    | 18 |
| 2.2.1 通用 FPGA 器件概述          | 18 |
| 2.2.2 Xilinx Spartan-3 器件概述 | 19 |
| 2.3 Digilent S3 开发板概述       | 20 |
| 2.4 开发流程                    | 22 |

|       |                                  |    |
|-------|----------------------------------|----|
| 2.5   | Xilinx ISE 图形化界面概貌 .....         | 24 |
| 2.6   | ISE Project Navigator 简明教程 ..... | 26 |
| 2.6.1 | 创建工程和 HDL 代码 .....               | 28 |
| 2.6.2 | 创建 Testbench 及执行 RTL 仿真 .....    | 29 |
| 2.6.3 | 添加约束文件综合和实现代码 .....              | 29 |
| 2.6.4 | 生成并下载配置文件至 FPGA 芯片 .....         | 31 |
| 2.7   | Modelsim HDL 仿真器简明教程 .....       | 34 |
| 2.8   | 文献备注 .....                       | 39 |
| 2.9   | 实验 .....                         | 39 |
| 2.9.1 | 门级大于电路 .....                     | 39 |
| 2.9.2 | 门级二进制译码器 .....                   | 39 |
| 第3章   | 寄存器传输级组合逻辑电路 .....               | 41 |
| 3.1   | 引言 .....                         | 41 |
| 3.2   | 运算符 .....                        | 41 |
| 3.2.1 | 算术运算符 .....                      | 42 |
| 3.2.2 | 移位运算符 .....                      | 43 |
| 3.2.3 | 关系和等价运算符 .....                   | 43 |
| 3.2.4 | 按位运算符、缩减运算符和逻辑运算符 .....          | 43 |
| 3.2.5 | 位拼接和复制运算符 .....                  | 44 |
| 3.2.6 | 条件运算符 .....                      | 45 |
| 3.2.7 | 运算符优先级 .....                     | 46 |
| 3.2.8 | 表达式位长度调整 .....                   | 46 |
| 3.2.9 | z、x 的综合 .....                    | 48 |
| 3.3   | 组合逻辑电路 always 块 .....            | 49 |
| 3.3.1 | 基本语法和行为 .....                    | 50 |
| 3.3.2 | 顺序赋值语句 .....                     | 50 |
| 3.3.3 | 变量数据类型 .....                     | 51 |
| 3.3.4 | 简单示例 .....                       | 51 |
| 3.4   | if 语句 .....                      | 53 |
| 3.4.1 | 语法 .....                         | 53 |
| 3.4.2 | 示例 .....                         | 54 |
| 3.5   | case 语句 .....                    | 56 |
| 3.5.1 | 语法 .....                         | 56 |
| 3.5.2 | 示例 .....                         | 57 |
| 3.5.3 | casez 和 casex 语句 .....           | 58 |
| 3.5.4 | full case 与 parallel case .....  | 59 |
| 3.6   | 条件控制语句的布线结构 .....                | 60 |
| 3.6.1 | 优先路由网络 .....                     | 60 |

|                                      |           |
|--------------------------------------|-----------|
| 3.6.2 多路选择网络 .....                   | 62        |
| 3.7 always 块的通用编码准则 .....            | 63        |
| 3.7.1 组合逻辑电路代码的常见错误 .....            | 63        |
| 3.7.2 准则 .....                       | 67        |
| 3.8 参数和常量 .....                      | 67        |
| 3.8.1 常量 .....                       | 67        |
| 3.8.2 参数 .....                       | 69        |
| 3.8.3 Verilog-1995 的参数使用 .....       | 71        |
| 3.9 设计实例 .....                       | 72        |
| 3.9.1 7 段 LED 数码管十六进制译码器 .....       | 72        |
| 3.9.2 “符号—幅值” 加法器 .....              | 76        |
| 3.9.3 桶式移位器 .....                    | 79        |
| 3.9.4 简化的浮点加法器 .....                 | 81        |
| 3.10 文献备注 .....                      | 87        |
| 3.11 实验 .....                        | 87        |
| 3.11.1 多功能桶式移位器 .....                | 87        |
| 3.11.2 双优先级编码器 .....                 | 88        |
| 3.11.3 BCD 码增量器 .....                | 88        |
| 3.11.4 浮点数大于比较电路 .....               | 88        |
| 3.11.5 浮点数和有符号整型数转换电路 .....          | 89        |
| 3.11.6 增强型浮点型加法器 .....               | 89        |
| <b>第4章 常规时序电路 .....</b>              | <b>90</b> |
| 4.1 简介 .....                         | 90        |
| 4.1.1 D 触发器和寄存器 .....                | 90        |
| 4.1.2 同步系统 .....                     | 91        |
| 4.1.3 代码开发 .....                     | 92        |
| 4.2 触发器和寄存器的 HDL 代码 .....            | 92        |
| 4.2.1 D 触发器 .....                    | 93        |
| 4.2.2 寄存器 .....                      | 96        |
| 4.2.3 寄存器文件 .....                    | 97        |
| 4.2.4 Xilinx Spartan-3 器件的存储元件 ..... | 98        |
| 4.3 简单的设计举例 .....                    | 99        |
| 4.3.1 移位寄存器 .....                    | 99        |
| 4.3.2 二进制计数器及其转换形式 .....             | 101       |
| 4.4 时序电路的测试平台 .....                  | 105       |
| 4.5 案例学习 .....                       | 109       |
| 4.5.1 LED 分时复用电路 .....               | 109       |
| 4.5.2 码表 .....                       | 118       |

|              |                          |            |
|--------------|--------------------------|------------|
| 4.5.3        | FIFO 缓冲器 .....           | 122        |
| 4.6          | 文献备注 .....               | 128        |
| 4.7          | 实验 .....                 | 128        |
| 4.7.1        | 可编程的方波生成器 .....          | 128        |
| 4.7.2        | PWM 和 LED 调节器 .....      | 128        |
| 4.7.3        | 旋转的方形图案电路 .....          | 128        |
| 4.7.4        | 心跳电路 .....               | 129        |
| 4.7.5        | 可轮换的 LED 标语电路 .....      | 129        |
| 4.7.6        | 增强的码表 .....              | 129        |
| 4.7.7        | 栈 .....                  | 130        |
| <b>第 5 章</b> | <b>有限状态机 .....</b>       | <b>131</b> |
| 5.1          | 引言 .....                 | 131        |
| 5.1.1        | Mealy 输出和 Moore 输出 ..... | 131        |
| 5.1.2        | 有限状态机表示方法 .....          | 132        |
| 5.2          | 状态机编码设计 .....            | 134        |
| 5.3          | 设计举例 .....               | 137        |
| 5.3.1        | 上升沿检测器 .....             | 137        |
| 5.3.2        | 去抖电路 .....               | 143        |
| 5.3.3        | 测试电路 .....               | 147        |
| 5.4          | 文献备注 .....               | 149        |
| 5.5          | 参考实验 .....               | 150        |
| 5.5.1        | 双沿检测器 .....              | 150        |
| 5.5.2        | 另一种去抖电路 .....            | 150        |
| 5.5.3        | 停车场占用计数器 .....           | 150        |
| <b>第 6 章</b> | <b>带数据路径的有限状态机 .....</b> | <b>152</b> |
| 6.1          | 简介 .....                 | 152        |
| 6.1.1        | 单个 RT 操作 .....           | 152        |
| 6.1.2        | ASMD 图 .....             | 153        |
| 6.1.3        | 带寄存器的判决盒 .....           | 154        |
| 6.2          | FSMD 的代码开发 .....         | 156        |
| 6.2.1        | 基于 RT 方法学的去抖电路 .....     | 156        |
| 6.2.2        | 带有数据路径元件的编码 .....        | 157        |
| 6.2.3        | 带有隐含数据路径元件的编码 .....      | 161        |
| 6.2.4        | 对比 .....                 | 163        |
| 6.2.5        | 测试电路 .....               | 165        |
| 6.3          | 设计实例 .....               | 167        |
| 6.3.1        | 斐波纳契数电路 .....            | 167        |



|                                         |            |
|-----------------------------------------|------------|
| 6.3.2 除法电路 .....                        | 171        |
| 6.3.3 二进制向 BCD 码转换电路 .....              | 175        |
| 6.3.4 周期计数器 .....                       | 180        |
| 6.3.5 精确的低频计数器 .....                    | 184        |
| 6.4 文献备注 .....                          | 188        |
| 6.5 实验 .....                            | 188        |
| 6.5.1 另一种去抖电路 .....                     | 188        |
| 6.5.2 BCD 码向二进制码转换电路 .....              | 188        |
| 6.5.3 带有 BCD I/O 的斐波纳契电路: 设计方法 I .....  | 188        |
| 6.5.4 带有 BCD I/O 的斐波纳契电路: 设计方法 II ..... | 189        |
| 6.5.5 尺度自适应的低频计数器 .....                 | 189        |
| 6.5.6 反应定时电路 .....                      | 190        |
| 6.5.7 巴贝奇差分引擎模拟电路 .....                 | 191        |
| <b>第 7 章 Verilog 相关的话题 .....</b>        | <b>192</b> |
| 7.1 阻塞和非阻塞 .....                        | 192        |
| 7.1.1 概述 .....                          | 192        |
| 7.1.2 组合逻辑电路 .....                      | 194        |
| 7.1.3 存储元件 .....                        | 196        |
| 7.1.4 时序电路使用阻塞和非阻塞赋值 .....              | 197        |
| 7.2 另外一种时序电路代码风格 .....                  | 200        |
| 7.2.1 二进制计数器 .....                      | 200        |
| 7.2.2 FSM .....                         | 203        |
| 7.2.3 FSMD .....                        | 204        |
| 7.2.4 总结 .....                          | 207        |
| 7.3 使用有符号数据类型 .....                     | 208        |
| 7.3.1 概述 .....                          | 208        |
| 7.3.2 Verilog-1995 中的有符号数 .....         | 209        |
| 7.3.3 Verilog-2001 中的有符号数 .....         | 210        |
| 7.4 在综合中使用函数 .....                      | 211        |
| 7.4.1 概述 .....                          | 211        |
| 7.4.2 举例 .....                          | 212        |
| 7.5 用于测试平台开发的额外结构 .....                 | 214        |
| 7.5.1 always 和 initial 块 .....          | 214        |
| 7.5.2 程序语句 .....                        | 215        |
| 7.5.3 时序控制 .....                        | 217        |
| 7.5.4 延时控制 .....                        | 217        |
| 7.5.5 事件控制 .....                        | 218        |
| 7.5.6 wait 语句 .....                     | 218        |