



工业和信息化部“十二五”规划教材
“十二五”国家重点图书出版规划项目

数字信号处理器原理及应用

Theory and Application of DSP

● 王岩 奚伯齐 温奇咏 付振宪 编著

哈尔滨工业大学出版社
HARBIN INSTITUTE OF TECHNOLOGY PRESS



工业和信息化部“十二五”规划教材
“十二五”国家重点图书出版规划项目

数字信号处理器原理及应用

Theory and Application of DSP

● 王岩 奚伯齐 温奇咏 付振宪 编著



哈尔滨工业大学出版社
HARBIN INSTITUTE OF TECHNOLOGY PRESS

内容提要

“数字信号处理器原理及应用”是一门实用性很强的课程。现代数字信号处理器的知识浩如烟海,本书仅介绍其基本原理和应用知识,希望读者能管中窥豹,以此进入更加复杂的应用领域。全书共分8章,以TI公司TMS320F28XDSP为核心,从数字信号处理器的基本知识入手,并以配套演示验证板辅助,由浅入深地介绍:数字信号处理器的结构体系、输入输出端口、系统控制和中断、存储器、引导装载、串行通信、串行外设、A/D转换器等主要内容。本书每章都结合了数字信号处理器演示验证板的设计和编程,期待读者学习后能独立完成数字信号处理器系统的软硬件设计。

本书以工程应用为核心,适合于高等院校电子与通信类本科生及研究生使用,同时也可供相关工程开发人员参考。

图书在版编目(CIP)数据

数字信号处理器原理及应用/王岩等编著. —哈尔滨:哈尔滨工业大学出版社,2016.3

工业和信息化部“十二五”规划教材

ISBN 978-7-5603-5825-3

I. ①数… II. ①王… III. ①数字信号发生器-高等学校-教材 IV. ①TN911.72

中国版本图书馆CIP数据核字(2016)第003888号

策划编辑 杜 燕

责任编辑 李长波

出版发行 哈尔滨工业大学出版社

社 址 哈尔滨市南岗区复华四道街10号 邮编 150006

传 真 0451-86414749

网 址 <http://hitpress.hit.edu.cn>

印 刷 哈尔滨市石桥印务有限公司

开 本 787mm×1092mm 1/16 印张 13.75 字数 315 千字

版 次 2016年3月第1版 2016年3月第1次印刷

书 号 ISBN 978-7-5603-5825-3

定 价 32.00 元

(如因印装质量问题影响阅读,我社负责调换)

前 言

数字信号处理器在国内外电子系统的设计开发中应用非常广泛, TI 公司的 TMS320 系列 DSP 被很多用户选用, 原因在于其技术领先和开发工具普及。TMS320 产品中 2X 系列 DSP 由于其简便易用、价格低廉等优点被广泛采用。2X 系列产品中以 281X 为较高性能产品(283XX 在 281X 基础上, 扩展了浮点单元等功能, 为最新型号产品), 该系列数字信号处理器具有很高的运算速度、种类齐全的片上外设、功能强大的开发工具, 适用于各类电子系统的开发。

数字信号处理器发展到今天已不局限于数字信号处理的领域, 还广泛应用于电气电子系统设计的各个分支, 如美国 TI 公司 2X 系列 DSP 大量应用于工业控制、电机控制、数字信号处理等行业。2X 系列 DSP 中 283XXDSP 内部含有浮点处理器, 能够实现高性能数值运算; 280X DSP 具备高速运算性能的同时还具有体积小、价格低至单片机水平的优点。28X DSP 是 2X 系列 DSP 中的成熟型号, 具有高速的运算性能、丰富的接口外设、易用的开发工具、很高的性能价格比。

本教程作为一本入门书, 以数字信号处理器的初学者为对象。每个初学者都希望学有所得, 以此为目的, 本书有不同于其他书籍的特点。

首先, 数字信号处理器作为一种高性能器件, 其内容比较繁杂, 本书只选择基础和重要的部分予以介绍, 待读者掌握了基本内容之后, 完全可以在此基础上自行深化。

其次, 数字信号处理作为一个工程应用性很强的学科, 要想学以致用就必须与实践相结合。为配合本书教学, 作者设计了 HIT-2812 演示验证板, 该演示验证板上设计实现了数字信号处理器的各种基本功能, 同时演示验证板上的所有资源开放。本书首先介绍了该演示板的结构设计, 并在每章后提供配合该演示板的教学实验程序。将硬件设计与软件编程相结合, 相信读者能够获得更大的收获。

为配合数字信号处理器教学的需求, 作者一直期望能够完成一本相对精彩并尽量准确的入门书, 但最终结稿时仍不可避免存在诸多不足之处, 先于此向读者致歉。

哈尔滨工业大学航天学院奚伯齐老师完成了第 4 章和第 7 章部分内容的撰写, 温奇

咏老师完成了第6章部分内容的撰写,付振宪老师协助完成了演示程序的编写调试,在此,表示衷心感谢。

如果您对本书或数字信号处理器教学及应用有何建设性意见请电邮至

E-mail:dsp_book@163.com。

作者

2016年1月

目 录

第 1 章 数字信号处理器结构	1
1.1 数字信号处理器	1
1.2 DSP 基本特性	2
1.3 TI28XDSP 基本信号与总线结构	15
1.4 DSP 的 CPU 寄存器	17
第 2 章 数字信号处理器通用输入输出端口	25
2.1 DSP2812 的 GPIO	25
2.2 DSP 程序编制方法	29
2.2.1 DSP 编程的基本数据结构类型	30
2.2.2 演示程序	42
第 3 章 DSP 系统控制与中断	45
3.1 系统控制与时钟	45
3.1.1 结构概述	45
3.1.2 控制寄存器	45
3.1.3 振荡器 OSC 和锁相环 PLL	48
3.2 DSP 的 CPU 中断	54
3.2.1 CPU 中断概述	54
3.2.2 CPU 中断向量优先级	55
3.2.3 CPU 中断标志寄存器	57
3.2.4 CPU 中断使能寄存器 IER 和调试中断使能寄存器 DBGIER	57
3.2.5 可屏蔽中断的处理过程	59
3.2.6 非屏蔽中断类型	60
3.3 DSP 片内外设的中断扩展管理(PIE)	62
3.3.1 PIE 部分概述	62
3.3.2 PIE 中断处理结构	64
3.3.3 PIE 中断处理流程	67
3.3.4 PIE 中断向量表	68
3.3.5 PIE 中断相关寄存器	72
3.3.6 外部中断控制寄存器	75
3.4 CPU 定时器	77

3.5 看门狗模块	81
3.6 演示程序	83
第4章 DSP 的存储器	110
4.1 片内存储器	110
4.1.1 SARAM	110
4.1.2 FLASH 和 OTP	112
4.1.3 其他	113
4.2 片外存储器和外部接口 XINTF	113
4.2.1 基本组成	113
4.2.2 时钟配置	115
4.2.3 XINTF 寄存器	116
4.3 演示程序	121
第5章 DSP 的引导装载 BootLoader	126
5.1 引导 ROM 概述	126
5.2 引导装载 BootLoader	127
5.3 引导装载的数据流格式	130
5.4 引导装载程序	135
5.5 演示程序	141
第6章 SCI 串行通信接口	145
6.1 SCI 概述	145
6.2 SCI 通信结构	148
6.3 SCI 多机通信	150
6.4 SCI 中断和波特率设置	152
6.5 SCI 寄存器	153
6.6 演示程序	158
第7章 SPI 串行外设接口	165
7.1 SPI 模块概述	165
7.2 SPI 操作模式	166
7.3 SPI 中断和数据传输	168
7.3.1 SPI 中断控制位	168
7.3.2 SPI 数据格式和波特率	169
7.4 SPI FIFO	170
7.5 SPI 寄存器	171
7.6 演示程序	178
第8章 A/D 转换器	187
8.1 A/D 转换排序器工作原理	188

8.2 连续自动排序模式	191
8.3 启动/停止模式	193
8.4 同步采样和触发信号	194
8.5 排序转换的中断操作模式	194
8.6 ADC 时钟及其他	196
8.7 ADC 寄存器	197
8.8 演示程序	206
参考文献	211

第 1 章 数字信号处理器结构

1.1 数字信号处理器

通常所说的数字信号处理器,简称缩写为 DSP,其最主要的用途是进行数字信号处理,但今天的 DSP 应用范围早已超越数字信号处理的范畴,延伸到包括电机控制、视频处理、通信、医疗、军事应用等各个尖端科技领域,所以更有必要对它加以了解。DSP 本质上仍然是一种微处理器,甚至可以简单地说:是一种可以完成高速运算的微处理器。

对比 TI 的各个 DSP 系列,可以清楚地看到,DSP 是这样一种微处理器:包括一个可以进行高速运算的核心(CPU)、一定容量的存储器(如 RAM、FLASH)和各种必要的外部设备(如 SCI、ADC)。可以把它看成高级化复杂化的单片机(MCU),或者一台简单化了的 PC 机。

下面介绍本书的主角——TMS320F28XDSP,其结构框图(引自 TI 公司器件选型手册)如图 1.1.1 所示。TI 的 28X 系列 DSP 除 C281X 系列外,还有 C280X 系列,后者是前者的功能简化版。

如图 1.1.1 所示,TMS320F28XDSP 具有一个高速的 32 位 CPU,速度高达 100 ~ 150 MIPS,具有片上存储器(Flash, RAM),还可通过 XINTF 接口扩展外部 RAM,保证了足够的存储空间和实现高速运算,此外 DSP 还有多种片上外设(如 SCI、ADC),这些结构综合起来能够胜任大量工作,10 年前可能需要一台桌面 PC 加上大量扩展板卡来完成的任务,现在只需一片 DSP 芯片就可以完成了,技术进步的力量经常令人震惊。

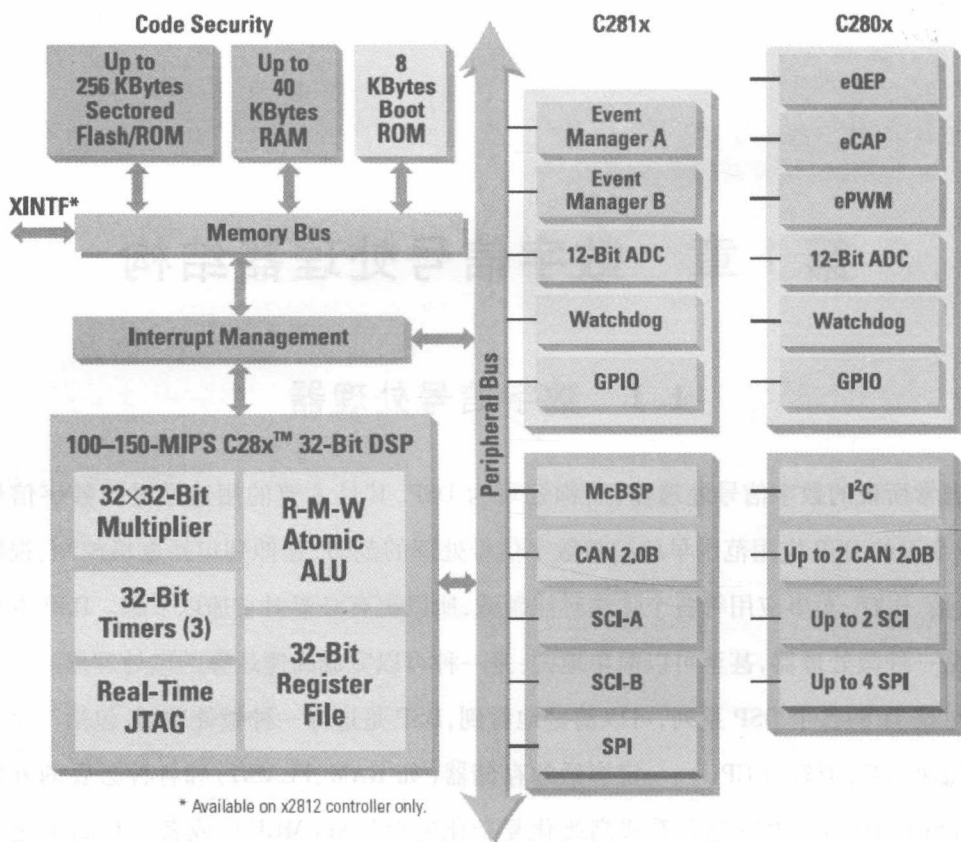


图 1.1.1 TMS320F28XDSP 结构框图

1.2 DSP 基本特性

首先应该了解我们的学习对象 DSP-TI TMS320F2812, 它到底能做些什么呢? 下面这段文字引自 TI 文档(TMS320F2812 DATASHEET(SPRS174J). pdf), 是对该 DSP 最准确的描述。这里引用英文的形式进行介绍, 原因在于: 原文的说明往往是最准确的; 后面附上包含作者理解的翻译, 供读者对照参考。

- High-Performance Static CMOS Technology
 - 150 MHz (6.67-ns Cycle Time)
 - Low-Power (1.8-V Core @135 MHz, 1.9-V Core @150 MHz, 3.3-V I/O) Design
 - 3.3-V Flash Voltage
- JTAG Boundary Scan Support†
- High-Performance 32-Bit CPU (TMS320C28x)
 - 16 x 16 and 32 x 32 MAC Operations
 - 16 x 16 Dual MAC
 - Harvard Bus Architecture
 - Atomic Operations
 - Fast Interrupt Response and Processing
 - Unified Memory Programming Model
 - 4M Linear Program Address Reach
 - 4M Linear Data Address Reach
 - Code-Efficient (in C/C++ and Assembly)
 - TMS320F24x/LF240x Processor Source Code Compatible
- On-Chip Memory
 - Flash Devices: Up to 128K x 16 Flash (Four 8K x 16 and Six 16K x 16 Sectors)
 - ROM Devices: Up to 128K x 16 ROM
 - 1K x 16 OTP ROM
 - L0 and L1: 2 Blocks of 4K x 16 Each Single-Access RAM (SARAM)
 - H0: 1 Block of 8K x 16 SARAM
 - M0 and M1: 2 Blocks of 1K x 16 Each SARAM
- Boot ROM (4K x 16)
 - With Software Boot Modes
 - Standard Math Tables
- External Interface (2812)
 - Up to 1M Total Memory
 - Programmable Wait States
 - Programmable Read/Write Strobe Timing
 - Three Individual Chip Selects
- Clock and System Control
 - Dynamic PLL Ratio Changes Supported
 - On-Chip Oscillator
 - Watchdog Timer Module
- Three External Interrupts
- Peripheral Interrupt Expansion (PIE) Block That Supports 45 Peripheral Interrupts
- 128-Bit Security Key/Lock
 - Protects Flash/ROM/OTP and L0/L1 SARAM
 - Prevents Firmware Reverse Engineering
- Three 32-Bit CPU-Timers
- Motor Control Peripherals
 - Two Event Managers (EVA, EVB)
 - Compatible to 240xA Devices
- Serial Port Peripherals
 - Serial Peripheral Interface (SPI)
 - Two Serial Communications Interfaces (SCIs), Standard UART
 - Enhanced Controller Area Network (eCAN)
 - Multichannel Buffered Serial Port (McBSP) With SPI Mode
- 12-Bit ADC, 16 Channels
 - 2 x 8 Channel Input Multiplexer
 - Two Sample-and-Hold
 - Single/Simultaneous Conversions
 - Fast Conversion Rate: 80 ns/12.5 MSPS
- Up to 56 Individually Programmable, Multiplexed General-Purpose Input/Output (GPIO) Pins
- Advanced Emulation Features
 - Analysis and Breakpoint Functions
 - Real-Time Debug via Hardware
- Development Tools Include
 - ANSI C/C++ Compiler/Assembler/Linker
 - Supports TMS320C24x™/240x Instructions
 - Code Composer Studio™ IDE
 - DSP/BIOS™
 - JTAG Scan Controllers† [Texas Instruments (TI) or Third-Party]
 - Evaluation Modules
 - Broad Third-Party Digital Motor Control Support
- Low-Power Modes and Power Savings
 - IDLE, STANDBY, HALT Modes Supported
 - Disable Individual Peripheral Clocks
- Package Options
 - 179-Ball MicroStar BGA™ With External Memory Interface (GHH) (2812)
 - 176-Pin Low-Profile Quad Flatpack (LQFP) With External Memory Interface (PGF) (2812)
 - 128-Pin LQFP Without External Memory Interface (PBK) (2810, 2811)
- Temperature Options:
 - A: -40°C to 85°C (GHH, PGF, PBK)
 - S: -40°C to 125°C (GHH, PGF, PBK)

与上文对照:

- 高性能静态 CMOS 技术
 - 150 MHz(6.67 ns 指令周期)
 - 低功耗设计(135 MHz-1.8 V 核心电压,150 MHz-1.9 V 核心电压,3.3 V 输入输出电压)
 - 3.3 V Flash 编程电压
- 支持 JTAG 边界扫描(在线调试和烧写)

- 高性能 32 位 CPU(中央处理器)(注意:是 32 位 CPU)
 - 支持 16 位 $\times$ 16 位及 32 位 $\times$ 32 位乘法器(MAC)操作
 - 支持 16 位 $\times$ 16 位双乘法器(Dual MAC)
 - 哈佛总线结构
 - 支持原子操作
 - 快速中断响应及处理
 - 统一存储器编址模式
 - 4M 线性程序地址空间
 - 4M 线性数据地址空间
 - 高效率代码(支持汇编、C、C++)
 - 与 TMS320F24x/LF240x 处理器源代码兼容
- 片上存储器(注意:共 128K Flash 存储器、18K SARAM 存储器,都用来存储程序和数据)
 - FLASH 存储器:最高 128K $\times$ 16 位(4 个 8K $\times$ 16 位扇区、6 个 16K $\times$ 16 位扇区)
 - ROM 存储器:最高 128K $\times$ 16 位
 - 1K $\times$ 16 位 OTP ROM
 - L0、L1:2 块 4K $\times$ 16 位 SARAM(共 8K)
 - H0:1 块 8K $\times$ 16 位 SARAM
 - M0、M1:2 块 1K $\times$ 16 位 SARAM(共 2K)
- 引导 ROM(4K $\times$ 16 位)
 - 包含多种不同的软件引导模式
 - 在引导 ROM 区中,包含基本的常用数学表(如 SIN 值表)
- 外部接口(仅 2812 含有外部接口)
 - 最多可扩展 1M 外部存储器
 - 外部接口等待状态可编程
 - 外部接口读写时间可编程
 - 有 3 个独立片选端
- 时钟及系统控制
 - 支持动态 PLL 调整
 - 片上振荡器
 - 含有看门狗模块
- 3 个外部中断
- 外设中断扩展(PIE)模块支持 45 个外设中断
- 代码安全模块支持 128 位密钥
 - 对 Flash/ROM/OTP ROM/L0-L1 SARAM 提供保护
 - 保护系统软件不被非法读取或破解
- 3 个 32 位 CPU 定时器
- 电机控制外设

- 2 个事件管理器(EVA、EVB)
- 事件管理器兼容 240xA 设备
- 串行端口外设
 - SPI
 - 2 路 SCI
 - 增强型 CAN
 - McBSP(SPI 模式)
- 16 通道 12 位 A/D 转换器
 - 2×8 输入通道多路开关
 - 2 路采样保持器
 - 单路/双路转换
 - 80 ns/12.5M 转换速度
- 最高 56 个单独编程的通用输入输出端口(GPIO)
- 高级仿真特性
 - 分析、测试、断点功能
 - 硬件实时调试功能
- 开发工具
 - 支持标准 C/C++ 的编译、汇编和连接
 - 支持 TMS320C24x/240x 指令
 - 集成化的调试和开发工具 CCS
 - 支持 DSP/BIOS
 - 支持 JTAG
 - 有大量的第三方开发模块和开发工具
- 低功耗节能模式
 - 支持 IDLE、STANDBY、HALT 模式
 - 可单独关闭外设时钟
- 可用封装形式
 - 179BGA(GHH, 对应 2812)
 - 176LQFP(PGF, 对应 2812)
 - 128LQFP(PBK, 对应 2810/2811)
- 温度级别
 - A: -40 ~ +85 °C
 - S: -40 ~ +125 °C

从上面的介绍不难看出该 DSP 功能多样而强大,由此也提高了学习、掌握和使用设计该 DSP 的难度。

图 1.2.1 是常用的 TMS320F2812 的 176-Pin PGF LQFP 封装形式的 DSP 引脚图,对比传统的 51 单片机只有 40 个引脚,此 176 个引脚显然复杂很多。但这些引脚的功能分类很清晰,也容易记忆。表 1.2.1 为 TMS320F2812 的 176 引脚功能描述。表中引脚编号

表 1.2.1 TMS320F2812 的 176 引脚功能表

名称	引脚 编号	I/O/Z	PU/PD	功能
XINTF(外部扩展接口)信号				
XA[18]	158	O/Z	—	19 位 XINTF 地址总线
XA[17]	156	O/Z	—	
XA[16]	152	O/Z	—	
XA[15]	148	O/Z	—	
XA[14]	144	O/Z	—	
XA[13]	141	O/Z	—	
XA[12]	138	O/Z	—	
XA[11]	132	O/Z	—	
XA[10]	130	O/Z	—	
XA[9]	125	O/Z	—	
XA[8]	121	O/Z	—	
XA[7]	118	O/Z	—	
XA[6]	111	O/Z	—	
XA[5]	108	O/Z	—	
XA[4]	103	O/Z	—	
XA[3]	85	O/Z	—	
XA[2]	80	O/Z	—	
XA[1]	43	O/Z	—	
XA[0]	18	O/Z	—	

续表 1.2.1

名称	引脚 编号	I/O/Z	PU/PD	功能
XD[15]	147	I/O/Z	PU	16 位 XINTF 数据总线
XD[14]	139	I/O/Z	PU	
XD[13]	97	I/O/Z	PU	
XD[12]	96	I/O/Z	PU	
XD[11]	74	I/O/Z	PU	
XD[10]	73	I/O/Z	PU	
XD[9]	68	I/O/Z	PU	
XD[8]	65	I/O/Z	PU	
XD[7]	54	I/O/Z	PU	
XD[6]	39	I/O/Z	PU	
XD[5]	36	I/O/Z	PU	
XD[4]	33	I/O/Z	PU	
XD[3]	30	I/O/Z	PU	
XD[2]	27	I/O/Z	PU	
XD[1]	24	I/O/Z	PU	
XD[0]	21	I/O/Z	PU	
XMP/ $\overline{\text{MC}}$	17	I	PD	微处理器/微计算机模式选择。为高时, XINTF7 区使能; 为低时, XINTF7 区无效, 使用片内 boot ROM 功能。复位时, 该引脚状态被锁存在 XINTCNF2 寄存器中, 该位状态可以在软件中修改。复位后该引脚状态不再起作用
$\overline{\text{XHOLD}}$	159	I	PU	外部保持请求信号。低电平时, 请求 XINTF 释放外部总线, 并把所有外部总线和选通端置为高阻态
$\overline{\text{XHOLDA}}$	82	O/Z	—	外部保持确认信号。低电平时, 表示 XINTF 响应 $\overline{\text{XHOLD}}$ 请求, 所有 XINTF 总线和选通端为高阻态
$\overline{\text{XZCS0AND1}}$	44	O/Z	—	XINTF0 区、1 区片选
$\overline{\text{XZCS2}}$	88	O/Z	—	XINTF2 区片选
$\overline{\text{XZCS6AND7}}$	133	O/Z	—	XINTF6 区、7 区片选

续表 1.2.1

名称	引脚 编号	I/O/Z	PU/PD	功能
$\overline{\text{XWE}}$	84	O/Z	—	写使能信号,该信号波形由 XTIM- INGx(对应 XINTF 每个区)寄存器中的 Lead、Active、Trail 共同确定
$\overline{\text{XRD}}$	42	O/Z	—	读使能信号,该信号波形由 XTIM- INGx(对应 XINTF 每个区)寄存器中的 Lead、Active、Trail 共同确定。注 意: $\overline{\text{XWE}}$ 和 $\overline{\text{XRD}}$ 相反互斥
$\text{XR}/\overline{\text{W}}$	51	O/Z	—	读/写选通信号,为高时表示读周 期,为低时表示写周期
XREADY	161	I	PU	准备信号。为高时,表示外设已为 访问做好准备

时钟复位及 JTAG 信号

X1/XCLKIN	77	I		振荡器输入。注意:该引脚输入电 平应低于核心电压 1.8 ~ 1.9 V
X2	76	O		振荡器输出
XCLKOUT	119	O	—	时钟信号输出。该信号来自 SY- SCLKOUT,复位后 XCLKOUT = SY- SCLKOUT/4,可以通过配置寄存器使 XCLKOUT = SYSCLKOUT/2 或 XCLK- OUT = SYSCLKOUT,也可以关闭该输 出
TESTSEL	134	I	PD	测试引脚,保留。需接地
$\overline{\text{XRS}}$	160	I/O	PU	复位引脚(输入)和看门狗复位(输 出)。该引脚低电平使器件复位,PC 指向 0x3FFFC0,当高电平时,器件从 PC 位置开始执行。当看门狗产生复 位时,DSP 将该引脚置低 512 个 XCLKIN 周期
TEST1	67	I/O	—	测试引脚,保留。需悬空
TEST2	66	I/O	—	测试引脚,保留。需悬空
$\overline{\text{TRST}}$	135	I	PD	JTAG 测试复位,详见 TI 文档
TCK	136	I	PU	JTAG 测试时钟,详见 TI 文档
TMS	126	I	PU	JTAG 测试模式选择,详见 TI 文档
TDI	131	I	PU	JTAG 测试数据输入,详见 TI 文档