

电子工程技术丛书



高速电路 设计实践

Practice of High Speed Circuit Design

● 王剑宇 苏颖 著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

电子工程技术丛书

高速电路设计实践

王剑宇 苏颖 著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书从设计实践的角度出发,介绍了高速电路设计工作中需要掌握的各项技术技能,并结合工作中的具体案例,强化了设计中的各项要点。在本书的编写过程中,作者避免了纯理论的讲述,而是结合设计实例叙述经验,将复杂的高速电路设计,用通俗易懂的语言陈述给读者。

本书覆盖了高速电路设计所涉及的常用技术,适合电子设计专业的高年级学生,以及从事电路开发、测试的硬件工程师阅读。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

高速电路设计实践/王剑宇,苏颖著. —北京:电子工业出版社,2016.4

(电子工程技术丛书)

ISBN 978-7-121-28439-7

I. ①高… II. ①王… ②苏… III. ①印刷电路—电路设计 IV. ①TN410.2

中国版本图书馆CIP数据核字(2016)第058944号

责任编辑:刘海艳

印 刷:北京嘉恒彩色印刷有限责任公司

装 订:北京嘉恒彩色印刷有限责任公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本:787×1092 1/16 印张:18.25 字数:467.2千字

版 次:2016年4月第1次印刷

印 次:2016年4月第1次印刷

印 数:3000册 定价:49.80元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

前 言

在万兆位以太网、数据中心、高性能传输网络等技术的推动下，电路的设计趋于高速化。

目前市场上与高速电路设计相关的书籍很多，但是很难找到由第一线工程师编写的、立足于实践，以讨论高速设计为题材，结合实际工作中的案例，并加以辅助分析的书籍。本书作者长期在业界著名公司从事第一线的高速电路设计开发工作，积累了大量的设计经验，从实践中精选出六十多个经典案例，总结出两百多项设计要点，精心编著成本书，希望通过本书，对业界朋友有所帮助。

本书最大的特色是完全根源于设计实践，基本不对复杂理论和公式进行讨论，从实际工作的需要出发，将设计中所需要考虑的要点配合案例，翔实地展现在读者面前。

从参考文献列表可知，本书参考的绝大多数文献均来自器件资料，而电子设计工程师在选型和设计的过程中，面对最多的同样也是器件资料。在本书中，作者对设计要点的探讨，均围绕实际工作中常用的器件而展开，以便于增强“实践性”，避免给读者造成云里雾里的感觉。

对于高速电路的初学者而言，即使拥有很好的理论知识，但在实际项目面前，却往往感觉无从入手。以最简单的电容为例，在实际设计中，设计者们都知道容值的选择很重要，但往往容易忽略同样重要的因素，如工作温度、工作电压、封装形式，以及电容类型和成本，等等。小小的电容，最后可能是大问题的罪魁祸首，比如作者曾经遇到电路上某高速芯片工作不稳定，大量调试后发现芯片电源纹波较大，而纹波大的原因是给芯片供电的电源的去耦电容类型不对，将该电容的类型从 Y5V 替换为 X7R，问题就解决了。所以，对于缺乏经验的入门者，在设计阶段因不知道应考虑哪些因素或不能全面考虑各个因素而使设计存在大量潜在的缺陷，在调试阶段又因不知道故障的本质原因而无从入手。设计的质量当然无法得到保证。

在高速电路设计领域，真正的高手能在电路设计中做到一版成功，减少失误，节省研发费用。那么高手们是如何锻炼而成的呢？一方面需要自己的勤奋实践，另一方面更需要有“秘籍”。希望本书能成为高手们手中的一本秘籍。

全书分 8 章。

第 1 章从设计实例出发，讨论了高速电路与低速电路的区别，高速电路设计中需要着重考虑的要点，并简单介绍了硬件开发的流程以及原理图设计的要点。

第 2 章介绍了在高速电路设计中电阻、电容、电感、磁珠等器件的应用。

第 3 章介绍了逻辑器件的选型，并详细讨论了对 LVDS、LVPECL、CML 等高速电平的应用。

第 4 章介绍了电源设计的要点，结合实例，讨论了对 LDO、DC/DC 电源电路的应用，这一章还简单介绍了电源架构、电源管理、保险管选型等方面的内容。

第 5 章介绍了高速电路设计中时序的分析和设计方法。

第 6 章介绍了复位电路与时钟电路的应用及设计方法。

第 7 章对高速电路设计中常用的 SDRAM、DDR SDRAM、DDR2 SDRAM、ZBT

SRAM、QDR II SRAM、Flash、EEPROM 等存储器件的应用做了详细的介绍。

第 8 章介绍了 PCB 设计中层叠结构与阻抗的计算、信号完整性、电源完整性、EMC、防护、结构与易用性、散热、可测试性等方面的内容。

全书主体内容由王剑宇编写。在本书的编写过程中，查阅了大量的英文资料（参见参考文献列表），由苏颖负责对这些资料进行整理和翻译，同时，苏颖还负责对全书文字和插图的编辑。全书由王剑宇统稿。

高速电路设计是一个不断发展的领域，作者也在不断学习的过程中，因此必然有不少新技术无法反映在本书中，同时，由于作者技术水平和实践能力有限，书中错误之处难免，敬请读者批评指正。

本书从构思到编写完成，历时一年有余，融合的却是作者多年工作的教训、心得和体会。本书反馈邮箱为：highspeeddesign@sina.com，真诚地希望得到来自读者的宝贵意见和建议。

在本书的编写过程中，参考了大量的中外文资料，同时，在作者技术领域的成长过程中，得到了众多同事、朋友的大力帮助，在此，向这些资料的作者以及同事、朋友们表示真诚的感谢。由于日常工作繁忙，本书的编写只能利用业余时间完成，在生活上，父母给予了理解和大力支持，特此向他们表示衷心的感谢。

王剑宇，苏颖

目 录

第 1 章 概述	1
1.1 低速设计和高速设计的例子	1
【案例 1-1】 简化的存储电路模块	1
1.1.1 低速设计	1
1.1.2 高速设计	2
1.2 如何区分高速和低速	3
1.3 硬件设计流程	5
1.3.1 需求分析	6
1.3.2 概要设计	7
1.3.3 详细设计	7
1.3.4 调试	9
1.3.5 测试	9
1.3.6 转产	10
1.4 原理图设计	11
第 2 章 高速电路中的电阻、电容、电感和磁珠的选型及应用	13
2.1 电阻的应用	13
2.1.1 与电阻相关的经典案例	13
【案例 2-1】 串联电阻过大，导致板间告警失败	13
【案例 2-2】 电阻额定功率不够造成的单板潜在缺陷	14
【案例 2-3】 电阻在时序设计中的妙用	15
2.1.2 电阻应用要点	16
2.2 电容的选型及应用	17
2.2.1 与电容相关的经典案例	17
【案例 2-4】 电容失效导致低温下硬盘停止工作	17
【案例 2-5】 多次带电插拔子板导致母板上钽电容损坏	18
【案例 2-6】 高速电路中电容应用问题导致 CPU 工作不稳定	18
2.2.2 高速电路设计中电容的作用及分析	19
【案例 2-7】 交流耦合电容选择不当引起数据帧出错	20
【案例 2-8】 利用 0612 封装的电容增强滤波性能	21
【案例 2-9】 LDO 电源应用中的滤波电容 ESR 问题	22
【案例 2-10】 高频电路中 $1\mu\text{F} + 0.01\mu\text{F}$ 是否能展宽低阻抗频带	24
2.2.3 高速电路设计常用电容及其应用要点	26
【案例 2-11】 陶瓷电容选型错误导致单板丢数据包	27

【案例 2-12】 根据电路要求进行铝电容选型	29
2.2.4 去耦电容和旁路电容	31
2.3 电感的选型及应用	32
2.3.1 与电感相关的经典案例	32
【案例 2-13】 LC 低通滤波导致输出电源电压纹波偏大	32
【案例 2-14】 大电流通路 PI 型滤波造成电压衰减	33
2.3.2 高速电路设计中电感的作用	35
2.3.3 高速电路设计常用电感及其应用要点	36
2.4 磁珠的选型及应用	39
2.4.1 磁珠的滤波机理	39
2.4.2 高速电路设计中磁珠的选型及其应用要点	40
【案例 2-15】 误用磁珠造成过流保护电路失效	41
2.4.3 磁珠和电感的比较	42
第 3 章 高速电路中的逻辑器件选型及高速逻辑电平应用	44
3.1 与逻辑器件相关的经典案例	44
【案例 3-1】 逻辑器件输入端上拉太弱造成带电插拔监测功能失效	44
3.2 逻辑器件应用要点	47
3.2.1 逻辑器件概要	47
【案例 3-2】 逻辑器件驱动能力过强造成信号振铃	51
【案例 3-3】 同一型号逻辑器件的差异性造成 PHY 配置错误	51
3.2.2 逻辑器件参数介绍	52
3.2.3 逻辑器件功耗计算	60
3.2.4 逻辑器件热插拔功能介绍	62
3.2.5 逻辑器件使用中注意事项的总结	68
3.3 高速逻辑电平应用	68
3.3.1 高速逻辑电平概述	68
【案例 3-4】 差分对走线附近信号分布不均衡造成电磁辐射	70
3.3.2 LVDS 逻辑电平介绍及其应用要点	71
【案例 3-5】 空闲输入引脚处理有误导致 FPGA 检测到错误输入	73
3.3.3 LVPECL 逻辑电平介绍及其应用要点	75
3.3.4 CML 逻辑电平介绍及其应用要点	77
3.3.5 高速逻辑电平的比较	78
3.3.6 高速逻辑电平的互连及其应用要点	78
第 4 章 高速电路中的电源设计	87
4.1 与电源相关的经典案例	87
【案例 4-1】 LDO 输出电源电平低于设置值	87
【案例 4-2】 电源芯片欠压保护电路导致上电时序不满足设计的要求	88
【案例 4-3】 多电源模块并联工作时的均压措施	89

4.2	高速电路设计的电源架构	90
4.2.1	集中式电源架构	90
4.2.2	分布式电源架构	90
4.3	高速电路电源分类及其应用要点	91
4.3.1	LDO 电源介绍及其应用要点	92
	【案例 4-4】 计算 LDO 工作时的结温	95
	【案例 4-5】 SENSE 功能导致电源芯片输出电压不稳定	97
4.3.2	DC/DC 电源介绍及其应用要点	100
	【案例 4-6】 计算栅极电流	105
	【案例 4-7】 MOSFET 同时导通导致 MOSFET 损坏	108
	【案例 4-8】 -48V 缓启电路中 MOSFET 烧坏	111
	【案例 4-9】 基于 ADM1066 对多路电源实现监控	114
	【案例 4-10】 基于 LTC1422 实现上电速度的控制	115
	【案例 4-11】 基于电源芯片实现上电速度的控制	115
	【案例 4-12】 基于 RC 阻容电路实现延时功能	116
	【案例 4-13】 上电电流过大引起电感啸叫	116
	【案例 4-14】 输入电源上电过缓造成输出电源上电波形不单调	117
4.3.3	电源管理	124
4.3.4	保险管的选型及应用	124
	【案例 4-15】 热插拔单板的保险管选型	126
第 5 章 高速电路中的时序设计		127
5.1	时序设计概述	127
5.2	时序参数介绍	127
5.3	源同步系统时序设计	129
5.3.1	源同步系统时序设计原理	129
5.3.2	源同步系统时序设计范例一	131
5.3.3	源同步系统时序设计范例二	134
5.4	共同时钟系统时序设计	136
5.5	源同步系统与共同时钟系统的比较	137
第 6 章 高速电路中的复位、时钟设计		139
6.1	复位电路设计	139
6.1.1	与复位电路相关的经典案例	139
	【案例 6-1】 主控板无法通过 PCI-X 总线查询到接口板	139
6.1.2	复位设计介绍及其应用要点	141
	【案例 6-2】 存储模块读取的错误	141
6.1.3	专用复位芯片的使用	142
6.2	时钟电路设计	145
6.2.1	与时钟电路相关的经典案例	145

【案例 6-3】 系统时钟偏快的问题	145
【案例 6-4】 PHY 寄存器无法读取的问题	147
【案例 6-5】 高温流量测试丢包问题	148
6.2.2 晶体、晶振介绍及其应用要点	150
【案例 6-6】 利用首个时钟沿启动组合逻辑导致 CPU 工作不稳定	153
6.2.3 锁相环及其应用	157
【案例 6-7】 两级锁相环的应用导致 MPC8280 的 PCI 时钟失锁	162
6.2.4 时钟抖动与相位噪声	164
第 7 章 高速电路中的存储器应用与设计	172
7.1 与存储器相关的经典案例	172
【案例 7-1】 时序裕量不足导致存储器测试出错	172
7.2 常用存储器介绍及其应用要点	174
7.2.1 存储器概述	174
7.2.2 SDRAM 介绍及其应用要点	176
7.2.3 DDR SDRAM 介绍及其应用要点	188
【案例 7-2】 DLL 缺陷造成 DDR SDRAM 时序出错	192
【案例 7-3】 V_{REF} 不稳定造成存储器读写操作出错	198
7.2.4 DDR2 SDRAM 介绍及其应用要点	203
【案例 7-4】 CPU 存储系统不识别 8 位内存条的问题	211
7.2.5 SRAM 介绍及其应用要点	212
【案例 7-5】 片选处理不当导致 SRAM 数据丢失	214
7.2.6 FLASH 与 EEPROM 介绍	227
【案例 7-6】 热插拔导致单板 FLASH 损坏	227
【案例 7-7】 读取百兆光模块信息出错	231
第 8 章 高速电路中的 PCB 及其完整性设计	232
8.1 与 PCB 及完整性设计相关的经典案例	232
【案例 8-1】 回流路径缺陷对高速信号质量的影响	232
8.2 PCB 层叠结构与阻抗计算	234
8.2.1 Core 和 PP	234
8.2.2 PCB 的层叠结构和阻抗设计	234
8.3 高速电路 PCB 设计要点	241
8.3.1 PCB 设计与信号完整性	241
【案例 8-2】 传输线的判断	241
【案例 8-3】 反射的计算	242
【案例 8-4】 DDR SDRAM 设计时, 终端电阻 RTT 布放位置的选择	244
【案例 8-5】 大驱动电流信号对高速数据信号的串扰	250
【案例 8-6】 高速接口器件批次更换造成辐射超标	252
【案例 8-7】 TCK 信号出现回沟导致无法通过 JTAG 接口对 CPLD 进行加载	256

8.3.2 PCB 设计与电源完整性.....	257
8.3.3 PCB 设计中的 EMC.....	260
【案例 8-8】 网口指示灯信号线引发的辐射问题.....	264
【案例 8-9】 接口芯片与时钟驱动器共用电源，导致辐射超标.....	266
8.3.4 PCB 设计中的 ESD 防护.....	267
【案例 8-10】 TVS 管布放位置不合理导致静电放电测试失败.....	268
【案例 8-11】 GND 和 HV_GND 混用导致电源控制电路失效.....	270
8.3.5 PCB 设计与结构、易用性.....	272
【案例 8-12】 网口指示灯排列顺序出错.....	273
【案例 8-13】 网口连接器堆叠方式与易插拔特性.....	273
8.3.6 PCB 设计与散热.....	274
8.3.7 PCB 设计与可测试性.....	275
参考文献.....	279

第1章 概述

1.1 低速设计和高速设计的例子

本节通过一个简单的例子，探讨高速电路设计相对于低速电路设计需要考虑哪些不同的问题。希望读者通过本例，对高速电路设计建立一个表象的认识。至于高速电路设计中各方面的设计要点，将在后续章节展开详细的讨论。

【案例 1-1】 简化的存储电路模块

图 1.1 是一个经简化后典型的存储模块原理图。对于同样的简化原理图，根据以下两种不同的客户需求，需要设计不同的存储系统，一种是低速系统，一种是高速系统。

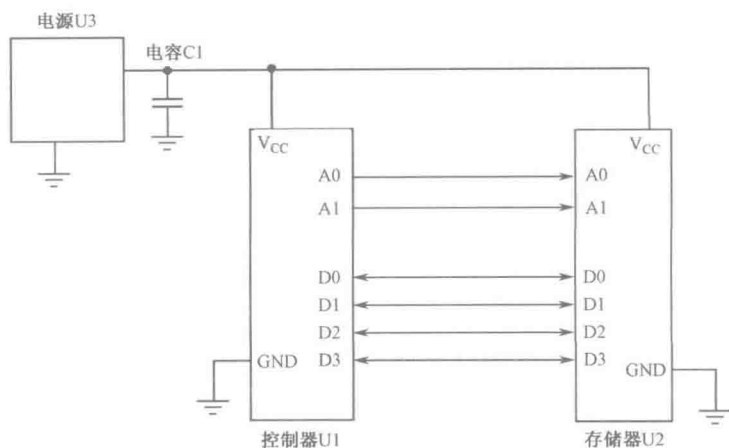


图 1.1 一个简化的存储电路模块

1.1.1 低速设计

第一个客户需求是，设计一套机床台面振动监测系统，要求每 20ms (ms: 毫秒) 检测一次振动信息，然后把数据存储到存储器内，每分钟把存储器内存储的 3000 个数据读取出来，并做一定的运算处理 (该算法的实现方式是，读取一个数据即处理一次，数据处理完成即丢弃)，得到一个体现一分钟内振动量的值，并在显示器上显示，数据读取和处理的过程不超过 1s (s: 秒)，在此期间，可以暂停数据采样。

首先进行需求分析。这是一套采样速率为 0.02 秒/次的采样系统，每 0.02s 对振动信息采样一次并存储到存储器里，则每 60s 需要对 3000 个数据进行运算处理并通过串口，将运算结果传出去。振动传感器的选型及其放大电路的设计不在本例中讨论，本例主要研究该监测系统的存储部分。另外，假定传感器输出电信号的采样值用 8 位二进制，即一个字节表示。



从成本以及功能考虑，可以选择由单片机及小容量存储器组建存储系统。

U1 选择某款 51 系列的单片机，主频为 12MHz（MHz：兆赫兹），外部总线的最高运行速率可达 1MHz，U2 选择为能和该单片机直接接口的小容量 RAM（随机存储器）。在本例中，采样速率的要求是 50Hz（每 0.02s 采样一次），则存储器写入的速度可设定为 0.0025 秒/位（0.02 秒/8 位），假定单片机对数据的处理时间相对于读取时间可以忽略，则存储器读取速度可设定为 42 微秒/位（1 秒/3000/8 位）。

主要芯片选型完成后，进行详细设计。

该电路耗电不多，因此电源 U3 选用 LDO（低压差线性稳压器），电容 C1 是电源的去耦电容，根据 U3 器件资料的要求，选取为 10 μ F（ μ F：微法）。本设计所要求的数据传输速率较慢，是一个典型的低速电路，可以采用集总式系统的思维来分析。在设计中需要考虑以下要点：

（1）CPU 和存储器选型。选择 51 系列的单片机和小容量的 RAM，这在需求分析阶段已经完成。

（2）总功耗。即 U1、U2 全速运行时，整个电路板的最大功耗，要求电源 U3 必须能提供该最大功率，且还留有 20% 的裕量。例如，U1 的最大功耗是 140mW（mW：毫瓦），U2 的最大功耗是 60mW，则要求 U3 至少能提供 240mW 的功率。如果 U1、U2 的工作电源电压 V_{CC} 都是 5V，则要求 U3 至少能提供电流 50mA（mA：毫安）。

（3）电源 U3 选型。根据第 4 章的内容，可以选择低成本且应用简单的 LDO 类型的电源器件，如 7805。

（4）电容 C1 选型。根据第 4 章的内容，选择 10 μ F 钽电容。

1.1.2 高速设计

第二个客户的需求是，设计一套应用在以太网交换机的主控板，该交换机需要支持 12 个 GE（GE：千兆以太网）口，且支持三层交换。本例仍仅讨论存储部分的设计。

简化后的原理图仍然采用图 1.1，不过在本例中，我们将采用不同的芯片来组建高速电路。这是一个典型的高速电路，需要采用分布式系统的思维来分析。

（1）CPU 选型。在三层交换机中，主控板 CPU 需要支持全系统的控制链路，还需要支持以太网的很多特性。经过仔细的性能分析后，U1 选用内部工作频率达 1.5GHz（GHz：吉赫兹，1GHz = 10³MHz）的 Freescale 公司的 PowerPC：MPC8547。

（2）存储器选型。根据性能需要，U2 选用 Micron 公司的数据速率达 667Mbps（Mbps：兆比特位每秒）的 DDR2 SDRAM DIMM 条，总容量为 1GB（GB：吉字节）。本书第 7 章将详细讨论 DDR2 SDRAM 存储器的选型与应用。

（3）电源选型。为简化描述，此处仅考虑 MPC8547 和 DDR2 SDRAM DIMM 条之间共同的电源 1.8V，并假设图 1.1 中 V_{CC} 为 1.8V。U3 需选择能输出 1.8V 的 DC/DC 电源芯片，具体选型考虑的因素将在本书第 4 章中介绍。DC/DC 电源芯片的工作需要配合电感、MOSFET（金属半导体场效应管）、电容等器件。对电感、电容等器件的选型，可参考本书第 2 章的内容，对 MOSFET 器件的选型，可参考本书第 4 章的内容。

（4）电容 C1 选型。C1 可选择为 220 μ F 的钽电容，具体选型的依据将在本书第 4 章中介绍；根据 U1 和 U2 的工作电压，C1 的额定电压可以选择为 6.3V；根据 PCB（PCB：印



制电路板)的空间要求,电容的尺寸可选择为 2412(将在本书第 2 章中介绍);为保证 U1 和 U2 的稳定工作,要求电容精度达到 10%;由于运行速度快,该电容还需要有较小的 ESR(等效串阻)以实现快速响应。对电容的选型,将在第 2 章中详细介绍。

(5) 除 C1 以外,还需要给 V_{CC} 提供其他电容,以滤除电源电路上的干扰。在本书第 4 章和第 8 章中将介绍,当器件高速运行时,在电源 V_{CC} 上将产生较大的高频噪声,为了保证高速器件获得干净的电源,需要在 U1 和 U2 的每个 V_{CC} 电源引脚处,就近放置一个容值为 0.1 μ F 或者 1 μ F 的陶瓷电容;根据 PCB 上可使用的面积,建议选择小尺寸封装的电容,如 0402 尺寸;在功耗较大的设计中,还应考虑温度稳定性,需要选用 X7R 的电容类型;根据器件工作电压,电容的额定电压可选择为 10V。这一部分的选型,涉及本书第 2、4 章的相关内容。

(6) 逻辑器件选型。在 U1 和 U2 之间,如果由于速率或者工作电压不同而无法直接接口,则还需要用到逻辑器件以实现桥接,可参考本书第 3 章的相关内容进行逻辑器件的选型和应用。

(7) 时序分析。高速电路中,信号在 PCB 上的走线长度对器件的时序要求至关重要,本书第 5 章将详细介绍时序分析和设计的方法。

(8) 复位和时钟电路设计。MPC8547 有多种复位要求,如上电复位、硬件复位、软件复位等,同时还要求提供多种时钟(如内核工作时钟,接口时钟等),关于复位和时钟电路的详细设计要求,可参考本书第 6 章的内容。

(9) 原理图和 PCB 的设计。经过前面的步骤,在完成对各种器件的选型后,对原理图的绘制,可参考本书第 1 章的内容,而对 PCB 的设计,可参考本书第 8 章的内容。

(10) 防护和 EMC(电磁兼容性)设计。对高速接口,还需要参考本书第 8 章的内容,以进行防护和 EMC 设计。

(11) 调试。设计完成后,需要验证电路的功能。该设计属于高速设计,因此,还需要对单板上的电源、高速信号等进行相关测试,相关内容将在第 4、7、8 章介绍。

由此可见,相对低速电路设计,高速电路设计要求设计者考虑的因素更多,本书的后续章节,将一一探讨这些内容。

1.2 如何区分高速和低速

高速设计区别于低速设计,简单来说,就是分布式系统思维和集总式系统思维的区别。

那么,多高的信号速度才算高速?在讨论这个问题之前,需要注意避免进入以下两个误区。

误区 1 信号周期频率 F_{clock} 高的才属于高速设计。事实上,设计中需要考虑的最高频率往往取决于信号的有效频率(或称转折频率) F_{knee} 。^[1]

如图 1.2 所示, T_{clock} 是信号的时钟周期, $T_{r(10\% \sim 90\%)}$ 是信号的 10%~90% 上升时间,则信号的周期频率与有效频率分别定义为

$$F_{\text{clock}} = 1/T_{\text{clock}} \quad (1.1)$$

$$F_{\text{knee}} = 0.5/T_{r(10\% \sim 90\%)} \quad (1.2)$$

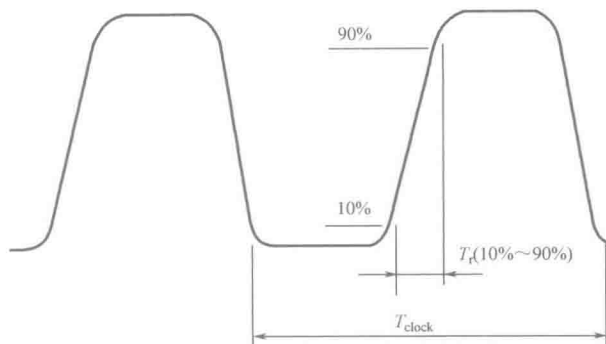


图 1.2 信号的时钟周期和 10%~90% 上升时间

由数字信号处理的知识可知，现实世界中的任何信号都是由多个频率分量的正弦波叠加而成的。以方波为例，周期频率为 F 的理想方波，由频率为 F 的正弦波及其奇数次谐波（频率分别为 $3F$ 、 $5F$ 、 $7F$ 等）组成，定义各正弦波分量的幅值为 V_N ，其计算公式为

$$V_N = 2 / (3.14 \times N) \quad (1.3)$$

根据式 (1.3)，一次谐波分量的幅值 $V_1=0.64V$ ，三次谐波分量的幅值 $V_3=0.21V$ ，五次谐波分量的幅值 $V_5=0.13V$ 。即随着频率的升高，各级谐波分量的幅值与频率成反比。

现实中的信号，随着频率的升高，其各级谐波分量的幅值比理想方波中相同频率正弦波分量的幅值下降得更快，直到某级谐波分量，其幅值下降到理想方波中对应分量的 70%（即功率下降到 50%），定义该谐波分量的频率为信号的有效频率^[57]。对现实中的多数信号而言，有效频率可由式 (1.2) 计算。

误区 2 电容、电感是理想的器件。

在低速领域，电容、电感的工作频段比较低，可以认为它们都是理想的器件。但在高速领域，电路板上的电容、电感等已经不能被简单地视为纯粹的电容、电感。例如，当电路的两端用一个电容 C 相连时，在低速电路中，这两端被视为断路，而在高速电路中，假定其工作频率为 F ，则电容 C 表现出的电抗值为 $1/(2\pi F \times C)$ ，在工作频率很高的情况下，该电容 C 的电抗值变得很小，表现为短路。同理，在低速电路中表现为短路的电感，在高速电路中将表现为断路。本书第 2 章将详细介绍在何种频率点上，电容和电感将发生这种属性的变化。

在认清了以上两个误区后，我们再重新回到如何区分低速信号与高速信号的问题。

这里讲的低速信号为传输路径上各点的电平大致相同的信号，高速信号为传输路径上各点电平存在较大差异的信号。

对低速信号而言，由于传输路径上各点电平近似相同，因此，可采用集总式的思维来看待传输路径，即传输路径上各点的状态相同，在分析时，可被集中成一点；对高速信号而言，传输路径上各点的电平不同，需采用分布式的思维来看待传输路径，即不能将传输路径集中成一点来看待，而应视为多个状态不同的点。

由此可知，高速与低速的区分，不仅取决于信号频率，还取决于信号传输路径的长度，仅仅依据信号频率，并不能做出信号属于高速还是低速的结论。

一般而言，在信号传输路径的长度（即信号线的长度）小于信号有效波长的 $1/6$ 时，可认为在该传输路径上，各点的电平状态近似相同。

信号波长与信号频率的关系如下：

$$\lambda = c/F \quad (1.4)$$



式中 λ ——信号波长；

c ——信号在 PCB 上传输的速度，该速度略低于光速，与信号走线所在的层有关，为讨论方便起见，此处将 c 视为常数；

F ——信号的频率。

在 c 为常数的前提下， λ 与 F 成反比，即信号频率 F 越高，其波长越短，则低速和高速分水岭的信号线长度越短，反之亦然。

因此，在信号频率已知的前提下，可以确定低速和高速分水岭的信号线长度。显然，根据前面的讨论，此处的信号频率应采用信号的有效频率 F_{knee} 而不是信号的周期频率 F_{clock} 。

综合上述，区分高速和低速信号的步骤如下：

第一步，获得信号的有效频率 F_{knee} 和走线长度 L 。

第二步，利用 F_{knee} 计算出信号的有效波长 λ_{knee} 。

第三步，判断 L 与 $1/6 \times \lambda_{\text{knee}}$ 之间的关系，若 $L > 1/6 \times \lambda_{\text{knee}}$ ，则信号为高速信号，反之，则为低速信号。

在以上步骤中，需注意以下两点。

(1) 如何获得信号的有效频率 F_{knee} 呢？在有测试板等现成电路的情况下，可直接测量信号的 10%~90% 上升时间，再利用式 (1.2) 即可计算得到 F_{knee} 的值。而在没有现成电路的情况下，可假设信号的上升沿时间为信号周期的 7%^[57]，此时，信号有效频率 F_{knee} 约为信号周期频率 F_{clock} 的 7 倍，例如，周期频率为 100MHz 的时钟信号，可估计其有效频率约为 700MHz。

(2) 第一点对极高频信号（如频率在 1GHz 以上的信号）并不成立，极高频信号的上升沿很缓，上升时间甚至可能达到信号周期的 20%，因此，再利用 F_{knee} 的计算公式已经没有意义，同时，判断极高频信号属于高速还是低速，本身也是一件没有意义的事情。

对所有的高速信号，应视做传输线处理，本书第 8 章将详细讨论传输线的应用及设计要点。

理解要点：

- ① 信号的最高频率成分取决于其有效频率而不是周期频率。
- ② 高速电路设计中，电容、电感等都不是理想的器件。
- ③ 高速信号指传输路径上各点电平存在较大差异的信号。高速与低速的区分，不仅取决于信号频率，还取决于信号传输路径的长度。
- ④ 信号频率越高，则低速和高速分水岭的信号线长度越短，反之亦然。



1.3 硬件设计流程

高速电路设计属于硬件设计，对从事高速电路设计的工程师而言，需掌握从需求分析到大规模生产的各个环节。本小节将简单地对这些环节进行介绍，本节内容虽不针对高速电路设计，但却是高速电路设计者必须了解的。

硬件设计的流程分为以下几个步骤：需求分析、概要设计、详细设计、调试、测试、转产。



1.3.1 需求分析

需求分析是硬件设计的第一步，也是最关键的一步。在需求分析阶段，只有充分地理解了客户的需求，才能有针对性地开展器件选型、方案规划等工作。

需求的种类很多，与硬件开发相关的有以下几类。下文以某以太网产品的需求分析为例，进行简单的介绍。

(1) 整体性能要求：如数据包转发能力、处理延时、最高处理带宽、CPU 处理能力等。针对这些要求，可初步进行 CPU、存储器、交换芯片等器件的选型。

(2) 功能要求：如 QoS (Quality of Service, 服务质量)、各类以太网相关协议的实现等。针对功能要求，可对多个厂家提供的交换芯片等器件做进一步细分，筛选能满足所有功能要求的器件。

(3) 成本要求：成本分析是需求分析中重要的一步，在满足客户需求的前提下，尽可能地降低成本，是硬件工程师的重要职责。在成本的分析中，应计算各套方案下单板的总成本，在某些场合，还需计算单个用户接口的成本。例如，某客户提出的需求是 1000 个以太网接口，针对该需求，提出了两套方案，分别是单块业务板提供 24 和 48 个接口，相对前者，后者对 CPU 和存储器的要求比较高，在这种情况下，计算单个接口的成本比计算整个单板的成本更有意义。

(4) 用户接口要求：如接口的种类、数目，指示灯及其规范、复位键、电源按钮等。同时，该类需求还包括与用户操作相关的要求，如对单板状态的在线监控等。这类要求多着眼于细节，不太会影响关键器件的选型，但若忽略了其中的某一项，即可能导致整个产品的失败。例如，某产品的用户面板上提供有主、备两个串口，分别标识为“Master”和“Slave”，由于“Slave”在英文中有奴隶的含义，违反了某些地区对电子产品标识的规定，导致该产品在这些地区无法销售。

(5) 功耗要求：功耗要求是单板上电源功率分配的依据，涉及电源架构的设计、电源电路器件的选型。

某以太网产品的需求分析报告如表 1.1 所示。

表 1.1 某以太网产品的需求分析报告

	方案 1	方案 2	方案 3
接口种类与数目	24 个千兆口	48 个千兆口	24 个千兆口
CPU	MPC850	MPC8360	MPC850
存储器	64MB	512MB	128MB
二、三层交换	支持	支持	支持
QoS	4 个优先级队列	16 个优先级队列	8 个优先级队列
MAC 地址学习能力	4096 个	16384 个	8192 个
数据转发延时	高	低	中
总功耗	96W	150W	105W
总成本	960 美元	2160 美元	1008 美元
单口功耗	4W	3.125W	4.375W
单口成本	40 美元	45 美元	42 美元



针对表 1.1, 补充说明一点, 表中所计算得到的单口成本并未考虑机框、用户机房占用面积的成本, 方案 1 和方案 3 的单口成本低于方案 2, 但方案 2 中, 单块单板拥有更多的接口数目, 因此, 相对另外两种方案, 更能节省机框和机房面积的成本, 在这种情况下, 又需要结合总成本来考虑。

需求分析阶段的工作是制定设计的大方向, 不能忽略细节, 但也不能拘泥于细节。需求分析阶段的工作并不是哪一个特定工程师的工作, 而应由项目经理、系统工程师、电子设计工程师、软件工程师、逻辑工程师等协作完成。

1.3.2 概要设计

从概要设计阶段开始, 软件、硬件工程师开始分头工作, 本小节只讨论硬件方面的工作。

硬件概要设计的主要任务是设计系统框图、关键链路连接图、时钟分配框图等, 并制定电源设计总体方案, 对信号完整性及 EMC 的可行性、结构与散热的可行性、测试可行性等环节, 做初步的分析。在这一阶段, 需要电子设计工程师、电源工程师、信号完整性工程师、结构与热设计工程师、EMC 工程师、测试工程师等协同工作。

需求分析的目标是选定一套最佳的方案, 确定关键器件及总体架构, 而概要设计则是对该架构做进一步的细化, 在概要设计阶段, 与硬件设计相关的各部门工程师开始介入并做可行性分析, 若发现总体方案的某些方面不可行, 应回馈给项目经理, 重新进行需求分析, 并更改方案。因此, 可以认为, 需求分析和概要设计这两个阶段是螺旋形前进并不断反复的过程。

1.3.3 详细设计

概要设计完成后, 单板的总体框架已经确定, 则在详细设计阶段需要完成的工作是, 基于该框架, 将每一个部分细化。以下简要地介绍各职能部门工程师的职责。

1. 电子设计工程师

电子设计工程师负责各个总线接口信号的定义, CPU 存储空间分配, 时钟、复位电路器件选型及其拓扑结构, 中断链路拓扑结构, 电源电路的详细框图(需注明各路电源的产生方式、电压值、电流值等), 关键电源的滤波方式, 逻辑器件功能及其寄存器说明书, 面板上用户接口的定义及接口信号连接关系, 指示灯器件的选型及其连接关系, 最后绘制原理图并产生物料清单。在详细设计阶段的后期, 应开始测试计划的制订。

2. PCB 设计工程师

根据电子设计工程师提供的原理图及对应的网表, 结合信号完整性工程师提供的走线规则和层叠结构, 完成 PCB 的设计, 并生成可供工厂生产使用的文件。

3. 信号完整性工程师

根据电子设计工程师提供的详细设计文档, 同时根据板内高速信号的信号质量及时序要求, 设计 PCB 层叠结构, 基于前仿真的结果定义信号的走线规则, 在 PCB 走线完成