

电气信息类
精品系列

FPGA应用技术 及实践 (第2版)

◎主 编 刘睿强

◎副主编 冀 云 尹洪剑

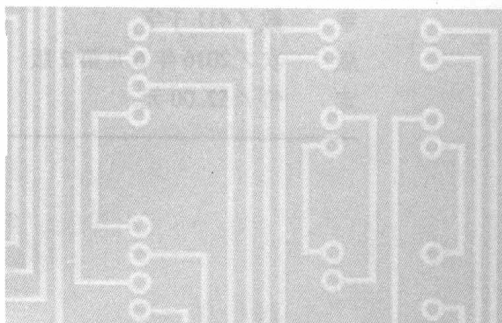
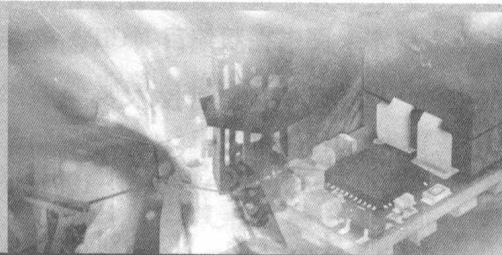




FPGA应用技术 及实践 (第2版)

◎主 编 刘睿强

◎副主编 冀 云 尹洪剑



内 容 简 介

EDA 是当今世界上最先进的电子电路设计技术, 其重要作用逐步被我国的产业界、科技界和教育界认可。本书共 7 章, 第 1 章 EDA 技术概述, 主要讲 EDA 的含义, 常用的 EDA 工具及 EDA 设计流程、发展趋势及应用。第 2 章可编程逻辑器件及 FPGA 开发简介, 主要讲可编程逻辑器件的含义、发展历程及其基本结构, CPLD 和 FPGA 的基本结构、特点及开发应用的不同, Xilinx 新型系列器件。第 3 章基于 Isim 的开发环境使用指南, 主要讲基于 ISE 的 FPGA 开发流程, ISE 11.1 设计输入、综合、实现及下载等基本操作方法, ISE 11.1 的在线逻辑分析仪的使用。第 4 章第三方工具介绍, 主要讲 Modelsim 和 Synplify Pro 的安装过程, 利用 Modelsim 进行功能和时序仿真的流程, 利用 Synplify Pro 进行综合的流程。第 5 章简单数字逻辑电路的设计, 主要讲基于 Xilinx FPGA 的简单数字逻辑电路设计, 基于 ISim 的数字逻辑电路仿真。第 6 章 EDA 技术综合设计应用, 主要讲基于 Xilinx FPGA 的复杂数字逻辑电路的设计方法, 数字逻辑电路的仿真方法。第 7 章基于 FPGA 的嵌入式系统开发, 主要讲基于 FPGA 的可编程嵌入式系统开发, EDK 嵌入式设计流程, EDK 嵌入式设计的操作方法。

本书在编写过程中邀请相关企业一线工程师参与编写工作, 突出实用性、针对性, 本书可作为高等院校工科电子信息类、通信类、自动化类专业师生及相关工程技术人员、FPGA/CPLD 初学者的参考用书。

版权专有 侵权必究

图书在版编目 (CIP) 数据

FPGA 应用技术及实践/刘睿强主编. —2 版. —北京: 北京理工大学出版社, 2016. 6

ISBN 978-7-5682-1997-6

I. ①F… II. ①刘… III. ①可编程序逻辑器件-系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2016) 第 051023 号

出版发行 / 北京理工大学出版社有限责任公司

社 址 / 北京市海淀区中关村南大街 5 号

邮 编 / 100081

电 话 / (010) 68914775 (总编室)

(010) 82562903 (教材售后服务热线)

(010) 68948351 (其他图书服务热线)

网 址 / <http://www.bitpress.com.cn>

经 销 / 全国各地新华书店

印 刷 / 三河市华骏印务包装有限公司

开 本 / 787 毫米×1092 毫米 1/16

印 张 / 17.5

字 数 / 411 千字

版 次 / 2016 年 6 月第 2 版 2016 年 6 月第 1 次印刷

定 价 / 52.00 元

责任编辑 / 王艳丽

文案编辑 / 王艳丽

责任校对 / 周瑞红

责任印制 / 李志强

图书出现印装质量问题, 请拨打售后服务热线, 本社负责调换

目 录

Contents

► 第1章 EDA 技术概述	1
1.1 EDA 技术及其发展	1
1.1.1 EDA 技术的含义	2
1.1.2 EDA 技术的发展历程	2
1.2 EDA 技术的主要内容	3
1.2.1 自顶向下的设计方法	3
1.2.2 ASIC 设计	4
1.2.3 硬件描述语言	5
1.2.4 主要 PLD 厂商概述	6
1.3 常用的 EDA 工具	7
1.3.1 设计输入编辑器	8
1.3.2 HDL 综合器	8
1.3.3 仿真器	9
1.3.4 适配器	9
1.3.5 下载器	9
1.4 EDA 设计流程	10
1.4.1 设计输入	10
1.4.2 综合	11
1.4.3 适配	11
1.4.4 时序仿真与功能仿真	12
1.4.5 编程下载	12
1.4.6 硬件测试	12
1.5 EDA 技术的发展趋势	13
1.6 EDA 技术的应用	14
1.6.1 EDA 技术的应用形式	14
1.6.2 EDA 技术的应用场合	14
本章小结	15
思考与练习	15

▶ 第 2 章 可编程逻辑器件及 FPGA 开发简介	17
2.1 可编程逻辑器件基础	17
2.1.1 可编程逻辑器件简介	17
2.1.2 可编程逻辑器件的发展历史	18
2.1.3 可编程逻辑器件的基本结构	19
2.1.4 可编程逻辑器件的分类	20
2.2 CPLD 的基本结构及特点	20
2.3 FPGA 的基本结构及特点	28
2.4 FPGA 和 CPLD 的开发应用选择	34
2.4.1 FPGA 和 CPLD 的性能比较	34
2.4.2 FPGA 和 CPLD 的开发应用选择	35
2.5 Xilinx 新型系列器件简介	36
2.5.1 Spartan 系列	36
2.5.2 Virtex 系列	40
本章小结	45
思考与练习	45
▶ 第 3 章 基于 ISE 的开发环境使用指南	46
3.1 ISE 的安装与基本操作	46
3.1.1 ISE 软件介绍	46
3.1.2 ISE 软件的安装	48
3.1.3 ISE 软件的基本操作	52
3.2 ISE 的工程建立与设计输入	58
3.2.1 ISE 的工程建立	58
3.2.2 基于 ISE 的 HDL 代码输入	61
3.2.3 基于 ISE 代码模板的使用	64
3.2.4 基于 ISE 的原理图输入法	66
3.2.5 基于 ISE 的 IP Core 的使用	69
3.3 基于 ISE 的仿真	74
3.4 基于 ISE 的综合与实现	78
3.4.1 基于 Xilinx XST 的综合	78
3.4.2 基于 ISE 的实现	86
3.5 FPGA 配置与编程	97
3.5.1 Xilinx FPGA 配置电路综述	97
3.5.2 iMPACT 的基本操作	101
3.5.3 使用 iMPACT 创建配置文件	104
3.6 约束文件的编写	113
3.6.1 约束文件的定义	114
3.6.2 UCF 文件的语法说明	114

3.6.3 ISE 中 UCF 的编写	115
3.7 集成化逻辑分析仪	120
3.7.1 Chipscope Pro——集成化逻辑分析工具简介	120
3.7.2 Chipscope Pro 的使用流程	121
3.7.3 Chipscope Pro Inserter 的操作和使用	121
3.7.4 Chipscope Pro Analyzer 使用流程	127
本章小结	132
思考与练习	132
► 第 4 章 第三方工具介绍	134
4.1 Modelsim SE 6.2 软件的使用	134
4.1.1 Modelsim SE 6.2 软件的安装	135
4.1.2 利用 Modelsim SE 6.2 进行功能仿真	135
4.1.3 利用 Modelsim SE 6.2 进行时序仿真	138
4.2 Synplify Pro 软件的使用	143
4.2.1 Synplify Pro 9.0.1 软件的安装	143
4.2.2 Synplify Pro 9.0.1 软件的使用	144
本章小结	150
思考与练习	150
► 第 5 章 简单数字逻辑电路的设计	151
5.1 基于 Xilinx FPGA 的组合逻辑电路设计	151
5.1.1 基本逻辑门电路设计	152
5.1.2 编码器设计	158
5.1.3 译码器设计	159
5.1.4 数值比较器设计	160
5.1.5 数据选择器设计	162
5.1.6 总线缓冲器设计	163
5.2 时序逻辑电路设计	165
5.2.1 时钟信号和复位信号	165
5.2.2 触发器设计	166
5.2.3 移位寄存器	168
5.2.4 计数器设计	169
5.2.5 分频器设计	171
5.3 存储器设计	171
5.3.1 只读存储器 ROM	172
5.3.2 随机存储器 RAM	173
5.3.3 FIFO 的设计	175

5.4 有限状态机的设计	179
5.4.1 有限状态机原理	179
5.4.2 有限状态机分类	179
5.4.3 有限状态机设计	180
本章小结	184
思考与练习	184
▶ 第 6 章 EDA 技术综合设计应用	185
6.1 实验一 基本逻辑门设计	185
6.2 实验二 基于原理图的基本逻辑门设计	186
6.3 实验三 四选一数据选择器设计	188
6.4 实验四 七人表决器设计	189
6.5 实验五 用 Verilog HDL 设计四人抢答器	190
6.6 实验六 基于 IP 核的四位乘法器设计	191
6.7 实验七 带复位端同步分频器设计	194
6.8 实验八 移位寄存器设计	194
6.9 实验九 有限状态机设计	195
6.10 实验十 状态机控制流水灯	196
6.11 实验十一 时钟及数码管驱动实验	197
6.12 实验十二 4×4 矩阵键盘实验	199
▶ 第 7 章 基于 FPGA 的嵌入式系统开发	201
7.1 可编程嵌入式系统介绍	201
7.1.1 基于 FPGA 的嵌入式系统	201
7.1.2 Xilinx 公司的嵌入式解决方案	202
7.2 EDK 简介	203
7.2.1 EDK 的介绍	203
7.2.2 EDK 设计的实现流程	204
7.2.3 EDK 的文件管理架构	207
7.3 XPS 软件基本操作	208
7.3.1 利用 BSB 创建新工程	209
7.3.2 XPS 的用户界面	217
7.4 XPS 软件的高级操作	221
7.4.1 XPS 的软件输入	221
7.4.2 XPS 工程的实现和下载	225
7.5 EDK 开发实例	230
7.5.1 DDR SDRAM 控制器的工作原理	230

7.5.2 DDR SDRAM 控制器的基本要求	231
7.5.3 DDR SDRAM 控制器的 EDK 实现	231
本章小结	243
思考与练习	243
► 附录 部分实验 Verilog HDL 代码	244
► 参考文献	268

第 1 章

EDA 技术概述

【知识目标】

- (1) 了解 EDA 的含义;
- (2) 掌握常用的 EDA 工具及 EDA 设计思想;
- (3) 了解 EDA 技术的发展趋势及应用。

【技能目标】

- (1) 熟练使用 EDA 的相关工具;
- (2) 熟练掌握 EDA 的设计流程。

【重点难点】

- (1) EDA 工具的熟练使用;
- (2) 利用 EDA 工具进行相关设计。

【参考学时】

6 学时。

1.1 EDA 技术及其发展

人类社会已进入高度发达的信息化社会,信息社会的发展离不开电子产品的进步。现代电子产品在性能提高、复杂度增大的同时,价格一直呈下降趋势,而且产品更新换代的步伐也越来越快,实现这些进步的主要推动因素是生产制造技术和电子设计技术的发展。前者以微细加工技术为代表,目前已发展到深亚微米阶段,可以在几平方厘米的芯片上集成数千万个晶体管;后者的核心就是 EDA (Electronic Design Automation) 技术。EDA 是指以计算机为工作平台,融合了应用电子技术、计算机技术、智能化技术的最新成果而研制成的电子 CAD (Computer Aided Design) 通用软件包,它主要能辅助进行三方面的设计工作:IC (Integrated Circuit) 设计,电子电路设计以及 PCB (Printed Circuit Board) 设计。本教材主要讨论的是利用 EDA 技术进行电子电路设计这一方面。没有 EDA 技术的支持,想要完成上述超大规模集成电路的设计

制造是不可想象的;反过来,生产制造技术的不断进步又必将对 EDA 技术提出新的要求。

20 世纪 90 年代,国际上电子和计算机技术较先进的国家一直在积极探索新的电子电路设计方法,并在设计方法、工具等方面进行了彻底的变革。在电子技术设计领域,可编程逻辑器件的应用已经广泛普及,这些器件为数字系统的设计带来了极大的灵活性。它们可以通过软件编程而对其硬件结构和工作方式进行重构,从而使得硬件的设计可以像软件设计那样方便快捷。这一切极大地改变了传统数字系统的设计方法、过程和观念,促进了 EDA 技术的迅速发展。

1.1.1 EDA 技术的含义

20 世纪末,数字电子技术的飞速发展有力地推动了社会生产力的发展和社会信息化的提高,数字电子技术的应用也已经渗透人类生活的各个方面。从计算机到手机,从数字电话到数字电视,从家用电器到军用设备,从工业自动化到航天技术,都广泛采用数字电子技术。

微电子技术的进步是现代数字电子技术发展的基础。目前,在硅片单位面积上集成的晶体管数量越来越多,1978 年推出的 8086 微处理器芯片集成的晶体管数是 4 万只,到 2000 年推出的 Pentium 4 微处理器芯片的集成度达 4 200 万只晶体管。原来需要成千上万只电子元件组成的一台计算机主板或彩色电视机电路,现在仅用几片超大规模集成电路就能代替,现代集成电路已经能够实现单片电子系统(System on a Chip, SoC)的功能。

现代电子系统设计技术的核心是 EDA 技术。EDA 技术就是依靠功能强大的电子计算机,在 EDA 工具软件平台上对以硬件描述语言(Hardware Description Language, HDL)为系统逻辑描述手段而完成的设计文件,自动地完成逻辑编译、化简、分割、综合、优化、仿真等操作,直至下载到可编程逻辑器件 CPLD (Complex Programmable Logic Device)/FPGA (Field Programmable Gate Array) 或专用集成电路(Application Specific Integrated Circuits, ASIC) 芯片中,实现既定的电子电路设计功能。EDA 技术使得电子电路设计者的工作仅限于利用硬件描述语言和 EDA 软件平台来完成对系统硬件功能的实现,极大地提高了设计效率,缩短了设计周期,节省了设计成本。

1.1.2 EDA 技术的发展历程

EDA 是在 20 世纪 90 年代初从计算机辅助设计(Computer Aided Design, CAD)、计算机辅助制造(Computer Aided Manufacturing, CAM)、计算机辅助测试(Computer Aided Test, CAT)和计算机辅助工程(Computer Aided Engineering, CAE)的概念中发展而来的。一般把 EDA 技术的发展分为 CAD、CAE 和 ESDA (Electronic System Design Automation) 三个阶段。

1. CAD 阶段

CAD 是 EDA 技术发展的早期阶段(20 世纪 60 年代中期到 20 世纪 80 年代初期)。在这个阶段,人们开始利用计算机代替手工劳动。但当时的计算机硬件功能有限,软件功能较弱,人们主要借助计算机对所设计的电路进行一些模拟和预测,辅助进行集成电路版图编辑、印制电路板 PCB 布局布线等简单的版图绘制类工作,但是设计各阶段的软件彼此独立,不利于快速设计,并且这些软件不具备系统级的仿真与综合,不利于复杂系统设计。

2. CAE 阶段

20 世纪 80 年代初期到 20 世纪 90 年代初期,CAE 在 CAD 的工具逐步完善的基础上发展起来。这一时期,人们在设计方法学、设计工具集成化方面取得了长足的进步,可利用计

算机作为单点设计工具,建立各种设计单元库,并开始用计算机将各种元件库以及许多单点工具,如原理图输入、编译链接、电路模拟、测试码生成、版图自动布局布线等,集成在一起使用,大大提高了工作效率。

3. ESDA 阶段

进入 20 世纪 90 年代后,微电子工艺有了惊人的发展,工艺水平已经达到了深亚微米级,在一个芯片上已经可以集成上百万乃至上亿只晶体管,芯片速度达到了吉比特/秒量级。百万门以上的可编程逻辑器件陆续面世,对电子设计的工具提出了更高的要求,促进了 EDA 技术的形成。特别重要的是世界各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件,都有效地将 EDA 技术推向成熟。

与早期的 CAD 相比,EDA 的自动化程度更高、功能更完善、界面更友好,并且具有良好的数据开放性、互换性和兼容性。其基本特征如下。

1) 硬件电路的软件设计方式

设计输入可以是原理图、波形、VHDL 语言,下载配置前的整个过程几乎不涉及任何硬件。而硬件设计的修改工作也如同修改软件程序一样快捷方便,即通过软件方式的设计与测试,达到对特定功能硬件电路的设计实现,体现了硬件电路软件操作的新思路。

2) 自动化程度更高且直面产品设计

EDA 技术根据设计输入文件(HDL 或电原理图),能利用计算机自动进行逻辑编译、化简、综合、仿真、优化、布局、布线、适配以及下载编程、生成目标系统等操作,即将电子产品从电路功能仿真、性能分析、优化设计到结果测试的全过程在计算机上自动处理完成。

3) 集成化程度更高,可构建片上系统

EDA 设计方法又称为基于芯片的设计方法。随着大规模集成芯片的发展,更加复杂的数字系统芯片化设计和专用集成电路 ASIC 设计均已成为可能。

4) 目标系统可现场编程,在线升级

5) 开发周期短、设计成本低,设计灵活度高

1.2 EDA 技术的主要内容

1.2.1 自顶向下的设计方法

电子产品的传统设计方法是采用“自底向上”(Bottom Up)的设计思路,即首先确定可用的标准通用集成电路芯片,其次根据这些芯片和其他元器件进行模块设计,最后形成系统。这种设计方法的主要缺点有:设计依赖于手工和经验;设计依赖于现有的通用元器件;自下而上设计思想的局限,只有在设计出样机或生产出芯片后才能进行实测;设计实现周期长,灵活性差,耗时耗力,效率低下。

EDA 技术采用一种“自顶向下”的全新设计方法,这种设计方法首先从系统设计入手,在顶层进行功能方框图的划分和结构设计;在方框图级进行仿真、纠错,并用硬件描述语言(HDL)对高层次的系统行为进行描述;在系统级进行验证,然后用综合优化工具生成具体门电路的网表,其对应的物理实现级可以是印制电路板或专用集成电路。图 1-1 所示为传统设计流程与 EDA 设计流程比较。

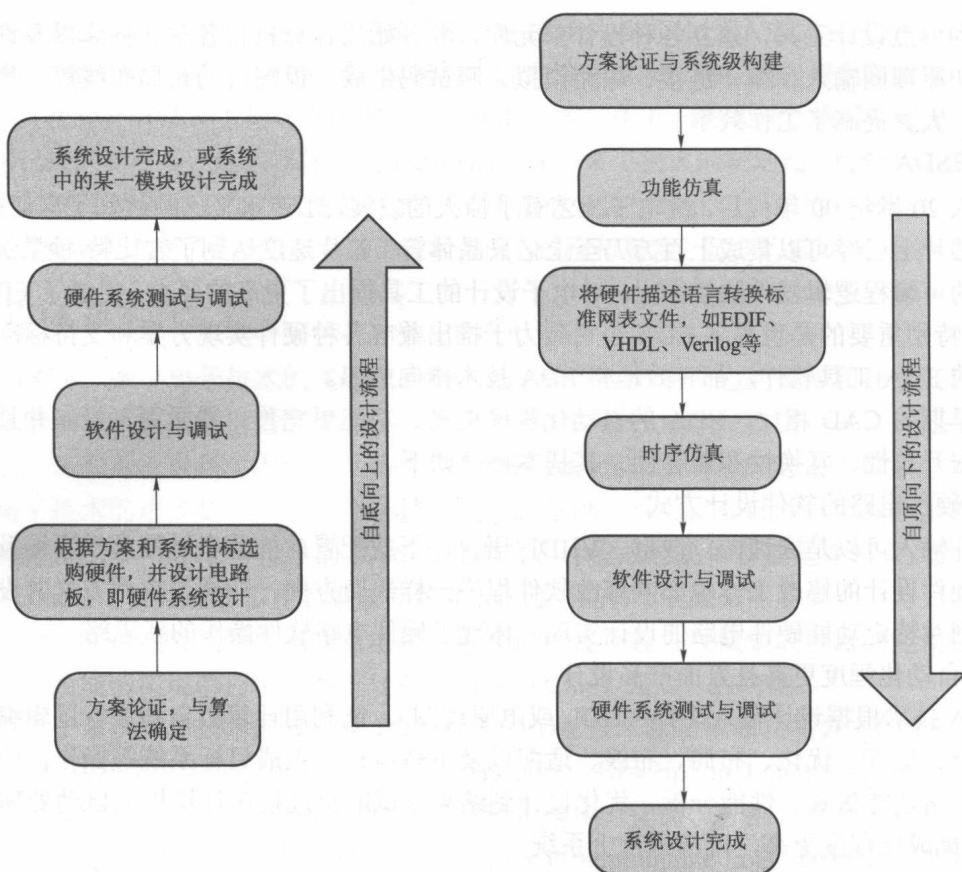


图 1-1 传统设计流程与 EDA 设计流程比较

小提示

由于 EDA 设计的主要仿真和调试过程是在高层次上完成的，这一方面有利于早期发现结构设计上的错误，避免设计工作的浪费，另一方面也减少了逻辑功能仿真的工作量，提高了设计的一次成功率。

1.2.2 ASIC 设计

现代电子产品的复杂度日益加深，一个电子系统可能由数万个中小规模集成电路构成，这就带来了体积大、功耗大、可靠性差的问题，解决这一问题的有效方法就是采用 ASIC 芯片进行设计。ASIC 是相对于通用集成电路而言的，主要指用于某一专门用途的集成电路器件。ASIC 按照设计方法的不同可分为：全定制 ASIC 和半定制 ASIC。

设计全定制 ASIC 芯片时，设计师要定义芯片上所有晶体管的几何图形和工艺规则，最后将设计结果交由 IC 厂家掩膜制造完成。其优点是：芯片可以获得最优的性能，即面积利用率高、速度快、功耗低。如果设计较为理想，全定制能够比半定制的 ASIC 芯片运行速度更快。缺点是：开发周期长，费用高，只适合大批量产品开发。

半定制 ASIC 芯片是使用库里的标准逻辑单元（Standard Cell），设计时可以从标准逻辑

单元库中选择 SSI (门电路)、MSI (如加法器、比较器等)、数据通路 (如 ALU、存储器、总线等)、存储器甚至系统级模块 (如乘法器、微控制器等) 和 IP 核, 这些逻辑单元已经布局完毕, 而且设计得较为可靠, 设计者可以较方便地完成系统设计。半定制 ASIC 芯片的版图设计方法与全定制的有所不同, 分为门阵列设计法、标准单元设计法和可编程逻辑器件法。前两种方法都是约束性的设计方法, 其主要目的就是简化设计, 以牺牲芯片性能为代价来缩短开发时间。可编程逻辑芯片与掩膜 ASIC 的不同之处在于: 设计人员完成版图设计后, 在实验室内就可以烧制出自己的芯片, 无需 IC 厂家的参与, 大大缩短了开发周期。

可编程 ASIC 是专用集成电路发展的另一个有特色的分支, 它主要利用可编程集成电路如 PROM、GAL、PLD、CPLD、FPGA 等可编程电路或逻辑阵列编程, 得到 ASIC。其主要特点是直接通过软件设计编程, 完成 ASIC 电路功能, 不需要再通过集成电路工艺线加工。

可编程逻辑器件自 20 世纪 70 年代以来, 经历了 PAL、GAL、CPLD、FPGA 几个发展阶段, 其中 FPGA/CPLD 属高密度可编程逻辑器件, 目前集成度已高达 200 万门/片。它将掩膜 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起, 特别适用于样品研制或小批量产品开发, 使产品能以最快的速度上市。上述 ASIC 芯片, 尤其是 FPGA/CPLD 器件, 已成为现代高层次电子设计方法的实现载体。其适合开发周期短, 有一定复杂性和电路规模的数字电路设计, 尤其适合从事电子系统设计的工程人员利用 EDA 工具进行 ASIC 设计。

使用 FPGA/CPLD 来设计专用集成电路的方法, 即可编程 ASIC, 其发展将呈现以下几个方面的趋势。

- (1) 向密度更高、速度更快、频带更宽的百万门方向发展。
- (2) 向系统内可重构的方向发展, 以提高灵活性和适应性。
- (3) 向器件的高速、可预测延时方向发展, 以适应未来复杂高速电子系统的要求。
- (4) 向混合可编程技术方向发展, 以满足模拟电路和数模混合电路的可编程发展需要。
- (5) 向嵌入式通用标准功能模块方向发展, 以方便用户设计和特殊功能应用。
- (6) 向低电压、低功耗的绿色元件方向发展, 以适应全球环保潮流。

1.2.3 硬件描述语言

硬件描述语言 HDL 是一种形式化描述数字电路和系统的语言。利用这种语言, 数字电路系统的设计可以从上层到下层 (从抽象到具体) 逐层描述设计者的思想, 从而用一系列分层次的模块来表示极其复杂的数字系统。然后, 利用电子设计自动化 (EDA) 工具, 逐层进行仿真验证, 再把其中需要变为实际电路的模块组合, 经过自动综合工具转换到门级电路网表。最后, 用专用集成电路 ASIC 或现场可编程门阵列 FPGA 自动布局布线工具, 把网表转换为要实现的具体电路布线结构。

硬件描述语言 HDL 发展至今已有 20 多年的历史, 并成功地应用于设计中建模、仿真、验证和综合等各个阶段。到 20 世纪 80 年代, 已出现了上百种硬件描述语言, 对设计自动化起到了极大地促进和推动作用。但是, 这些语言一般各自面向特定的设计领域和层次, 其种类繁多使用户无所适从。因此, 亟需一种面向设计的多领域、多层次并得到普遍认同的标准硬件描述语言。常用的硬件描述语言有 4 种: ABEL-HDL、AHDL、VHDL 和 Verilog HDL。

在 20 世纪 80 年代后期, VHDL 和 Verilog HDL 语言适应了硬件发展趋势的需求, 先后成为 IEEE 标准。

VHDL 的英文全名是 Very-High-Speed Integrated Circuit Hardware Description Language, 产生于 1982 年。1987 年年底, VHDL 被 IEEE 和美国国防部确认为标准硬件描述语言。自 IEEE 公布了 VHDL 的标准版本——IEEE—1076 (简称 87 版) 之后, 各 EDA 公司相继推出了自己的 VHDL 设计环境或宣布自己的设计工具可以和 VHDL 接口。此后, VHDL 在电子设计领域被广泛接受, 并逐步取代了原有的非标准硬件描述语言。VHDL 主要用于描述数字系统的结构、行为、功能和接口。除了含有许多具有硬件特征的语句外, VHDL 的语言形式和描述风格与句法十分类似于一般的计算机高级语言。VHDL 程序的结构特点是将一项工程设计, 或称设计实体 (可以是一个元件、一个电路模块或一个系统) 分成外部 (或称可视部分, 即端口) 和内部 (或称不可视部分——涉及实体的内部功能和算法完成部分)。在对一个设计实体定义了外部界面后, 一旦其内部开发完成, 其他的设计就可以直接调用这个实体。

Verilog 是由 Gateway Design Automation 公司于 1984 年开始发展。Gateway Design Automation 公司后来被 Cadence Design Systems 公司于 1990 年并购。现在 Cadence 公司对于 Gateway 公司的 Verilog 和 Verilog-XL 模拟器拥有全部的财产权。Verilog 的设计者想要以 C 语言为基础设计一种语言, 可使工程师比较容易学习, 于是开发了 Verilog HDL 语言。使用 Verilog HDL 进行设计的最大优点是其工艺无关性, 这使得工程师在功能设计、逻辑验证阶段可以不必过多考虑门级及工艺实现的具体细节, 只需根据系统设计的要求施加不同的约束条件, 即可设计出实际电路。



小提示

现在, 随着系统级 FPGA 以及系统芯片的出现, 软硬件协调设计和系统设计变得越来越重要, 传统意义上的硬件设计越来越倾向于与系统设计和软件设计结合。硬件描述语言为适应新的情况而迅速发展, 出现了很多新的硬件描述语言, 像 Superlog、SystemC、Cynlib C++ 等。

1.2.4 主要 PLD 厂商概述

随着工艺的进步以及设计复杂度的提高, 现有的设计工具越来越难以满足设计师的需要, 因此, 很多厂商都致力于提供基于创新技术的新工具来应对新的挑战。基于此, EDA 工具也呈现出由点工具向平台工具发展的趋势, 很多领先的 PLD 厂商都通过成功的收购计划来完善自己的产品线, 以期建立更加完整、更加统一的平台产品。

下面介绍主要器件生产厂家及其开发工具。

1) Xilinx

该公司是 FPGA 的发明者。产品种类较全, 主要有 XC9500/4000、Coolrunner (XPLA3)、Spartan、Vertex 等系列, 其最大的 Vertex-II Pro 器件已达到 800 万门。公司开发软件为 Foundation 和 ISE。

2) Altera

Altera 公司在 20 世纪 90 年代以后发展得很快, 其主要产品有: MAX3000/7000、FELX6K/10K、APEX20K、ACEX1K、Stratix 等。其开发工具——MAX+PLUS II 是较成功的

PLD 开发平台,后来又推出了 Quartus II 开发软件。Altera 公司提供较多形式的设计输入方式,绑定第三方 VHDL 综合工具,如综合软件 FPGA Express、Leonard Spectrum,仿真软件 ModelSim。

通常来说,在欧洲用 Xilinx 的人多,在日本和亚太地区用 Altera 的人多,在美国则是平分秋色。全球 PLD/FPGA 产品 60%以上是由 Altera 和 Xilinx 提供的,Altera 和 Xilinx 共同决定了 PLD 技术的发展方向。

3) Lattice-Vantis

Lattice 是 ISP (In-System Programmability) 技术的发明者,ISP 技术极大地促进了 PLD 产品的发展。与 Altera 和 Xilinx 相比,其开发工具略逊一筹,中小规模 PLD 比较有特色,大规模 PLD 的竞争力还不够强(Lattice 没有基于查找表技术的大规模 FPGA)。Lattice 公司 1999 年推出可编程模拟器件,1999 年收购 Vantis (原 AMD 子公司),成为第三大可编程逻辑器件供应商。2001 年 12 月收购 Agere 公司 (原 Lucent 微电子部) 的 FPGA 部门,其主要产品有 ispLSI2000/5000/8000, MACH4/5。

4) Actel

Actel 是反熔丝 (一次性烧写) PLD 的领导者。由于反熔丝 PLD 抗辐射、耐高低温、功耗低、速度快,所以该公司在军品和宇航级上有较大优势。Altera 和 Xilinx 则一般不涉足军品和宇航类市场。

5) Quicklogic

Quicklogic 是专业的 PLD/FPGA 公司,以一次性反熔丝工艺为主,在中国销售量不大。

6) Lucent

Lucent 的主要特点是有不少用于通信领域的专用 IP 核,但 PLD/FPGA 不是 Lucent 的主要业务,在中国使用的人很少。

7) Atmel

Atmel 公司致力于生产中小规模 PLD,此外,也生产一些与 Altera 和 Xilinx 兼容的片子,但在品质上与原厂家还是有一些差距,在高可靠性产品中使用较少,多用在低端产品上。

8) Clear Logic

Clear Logic 公司生产与一些著名 PLD/FPGA 大公司兼容的芯片,这种芯片可将用户的设计一次性固化,不可再次编程,批量生产时的成本较低。

9) Wsi

Wsi 生产 PSD (单片机可编程外围芯片) 产品。PSD 是一种特殊的 PLD,如最新的 PSD8xx、PSD9xx,集成了 PLD、EPROM、FLASH,并支持 ISP (在线编程),集成度高,主要用于配合单片机工作。

1.3 常用的 EDA 工具

利用 EDA 工具,电子设计师可以从概念、算法、协议等方面开始设计电子系统,大量工作可通过计算机完成,并将电子产品从电路设计、性能分析到设计出 IC 版图或 PCB 版图的整个过程在计算机上自动处理完成。用 EDA 技术设计电路分为不同的技术环节,每一个环节中必须有对应的软件包或专用的 EDA 工具独立处理,包括对电路模型的功能模拟、对 VHDL 行为描述的逻辑综合等。因此单个 EDA 工具往往只涉及 EDA 流程中的某一步骤。EDA 工具

大致分为如下 5 个模块:

- 设计输入编辑器;
- HDL 综合器;
- 仿真器;
- 适配器 (或布局布线器);
- 下载器。

目前,也有集成的 EDA 开发环境,如 MAX+PLUS II。

1.3.1 设计输入编辑器

通常专业的 EDA 工具供应商或各可编程逻辑器件厂商都提供 EDA 开发工具,在这些 EDA 开发工具中都含有设计输入编辑器,如 Xilinx 公司的 Foundation、Altera 公司的 Quartus II 等。

一般的设计输入编辑器都支持图形输入和 HDL 文本输入。图形输入包括原理图输入、状态图输入和波形图输入 3 种常用模式。专业的 EDA 工具供应商也提供相应的设计输入工具,这些工具一般与该公司的其他电路设计软件整合,该点体现在原理图输入环境上。原理图输入方式沿用传统的数字系统设计方式,即根据设计电路的功能和控制条件,画出设计的原理图、状态图或波形图;然后在设计输入编辑器的支持下,将这些图形输入到计算机中形成图形文件。如 Innovada 的 Eproduct Designer 中的原理图输入工具 DxDesigner (原为 ViewDraw),既可作为 PCB 设计的原理图输入,又可作为 IC 设计、模拟仿真和 FPGA 设计的原理输入环境。HDL 文本输入实现比原理图简单得多,用普通的文本编辑器即可完成。若要求 HDL 输入时有语法色彩提示,可使用带语法提示功能的文本编辑器,如 Ultraedit、Vim、Vemacs 等。



小提示

使用 EDA 工具中提供的 HDL 编辑器会更好,如 Aldec 的 Active HDL 编辑器。

1.3.2 HDL 综合器

硬件描述语言诞生的初衷是用于逻辑电路的建模和仿真,但直到 Synopsys 公司推出了 HDL 综合器后,HDL 才能直接用于电路设计。综合器的功能是将设计者在 EDA 平台上完成的针对某个系统项目的 HDL、原理图或状态图描述,针对给定的硬件结构组件,进行编译、优化、转换和综合,最终获得门级电路甚至更底层的电路描述文件。

HDL 综合器是一种利用 EDA 技术在电路设计中完成电路化简、算法优化、硬件结构细化的计算机软件,是将硬件描述语言转化为硬件电路的重要工具。HDL 综合器把可综合的 HDL (Verilog 或 VHDL) 转化为硬件电路时一般要经过两个步骤:第一步是利用 HDL 综合器对 Verilog 或 VHDL 进行处理分析,并将其转换成电路结构或模块,这时是不考虑实际器件实现的,即完全与硬件无关,这个过程是一个通用电路原理图的形成过程;第二步是优化对应实际实现目标器件的结构,使之满足各种约束条件,优化关键路径等。综合器的运行流程如图 1-2 所示。

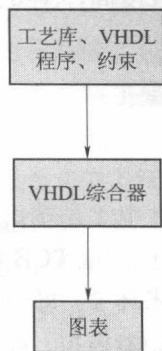


图 1-2 VHDL 综合器运行流程

HDL 综合器的输出文件一般是网表文件, 该文件是一种用于电路设计数据交换和交流的工业标准化格式文件, 或是直接用硬件描述语言 HDL 表达的标准格式的网表文件, 或是对应 FPGA/CPLD 器件厂商的网表文件。HDL 综合器是 EDA 设计流程中的一个独立的设计步骤, 它往往被其他 EDA 环节调用, 用以完成整个设计流程。



小提示

比较著名的 EDA 综合器有 Synopsys 公司的 Design Compiler、FPGA Express, Synplicity 公司的 Synplify, Cadence 公司的 Synnergy 等。

1.3.3 仿真器

在 EDA 技术中仿真的地位非常重要, 行为模型的表达、电子系统的建模、逻辑电路的验证以及门级系统的测试, 每一步都离不开仿真器的模拟检测。在 EDA 发展的初期, 快速地进行电路逻辑仿真是当时的核心问题。即使现在, 各个环节的仿真仍然是整个 EDA 设计流程中最重要、最耗时的一个步骤。因此, 仿真器的仿真速度、准确性和易用性成为衡量仿真器的重要指标。

按仿真电路描述级别的不同, HDL 仿真器能单独或综合完成以下各仿真步骤:

- 系统级仿真;
- 行为级仿真;
- RTL 级仿真;
- 门级时序仿真。

按仿真是否考虑延时分类, 可分为功能仿真和时序仿真。根据输入仿真文件的不同, 可由不同的仿真器完成, 也可由同一仿真器完成。



小提示

很多 EDA 厂商都提供基于 Verilog/VHDL 的仿真器。常用的仿真器有 Model Technology 公司的 Modelsim, Cadence 公司的 Verilog-XL 和 NC-Sim, Aldec 公司的 Active HDL, Synopsys 公司的 VCS 等。

1.3.4 适配器

适配, 即结构综合, 通常都由可编程逻辑器件的厂商提供的专门针对器件开发的软件来完成。适配器的功能是将综合器产生的网表文件配置于指定的目标器件中, 产生最终的下载文件, 如 JEDEC 格式的文件。这些软件可以单独运行或嵌入在厂商针对自己产品的集成 EDA 开发环境中存在。对于一般的可编程模拟器件所对应的 EDA 软件来说, 一般仅需包含一个适配器, 如 Lattice 公司的 PAC-DESIGNER。

1.3.5 下载器

下载也叫芯片配置。FPGA 设计有两种配置形式: 直接由计算机经过专用下载电缆进行