

高职高专电子信息“十二五”规划教材

EDA技术与实践

焦素敏 主编

- 贴近岗位，理论与实践相融合
- 将课程内容进行模块化组合，以任务进行驱动
- 层次清晰，案例丰富，突出技能

02



化学工业出版社

高职高专电子信息“十二五”规划教材

EDA技术与实践

焦素敏 主编



化学工业出版社

· 北京 ·

本书简明而系统地介绍了 EDA 技术的相关内容,包括 EDA 技术的概念及特点,EDA 技术的物质载体——可编程逻辑器件的基本结构和应用方法,EDA 技术的设计语言——VHDL 的程序结构、语言要素和常用语句,EDA 技术的开发设计流程以及工具软件 Quartus II 的使用方法。

本书从 EDA 技术的应用与实践角度出发,将课程内容进行模块化组合,设置 EDA 技术基础知识、VHDL 硬件描述语言、Quartus II 软件的应用、常用电路的 VHDL 设计实例和 EDA 设计综合训练 5 个学习模块,共包含 8 个任务进行驱动,每个任务又分解为若干个子任务。教学设计以技术项目入手,设计 EDA 技术入门级知识、EDA 软件的使用方法、VHDL 语言描述逻辑系统功能的方法、VHDL 程序分析和简单设计技能实训、综合设计实训 5 个教学环节,使读者能够理论与实践相融合、课内学习和课外训练相结合,由简单到复杂逐步掌握 EDA 技术的设计方法。

本书可作为应用型本科、高职高专电子信息、通信、自动化、计算机等相关专业的教材及社会相关技术的培训教材,也可作为相关学科工程技术人员的参考书,还可作为电子产品制作、科技创新实践、EDA 课程设计和毕业设计等实践活动的参考书。

图书在版编目(CIP)数据

EDA 技术与实践/焦素敏主编. —北京:化学工业出版社,
2013.12

高职高专电子信息“十二五”规划教材

ISBN 978-7-122-18710-9

I. ①E… II. ①焦… III. ①电子电路-电路设计-计算机辅助设计-高等职业教育-教材 IV. ①TN702

中国版本图书馆 CIP 数据核字(2013)第 246039 号

责任编辑:刘青

装帧设计:张辉

责任校对:宋夏

出版发行:化学工业出版社(北京市东城区青年湖南街 13 号 邮政编码 100011)

印装:三河市延风印装厂

787mm×1092mm 1/16 印张 16 字数 392 千字 2014 年 1 月北京第 1 版第 1 次印刷

购书咨询:010-64518888(传真:010-64519686) 售后服务:010-64518899

网 址: <http://www.cip.com.cn>

凡购买本书,如有缺损质量问题,本社销售中心负责调换。

定 价:33.00 元

版权所有 违者必究

前言

EDA 技术是近年迅速发展起来的计算机软件、硬件和微电子交叉的现代电子设计学科,是现代电子工程领域的一门新技术。它是以可编程逻辑器件 CPLD/FPGA 为物质基础,以计算机为工作平台,以 EDA 工具软件为开发环境,以硬件描述语言 HDL 作为电子系统功能描述的主要方式,以电子系统设计为应用方向的电子产品自动化设计过程。

在当今这个以数字化和网络化为特征的信息技术革命大潮中,电子技术获得了飞速发展,现代电子产品几乎渗透到了社会的各个领域。现代电子产品的性能也在进一步提高,产品更新换代的节奏也越来越快。不仅如此,现代电子产品还正在以前所未有的革新速度,向着功能多样化、体积小型化、功耗最低化的方向迅速发展。所有这些,都离不开 EDA 技术的有力支持,难怪有专家指出,现代电子设计技术的发展,主要体现在 EDA 工程领域。EDA 是电子产品开发研制的动力源和加速器,是现代电子设计的核心。因此,在大中专院校的电子、通信、控制、计算机等各类学科的教学引入 EDA 技术的内容,以适应现代电子技术的飞速发展是很有必要的。

于是,编者在从事多年 EDA 教学的基础上,以满足教学需求为目标,以跟踪新技术、强化能力、重在应用为指导思想,使教材满足高职院校对高级技能人才的培养需求,适应区域、行业经济和社会发展的需要。本版教材的特点如下:

(1) 突破传统的教材体系结构,围绕能力本位教育理念和基于任务驱动的课程开发思想,采用模块化和任务驱动式教学方法构建教学内容,体现“教、学、做”一体化特点,以解决实践问题为纽带,实现理论、实践,知识、技能以及职业素养的有机整合,满足培养高技能应用型人才的需求。

(2) 教材注重实践,提倡“做中学,学中做”,以任务驱动教学。首先从学生感兴趣的任務引入开始,要求学生対任务分析、语言或图形描述、设计输入、编译仿真和硬件验证 5 个方面开放学习,引导学生掌握相应知识点和操作技能。

(3) 教材内容编排时由浅入深,由易到难,简明扼要,图文并用,实例丰富。每个模块或任务均对职业岗位所需知识和能力目标进行恰当设计,以典型项目导入,包括任务引入、知识准备、任务实施、拓展训练等。变被动学习为主动学习,把职业能力的培养融汇于教材之中。

(4) 教材以可编程逻辑器件基本知识、EDA 工具软件和实验开发系统的使用及 VHDL 语言知识及编程能力等基本知识、基本技能为重点,使理论指导实践,通过实践再加强理论,最终突出技能训练。教材内容紧紧围绕 EDA 技术入门级知识—EDA 软件的使用方法—VHDL 语言要素及语句—VHDL 程序分析技能实训—简单设计技能实训—综合实

训—现场实训 7 个教学环节进行组织。

本书由河南工业大学焦素敏担任主编,并完成模块二、三、四中任务4~任务8的编写工作,杨志晓担任副主编并编写模块一中的任务1和任务2,李智慧参加了模块一中任务3和附录的编写工作。编写过程中还参考了许多学者和专家的著作及研究成果,在此谨向他们表示诚挚谢意。

由于作者水平有限，书中难免存在不足之处，敬请读者批评指正。

编者

2013 年 8 月

目 录

模块一 EDA 技术基础知识

任务 1 了解 EDA 技术	3
1.1 EDA 技术的概念	3
1.1.1 案例引入	3
1.1.2 EDA 技术说明	4
1.1.3 EDA 技术的重要性	5
1.2 EDA 技术的知识体系	6
1.2.1 可编程逻辑器件	6
1.2.2 硬件描述语言	7
1.2.3 EDA 工具软件	8
1.3 EDA 技术的特点和发展趋势	8
1.3.1 EDA 技术的主要特点	8
1.3.2 EDA 技术的发展趋势	10
1.4 总结与思考	11
1.4.1 小结	11
1.4.2 思考题	12
任务 2 了解可编程逻辑器件	13
2.1 可编程逻辑器件概述	13
2.1.1 可编程逻辑器件的发展历程	13
2.1.2 可编程逻辑器件的分类	13
2.1.3 基本结构和编程原理	15
2.1.4 PLD 逻辑符号的画法和约定	15
2.2 简单 PLD	16
2.2.1 PAL	16
2.2.2 GAL	19
2.3 CPLD 和 FPGA	23
2.3.1 CPLD 的基本结构	23
2.3.2 FPGA 的基本结构	24
2.3.3 Altera 公司器件介绍	26
2.3.4 FPGA 和 CPLD 的选用	27
2.4 ispGDS 介绍	29
2.4.1 ispGDS 的原理与结构	29
2.4.2 ispGDS 的使用	31
2.5 CPLD 和 FPGA 的编程与配置方法	32

2.5.1	CPLD 的 ISP 方式编程	32
2.5.2	使用 PC 并行口配置 FPGA	33
2.5.3	使用专用配置器件配置 FPGA	34
2.5.4	使用单片机配置 FPGA	35
2.6	总结与思考	36
2.6.1	小结	36
2.6.2	思考题	37
任务 3	初探 EDA 技术	38
3.1	知识准备 1——EDA 设计流程	38
3.1.1	设计输入	38
3.1.2	设计实现	39
3.1.3	设计仿真	40
3.1.4	编程或配置	41
3.2	知识准备 2——Quartus II 的图形界面	41
3.2.1	工程导航区	42
3.2.2	状态区	42
3.2.3	信息区	42
3.2.4	工作区	43
3.2.5	快捷命令工具栏	43
3.3	实例引导——1 位全加器的原理图输入设计	44
3.3.1	任务引入与分析	44
3.3.2	创建工程设计项目	45
3.3.3	编辑设计原理图	46
3.3.4	设计编译与仿真	48
3.3.5	引脚锁定与编程下载	52
3.4	总结、思考与实训	54
3.4.1	归纳总结	54
3.4.2	思考题	57
3.4.3	引导训练——用层次化方法设计 1 位全加器	57
3.4.4	技能实训 1——用原理图输入法设计 4 位全加器	58

模块二 VHDL 硬件描述语言

任务 4	了解 VHDL 程序结构及语言要素	63
4.1	VHDL 程序结构	63
4.1.1	VHDL 程序结构及实例说明	63
4.1.2	实体 (ENTITY) 部分说明	65
4.1.3	结构体 (ARCHITECTURE) 部分说明	67
4.1.4	库 (LIBRARY) 部分说明	71
4.1.5	程序包 (PACKAGE) 部分说明	73
4.1.6	配置 (CONFIGURATION) 部分说明	76

4.2	VHDL 语言要素	78
4.2.1	文字规则	78
4.2.2	数据对象	80
4.2.3	数据类型	83
4.2.4	类型转换	86
4.2.5	操作符	88
4.3	总结与思考	91
4.3.1	小结	91
4.3.2	思考题与习题	91
任务5 学习掌握 VHDL 语句		93
5.1	VHDL 顺序语句	93
5.1.1	IF 语句	93
5.1.2	CASE 语句	97
5.1.3	LOOP 语句	99
5.1.4	NEXT 语句	101
5.1.5	EXIT 语句	102
5.1.6	WAIT 语句	103
5.1.7	RETURN 语句	104
5.1.8	NULL 语句	104
5.2	VHDL 并行语句	105
5.2.1	PROCESS 语句	105
5.2.2	并行信号赋值语句	107
5.2.3	BLOCK 语句	109
5.2.4	元件例化语句	111
5.2.5	GENERATE 语句	113
5.3	其他语句	114
5.3.1	子程序及子程序调用语句	114
5.3.2	ASSERT 语句	119
5.3.3	REPORT 语句	120
5.3.4	属性语句	120
5.4	总结、思考与训练	123
5.4.1	小结	123
5.4.2	程序阅读和编写技能训练	123

模块三 Quartus II 软件的应用

任务6 掌握 Quartus II 的多种应用		127
6.1	文本编辑输入法设计向导——计数器设计	127
6.1.1	编辑设计文件	128
6.1.2	创建工程	128
6.1.3	编译	130

87	6.1.4	时序仿真	132
87	6.1.5	引脚锁定与下载	137
02	6.2	应用宏功能的原理图设计	142
68	6.2.1	计数器设计	142
88	6.2.2	频率计主体电路设计	144
88	6.2.3	时序控制电路的设计	145
10	6.2.4	顶层电路设计	146
10	6.2.5	引脚锁定和下载	146
10	6.3	层次电路设计	147
80	6.3.1	顶层文件设计	147
80	6.3.2	创建各模块的下层设计文件	151
80	6.3.3	设计项目的编译仿真	153
70	6.3.4	层次显示	153
00	6.4	技能实训	153
101	6.4.1	技能实训 2——计数译码器的文本输入层次化设计	153
801	6.4.2	技能实训 3——2 位十进制计数译码器的宏函数调用设计	156
801	6.4.3	技能实训 4——2 位十进制频率计的宏函数调用与层次设计综合实训	156

模块四 常用电路的 VHDL 设计实例

	任务 7	常用电路的 VHDL 描述方法	163
20	7.1	组合逻辑电路设计	163
701	7.1.1	任务引入与分析	163
001	7.1.2	任务实施	163
111	7.1.3	拓展与训练	166
81	7.2	时序逻辑电路设计	167
110	7.2.1	任务引入与分析	167
111	7.2.2	任务实施	168
911	7.2.3	拓展与训练	171
03	7.3	状态机设计	174
031	7.3.1	任务引入与分析	174
831	7.3.2	任务实施	175
831	7.3.3	拓展与训练	177
84	7.4	存储器设计	180
	7.4.1	任务引入与分析	180
	7.4.2	任务实施	180
731	7.4.3	拓展与训练	182
73	7.5	特色实用电路设计	183
831	7.5.1	任务引入与分析	183
831	7.5.2	任务实施	183
031	7.5.3	拓展与训练	184

7.6 总结、思考与实训	185
7.6.1 小结	185
7.6.2 VHDL 编程训练题	186
7.6.3 技能实训 5——计数器的设计	186
7.6.4 技能实训 6——简易彩灯控制器设计	188

模块五 EDA 设计综合训练

任务 8 EDA 技能综合提高	193
8.1 数字钟的设计	193
8.1.1 任务引入与分析——数字钟的设计要求	193
8.1.2 任务实施方案	193
8.1.3 数字钟各模块的 VHDL 源程序设计	194
8.2 智力竞赛抢答器	201
8.2.1 任务引入与分析——抢答器的设计要求	201
8.2.2 任务实施方案	201
8.2.3 抢答器的 VHDL 源程序设计	202
8.3 交通灯的控制器设计	204
8.3.1 任务引入与分析——交通灯控制器的设计要求	204
8.3.2 任务实施方案	204
8.3.3 交通灯控制器 VHDL 源程序设计	205
8.3.4 调试仿真与验证	206
8.4 8 路彩灯控制器设计	207
8.4.1 任务引入与分析——8 路彩灯控制器的设计要求	207
8.4.2 任务实施方案	207
8.4.3 各模块的 VHDL 源程序设计	208
8.4.4 仿真与调试	211
8.5 简易数字频率计设计	212
8.5.1 任务引入与分析——频率计的设计要求	212
8.5.2 任务实施方案	212
8.5.3 各模块的 VHDL 源程序设计	212
8.6 “梁祝”乐曲演奏电路设计	215
8.6.1 任务引入与分析	215
8.6.2 任务实施方案	215
8.6.3 各模块的 VHDL 源程序设计	216
8.6.4 调试与实现	222
8.7 综合训练题	222
附录 GW48 系列 EDA 实验开发系统使用说明	225
参考文献	245

任务1 了解 EDA 技术

通过实例引入，使读者初步了解什么是 EDA 技术，它与传统的基于设计方法有何区别，有何特点。EDA 技术包含哪些内容，它的发展现状及未来趋势如何。

1.1 EDA 技术的概念

EDA 技术是英文 Electronic Design Automation 的缩写，即电子设计自动化。它是指利用计算机辅助设计工具，对电子系统进行设计、仿真、验证、综合、布局布线、生成目标代码等全过程的技术。EDA 技术是电子设计领域的重要技术，它的发展极大地推动了电子设计技术的发展。

1.1.1 案例引入

1.1.1.1 传统设计方法

传统设计方法是指利用手工或简单的工具，对电子系统进行设计、仿真、验证、综合、布局布线、生成目标代码等全过程的技术。传统设计方法的特点是设计周期长、设计成本高、设计效率低。随着 EDA 技术的发展，传统设计方法已经逐渐被 EDA 技术所取代。

模块一

EDA技术基础知识

现代电子设计技术的核心是 EDA 技术。学习 EDA 技术，首先要掌握 EDA 技术的相关基础知识。本模块通过三个任务的学习来达到对 EDA 技术的初步入门。第一个任务，先了解什么是 EDA 技术；第二个任务，熟悉 EDA 技术的物质载体，即可编程逻辑器件；第三个任务，学习 EDA 软件的原理图编辑输入方法，并用这种方法完成简单电路的 EDA 设计。

任务 1 了解 EDA 技术

通过实例引入，使读者初步了解什么是 EDA 技术，它传统的电子设计方法有何区别、有何特点；EDA 技术包含哪些知识内容，它的重要性及发展趋势如何。

1.1 EDA 技术的概念

EDA 技术就是电子设计自动化 (Electronic Design Automation) 技术。自动化设计是针对手工设计或传统设计而言的，那么，到底什么是电子设计的自动化技术？下面从数字电子钟设计实例入手，对比分析两种设计方法，使读者初步了解 EDA 技术。

1.1.1 案例引入

(1) 传统设计方法

传统的电子系统设计一般是对电路板进行设计，把所需要的具有固定功能的标准集成电路像积木块一样布置于电路板上，通过设计电路板来实现系统功能。以简单而典型的数字电子钟为例，如果按照常规的数字电路设计方法，需要用多种集成芯片按一定方式连接而成，如图 1-1 所示，其工作原理简单阐述如下。

图 1-1 所示数字钟由石英晶体振荡电路、分频电路、校表电路、计数电路、译码驱动和显示电路组成。用频率为 32768Hz 的石英晶体和外部阻容元件接在 14 级二进制串行计数器/分频器 4060 的适当引脚便可构成晶体振荡分频器，从 4060 的 Q₁₄ 输出端输出的 2Hz 脉

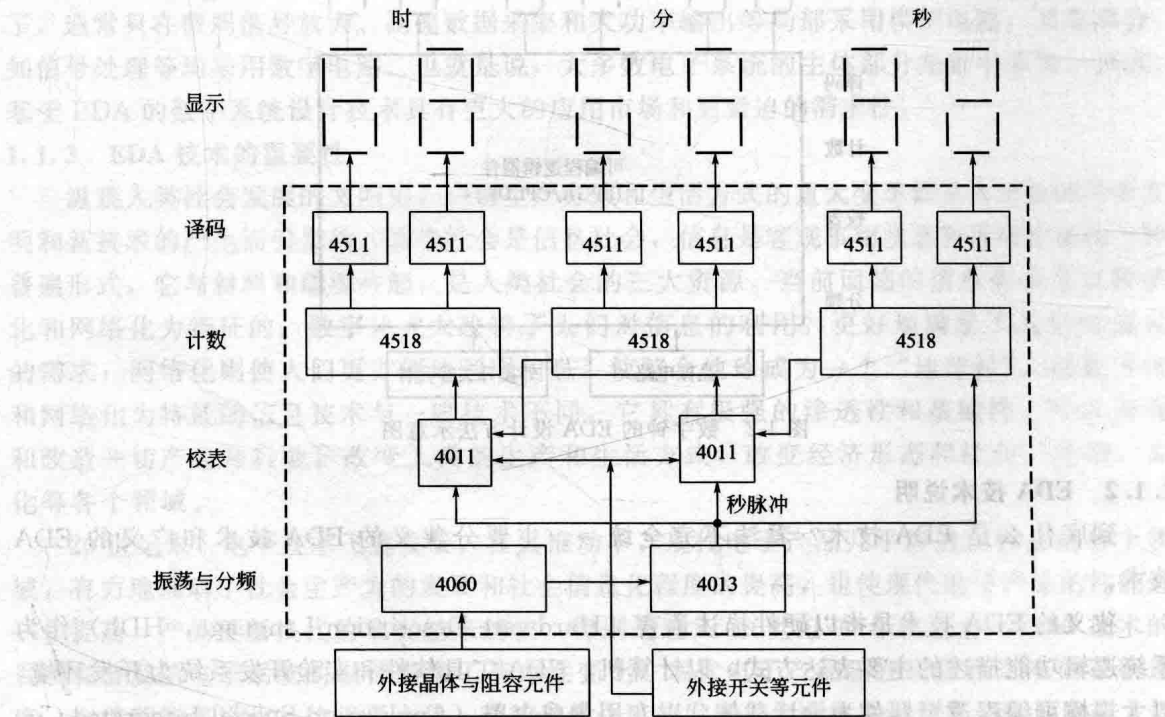


图 1-1 数字钟的传统设计方法示意图

冲经过 D 触发器 4013 实现二分频, 得到 1Hz 的秒脉冲。秒脉冲送入由 4518 (双二十进制计数器) 组成的“秒”计数器 (六十进制) 累计秒钟数, 而秒计数器的输出脉冲触发“分”计数器 (六十进制) 累计分钟数。同理, 分计数器的输出脉冲触发“时”计数器累计小时数。计数结果 (4 位 BCD 数) 通过 4511 组成的“时”、“分”、“秒”显示译码器译码, 最后用七段数码管实时显示时间。

当数字电子钟初次使用, 或者由于停电、故障等原因需要重新校准时间时, 可用校表电路进行“时”、“分”的时间校准。实际上, 就是用秒脉冲直接作为“分”计数器和“时”计数器的计数脉冲。图 1-1 中用 4011 (四 2 输入与非门) 外加开关等元件来实现校表功能。

在上述设计过程中, 设计者必须根据设计要求画出电路原理图, 并绘制出接线图或印制电路板图, 然后将相应的集成芯片安装在板子上, 经过调试, 最终完成设计。这个过程要求设计者熟悉相关集成芯片的逻辑功能和引脚排列, 具备一定的电子设计功底。

(2) EDA 设计方法

利用 EDA 技术进行电子设计, 最大特征是利用计算机工具软件帮助设计者来设计。设计者采用硬件描述语言描述数字系统的逻辑功能, 利用计算机中的 EDA 工具软件完成设计输入、编译、逻辑综合和适配, 最后将结果下载到可编程逻辑器件 (FPGA/CPLD) 中, 就得到具有一定功能的专用集成芯片。因此, EDA 设计主要是通过设计芯片来实现系统功能。

图 1-1 所示的数字钟如果采用 EDA 技术来设计, 可以把实现数字钟功能的大部分电路, 如分频器、计数器、译码器和校表电路等全部用可编程逻辑器件 (FPGA/CPLD) 去实现, 如图 1-2 所示。显然, 图 1-2 要比图 1-1 简单得多。

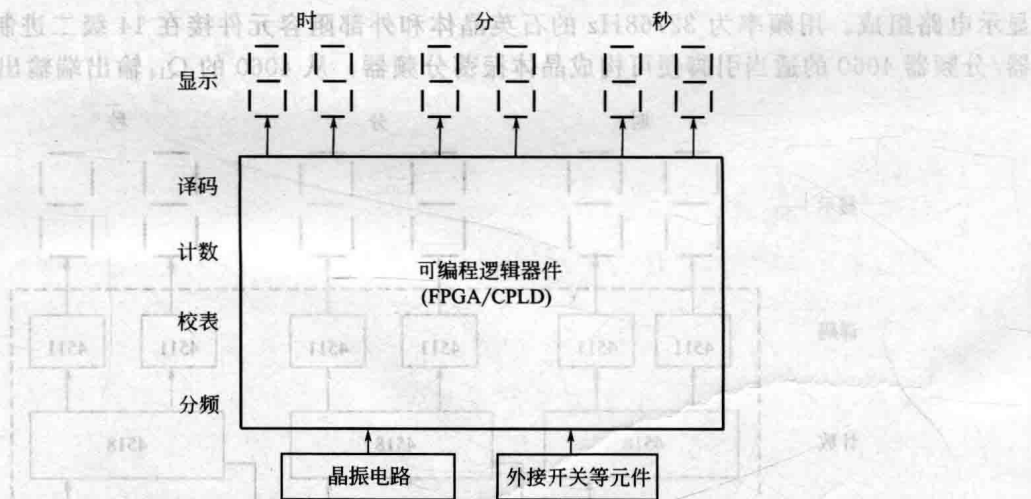


图 1-2 数字钟的 EDA 设计方法示意图

1.1.2 EDA 技术说明

到底什么是 EDA 技术? 看法不完全统一, 主要分狭义的 EDA 技术和广义的 EDA 技术。

狭义的 EDA 技术是指以硬件描述语言 (Hardware Description Language, HDL) 作为系统逻辑功能描述的主要表达方式, 以计算机、EDA 工具软件和实验开发系统为开发环境, 以大规模可编程逻辑器件为设计载体, 以专用集成电路 (Application Special Integrated Circuit, ASIC)、单片电子系统 (System On Chip, SOC) 为设计目标的电子产品自动化设计

过程。在此过程中,设计者只需利用硬件描述语言,在 EDA 工具软件中完成对系统硬件功能的描述,EDA 工具软件便会自动地完成编译、综合、适配、下载和逻辑仿真等工作,从而得到设计者需要的集成电子系统或专用集成芯片。尽管目标系统是硬件,但整个设计和修改过程如同完成软件设计一样方便和高效。

广义的 EDA 技术,除了包括狭义的 EDA 技术外,还包括计算机辅助分析(CAA)技术(如 PSpice、EWB、MATLAB 等)和印制电路板计算机辅助设计(PCB-CAD)技术(如 Protel、OrCAD 等)。在广义的 EDA 技术中,CAA 技术和 PCB-CAD 技术不具备逻辑综合和逻辑适配的功能,因此并不能称为真正意义上的 EDA 技术。

本书所要讲述的 EDA 技术是指面向电子设计工程师的狭义的 EDA 技术,是真正意义上的电子设计自动化技术,也是被业界越来越多人士广泛认可的 EDA 技术。这种技术就是利用计算机,通过软件方式的设计和测试,达到对既定功能的硬件系统的设计和实现。为此,典型的 EDA 工具中必须包含两个特殊的软件包——综合器和适配器,或其中之一。

综合器的功能是将硬件描述语言 HDL 或原理图等设计输入转换成与其功能相应的门级原理图网表文件。因此,综合过程就是将电路和高级语言描述转换成低级的、可与 FPGA/CPLD 基本结构相映射的网表文件。显然,综合器是沟通软件描述与硬件实现的一座桥梁。综合器可由专业的第三方公司提供。

适配器的功能是将由综合器产生的网表文件配置于指定的目标器件中,产生最终的下载文件,如 JEDEC 格式的文件,并自动生成芯片电路板图。适配器由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与器件结构相对应。

EDA 技术主要应用于数字系统的自动化设计,该领域软件和硬件方面的技术都比较成熟,应用的普及程度也比较大;模拟电子技术的 EDA 正在进入实用。另外,从应用的广度和深度来说,由于电子信息领域的全面数字化,现代的电子设备单纯用模拟电路的已经很少了,通常只在微弱信号放大、高速数据采集和大功率输出等局部采用模拟电路,其余部分,如信号处理等均采用数字电路。也就是说,大多数电子系统的主体部分是数字系统。因此,基于 EDA 的数字系统设计技术具有更大的应用市场和更紧迫的需求性。

1.1.3 EDA 技术的重要性

纵观人类社会发展的文明史,一切生产方式和生活方式的重大变革都是由于新的科学发明和新技术的产生而引发的。当今社会是信息社会,信息是客观事物状态和运动特征的一种普遍形式,它与材料和能源一起,是人类社会的三大资源。当前面临的信息革命是以数字化和网络化为特征的。数字化大大改善了人们对信息的利用,更好地满足了人们对信息的需求;网络化则使人们更方便地利用信息,使整个地球成为一个“地球村”。以数字化和网络化为特征的信息技术与一般技术不同,它具有极强的渗透性和基础性,可以渗透和改造一切产业和行业,改变人类的生产和生活方式,改变经济形态和社会、政治、文化等各个领域。

20 世纪末,电子技术飞速发展,在其推动下,现代电子产品几乎渗透到社会的各个领域,有力地推动了社会生产力的发展和社会信息化程度的提高,也使现代电子产品的性能进一步提高,产品更新换代的节奏越来越快。特别是进入 20 世纪 90 年代以后,EDA 技术的发展和普及给电子系统的设计带来了革命性变化,现代电子产品正在以前所未有的革新速度,向着功能多样化、体积最小化、功耗最低化迅速发展。集成电路设计在不断地向超大规模、极低功耗和超高速的方向发展;专用集成电路 ASIC 的设计成本不断降低,在功能上,

现代的集成电路已能实现单片电子系统 (SOC) 的功能。

有专家指出,现代电子设计技术的发展,主要体现在 EDA 工程领域。EDA 是电子产品开发研制的动力源和加速器,是现代电子设计的核心。

1.2 EDA 技术的知识体系

EDA 技术内容丰富,涉及面广。但从教学和应用的角度出发,应了解和掌握以下几个方面的知识。

- ① 可编程逻辑器件的原理、结构及应用。
- ② 硬件描述语言 (HDL), 如 VHDL。
- ③ EDA 工具软件的使用。
- ④ 实验开发系统。

其中,大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体,硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段,软件开发工具是利用 EDA 技术进行电子系统设计的智能化自动化设计工具,实验开发系统是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。也就是说,设计师用硬件描述语言描绘出硬件的结构和硬件的行为,用设计工具将这些描述综合映射成与半导体工艺有关的硬件工艺文件,半导体器件 FPGA、CPLD 等是这些硬件工艺文件的载体。当这些 FPGA 器件加载、配置上不同的工艺文件时,这个器件便具有了相应的功能。随着现代电子技术的飞速发展,以硬件描述语言表达设计意图,以 FPGA 作为硬件载体,用计算机作为设计开发工具,以 EDA 软件为开发环境的现代电子设计方法日趋成熟。

1.2.1 可编程逻辑器件

大规模可编程逻辑器件是微电子技术发展的结晶。微电子技术的进步表现在大规模集成电路加工技术,即半导体工艺技术的发展上。表征半导体工艺水平的主要指标——线宽已经达到 $0.13\mu\text{m}$,还在不断地缩小;在硅片单位面积上集成的晶体管数量(集成度)越来越高。

可编程逻辑器件 (PLD),特别是现场可编程门阵列 (FPGA) 和复杂可编程逻辑器件 (CPLD),是新一代的数字逻辑器件,也是近几年来集成电路中发展最快的品种之一。这种器件具有高集成度、高速度、高可靠性等最明显的特点,其时钟延迟可达纳秒级。结合其并行工作方式,在超高速应用领域和实时测控方面有非常广阔的应用前景。在高可靠应用领域,如果设计得当,将不会存在类似于 MCU 的复位不可靠和 PC 可能跑飞等问题。FPGA/CPLD 的高可靠性还表现在,几乎可将整个系统下载于同一芯片中,实现所谓由大规模 FPGA 构成的片上系统 (System On Programmable Chip, SOPC),从而大大缩小体积,易于管理和屏蔽。

由于 FPGA/CPLD 的集成规模非常大,可利用先进的 EDA 工具进行电子系统设计和产品开发。由于开发工具的通用性、设计语言的标准化,以及设计过程几乎与所用器件的硬件结构没有关系,所以设计成功的各类逻辑功能块程序有很好的兼容性和可移植性,几乎可用于任何型号和规模的 FPGA/CPLD 中,使产品设计效率大幅度提高,在很短时间内即可完成十分复杂的系统设计,这正是产品快速进入市场最宝贵的特征。美国 TI 公司认为,一个 ASIC 80% 的功能可用能完成某种功能的设计模块,即知识产权 (Intelligence Property,

IP)核等现成逻辑合成,未来大系统的设计仅仅是各类再应用逻辑与IP核的拼装,设计周期将更短。

与ASIC设计相比,FPGA/CPLD显著的优势是开发周期短,投资风险小,产品上市速度快,市场适应能力强和硬件升级回旋余地大;而且当产品定型和产量扩大后,可将在生产中达到充分检验的VHDL设计迅速实现ASIC投产。

1.2.2 硬件描述语言

硬件描述语言(Hardware Description Language, HDL)是EDA技术的重要组成部分,是电子系统硬件行为描述、结构描述、数据流描述的语言。国外硬件描述语言的种类很多,如VHDL、Verilog-HDL和ABEL-HDL等。这些语言有的从PASCAL发展而来,也有一些从C语言发展而来。

VHDL来源于美国军方,其英文全名是Very High Speed Integrated Circuit Hardware Description Language,诞生于1982年。1987年底,VHDL被IEEE(The Institute of Electrical and Electronics Engineers)和美国国防部确认为标准硬件描述语言。自IEEE公布了VHDL的标准版本(IEEE-1076)之后,各EDA公司相继推出自己的VHDL设计环境,或宣布自己的设计工具可以和VHDL接口。此后,VHDL在电子设计领域被广泛接受,并逐步取代原有的非标准硬件描述语言。1993年,IEEE对VHDL进行了修订,从更高的抽象层次和系统描述能力上扩展了VHDL的内容,公布了新版本的VHDL,即IEEE标准的1076-1993版本。现在,VHDL作为IEEE的工业标准硬件描述语言,得到众多EDA公司的支持,成为电子工程领域事实上的通用硬件描述语言。有专家认为,在新的世纪中,VHDL与Verilog语言将承担起几乎全部的数字系统设计任务。

Verilog-HDL是在1983年由GDA公司的Phil Moorby首创的。1989年,Cadence公司收购了GDA公司,并于1990年公开了Verilog-HDL。基于Verilog-HDL的优越性,IEEE于1995年制定了Verilog-HDL的IEEE标准,即Verilog-HDL 1364-1995。Verilog-HDL是专门为ASIC设计而开发的,较适合算法级(Algorithm)、寄存器传输级(RTL)、逻辑级(Logic)和门级(Gate)设计;对于特大型的系统级设计,VHDL更为合适。Verilog-HDL把一个数字系统当做一组模块来描述,每一个模块具有模块的接口以及关于模块内容的描述。用Verilog-HDL输入法完成的设计,不但可以很容易地移植到不同厂家的不同芯片中去,而且很容易对它进行修改,以适应不同规模的应用。Verilog-HDL是目前应用最广泛的硬件描述语言之一。

ABEL-HDL是美国DATA I/O公司开发的硬件描述语言,它是在早期的简单可编程逻辑器件的基础上发展起来的。用户使用ABEL-HDL进行设计,无需考虑或较少涉及目标器件的内部结构,只需输入符合语法规则的逻辑描述。ABEL-HDL语言支持布尔方程、真值表、状态图等逻辑表达方式,能准确地表达计数器、译码器等逻辑功能。但进行较复杂的逻辑设计时,ABEL-HDL与VHDL、Verilog-HDL这些从集成电路发展起来的HDL相比稍显逊色。目前支持ABEL-HDL语言的开发工具很多,有DATA I/O的Synario、Lattice的ispEXPERT、Xilinx的Foundation等软件。ABEL-HDL语言的基本结构可包含一个或几个独立的模块,每个模块包含一整套对电路或子系统的逻辑描述。无论有多少模块,都能结合到一个源文件中,并同时处理。ABEL-HDL源文件模块可分成5段:头段、说明段、逻辑描述段、测试向量段和结束段。

本书重点介绍VHDL,有关VHDL的内容将在后面详细讲述。