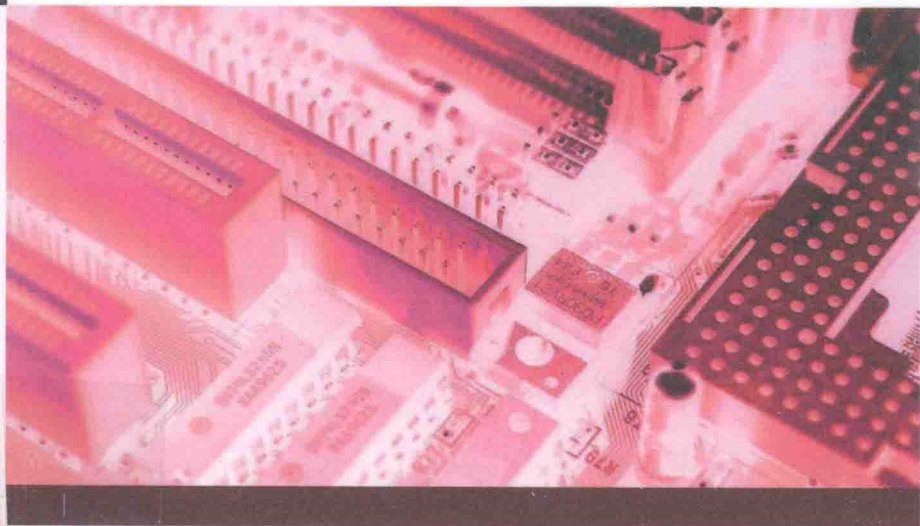


# 边界扫描测试技术及应用

Boundary Scan Technology  
and Its Application

陈圣俭 牛春平 石海滨 编著



国防工业出版社

National Defense Industry Press

# 边界扫描测试技术及应用

陈圣俭 牛春平 石海滨 编著

国防工业出版社

·北京·

# 内 容 简 介

全书共分 10 章, 主要内容有: 边界扫描测试技术的发展过程及基本原理; 边界扫描标准体系结构框图及边界扫描测试的总体概念; TAP 控制器的组成和工作原理; 指令寄存器和指令系统, 以及测试数据寄存器的规定及使用; 互连测试及诊断算法原理; 混合电路边界扫描测试标准 IEEE1149.4 和模块测试及维护总线标准 IEEE1149.5; 对数字电路系统的边界扫描测试进行了实例剖析; 依据混合电路边界扫描测试标准进行 BIT 设计的基本原理框架, 并给出了分立元件参数在线测试的流程。

## 图书在版编目 (CIP) 数据

边界扫描测试技术及应用/陈圣俭, 牛春平, 石海滨编著.  
—北京: 国防工业出版社, 2016.6  
ISBN 978-7-118-10714-2

I. ①边… II. ①陈… ②牛… ③石… III. ①边界扫描技术—测试技术 IV. ①TM93

中国版本图书馆 CIP 数据核字 (2016) 第 130773 号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

国防工业出版社印刷厂印刷

新华书店经售

\*

开本 880×1230 1/32 印张 8% 字数 240 千字

2016 年 6 月第 1 版第 1 次印刷 印数 1—2000 册 定价 79.00 元

(本书如有印装错误, 我社负责调换)

国防书店: (010) 88540777

发行邮购: (010) 88540776

发行传真: (010) 88540755

发行业务: (010) 88540717

# 前 言

边界扫描测试 (Boundary Scan Test, BST) 技术是一种新型测试技术, 它主要针对单个芯片的测试和系统在线测试而设计, 属于测试性设计的研究范畴。测试性设计的概念早在 20 世纪 70 年代就已经提出。随着科技的发展和集成电路设计水平、制造工艺的提高, 电子系统的规模和密度不断增加, 常规测试的成本和时间开销迅速增大。特别是近年来芯片管脚间距的急剧缩小、微封装和多芯片组技术的出现, 使得常规测试几乎无法进行。为了提高测试效率、降低测试成本, 测试性设计技术在装备电子系统的设计中得到了广泛应用, 在高可靠性系统中几乎都进行了测试性设计。但是, 由于常规芯片自身缺少标准化的自测试结构, 使得常规测试性设计的效果大打折扣, 同时进行测试性设计所附加的软、硬件开销大为增加, 而且由于芯片和系统缺乏统一软、硬件测试标准的支撑, 导致常规测试性设计方法很难具备标准化和通用性, 因此其可重用性和可移植性较差。在此背景下, 边界扫描测试技术的概念和测试方法被提出来, 并逐步形成了国际标准——IEEE1149 系列标准。边界扫描测试技术的核心内容是集成电路 (Integrated Circuits, IC) 的设计阶段, 在它的每一个管脚和核心逻辑电路之间增加由移位寄存器构成的边界扫描单元 (Boundary-Scan Cell, BSC), 通过芯片上专用的边界扫描结构控制管脚的状态, 实现对其管脚状态的可观及可控。IEEE1149 系列标准是一套完整的国际标准文本, 它对芯片的边界扫描结构设计、测试逻辑、操作时序和系统级测试的层次化主从结构、操作原理等都给出了详细的建

议标准。目前，国际上几乎所有主要的芯片生产厂家都加入了 IEEE1149 系列标准组织，都能设计生产符合该标准的芯片。这样，在对单个芯片的测试和系统的在线测试时就有了统一的标准，特别是进行机内自测试设计时，就可以依据边界扫描测试技术标准，构建具有通用性的系统化测试方法。

在航空航天、核电军工等高可靠性系统领域，为了提高系统的可靠性，通常除采用高可靠性元器件并进行硬件冗余设计外，还采取机内自测试及故障自诊断设计技术，以确保系统发生故障后，能迅速定位故障。过去，常规机内自测试和故障自诊断技术存在着故障检测率、隔离率低，虚警率高的问题，主要原因是信息的获取不是十分方便和充分，其次是由于芯片本身缺乏测试性结构的支持导致系统信号难以被隔离。边界扫描测试技术的应用使得底层数据信息的获取更加全面、高效，并且芯片间的隔离更方便实施，因此在电子系统的机内自测试和故障自诊断系统设计中，采用边界扫描测试技术可以提高系统的故障检测率、隔离率，降低虚警率。可以预见，边界扫描测试技术将会是今后相当长时期内可测性设计的主流新技术。

目前，边界扫描测试技术在全球范围内受到了高度重视，特别是发达国家，对此投入了大量人力、物力进行研究与开发，在一些新型民用飞机和军事装备的自测试、自诊断方面都有成功的应用。国内在边界扫描测试技术领域的研究与国外先进水平相比有一定的差距，主要是由于国内开展相关研究的起步较晚，同时国内市场上也很难买到高端的边界扫描器件，这对开展相关研究也是一种制约。在多年故障诊断与自动测试研究的基础上，装甲兵工程学院控制系“检测技术与自动化装置”硕士学科点从 2003 年开始指导硕士生开展边界扫描测试技术研究，同年“导航制导与控制”博士点开展边界扫描测试技术与故障诊断技术结合方面的研究。2008 年开设了

“边界扫描测试技术”硕士生课程。针对当前国内外边界扫描测试技术的研究现状，结合多年研究成果及教学工作总结，组织编著了本书。

本书适合作为检测技术及自动化装置和相关专业硕士研究生教材使用，也适合相关领域科技人员参考。

书中所涉及的研究工作，得到了国家自然科学基金项目（60871029，61179001）的大力支持，在此表示感谢。

本书的出版得到了国防工业出版社冯晨编辑的大力支持，同时徐磊博士、王栋博士，陈健、郑伟东、张胜满、王晋阳、周银、王蒙蒙、高华、朱晓兵等硕士都做了大量工作。在此对他们的辛勤劳动表示感谢，并祝愿他们工作顺利、事业有成。

由于编著者水平有限，书中难免有疏漏和不妥之处，恳请读者谅解指正。

作 者

2016年3月

# 目 录

<b>第 1 章 边界扫描测试技术概述</b> .....	1
1.1 技术背景及研究进展 .....	1
1.2 边界扫描测试技术原理及测试过程 .....	4
1.2.1 基本原理 .....	4
1.2.2 测试过程 .....	7
1.3 测试逻辑结构及框架 .....	8
1.4 边界扫描测试技术的运用 .....	10
<b>第 2 章 测试访问端口</b> .....	13
2.1 时钟输入 (TCK) .....	14
2.2 测试模式选择输入 (TMS) .....	15
2.3 测试数据输入 (TDI) .....	15
2.4 测试数据输出 (TDO) .....	16
2.5 测试复位输入 (TRST) .....	16
<b>第 3 章 TAP 控制器</b> .....	17
3.1 TAP 控制器功能概述 .....	17
3.1.1 TAP 控制器的状态转换 .....	18
3.1.2 TAP 控制器 16 个状态功能描述 .....	19
3.2 TAP 控制器工作原理 .....	27
3.2.1 TAP 控制器对指令寄存器的控制 .....	28
3.2.2 TAP 控制器对测试数据寄存器的控制 .....	30
3.3 TAP 控制器设计实现 .....	33

3.3.1	传统设计方法	33
3.3.2	基于硬件描述语言的设计方法	39
3.3.3	TAP 控制器的初始化	41
<b>第4章</b>	<b>指令寄存器及测试指令</b>	<b>43</b>
4.1	指令寄存器功能概述	43
4.2	指令寄存器工作原理及设计实现	44
4.3	测试指令	47
4.3.1	指令的分类	47
4.3.2	测试指令集	48
<b>第5章</b>	<b>测试数据寄存器</b>	<b>67</b>
5.1	测试数据寄存器概述	67
5.2	边界扫描寄存器	71
5.2.1	边界扫描寄存器的设计与实现	73
5.2.2	边界扫描寄存器单元	76
5.2.3	特殊情况的优化设计	110
5.3	旁路寄存器	113
5.4	器件标识寄存器	114
5.4.1	器件标识寄存器的原理及设计实现	114
5.4.2	制造厂商标识码 (Manufacturer Identity Code)	116
5.4.3	Part - number 码和版本号 (Version)	117
<b>第6章</b>	<b>边界扫描互连诊断算法</b>	<b>118</b>
6.1	故障模型及基本概念	119
6.1.1	故障模型	119
6.1.2	基本概念	121
6.1.3	边界扫描互连诊断算法优劣评价标准	122
6.2	边界扫描互连诊断算法研究现状及存在的问题	123
6.2.1	常规互连诊断算法研究现状	123



6.2.2	结构互连诊断算法研究现状	125
6.2.3	自适应互连诊断算法研究现状	126
6.2.4	边界扫描互连诊断算法存在的问题	127
6.3	有关征兆误判和征兆混淆的定理和推论的证明	128
6.3.1	故障检测定理	128
6.3.2	抗误判定理	129
6.3.3	完备性定理	131
6.4	$W-A$ 与 $W-O+W-A$ 的常规互连诊断算法	132
6.4.1	改进的 $W-O$ 抗误判算法	132
6.4.2	改进的 $W-A$ 抗误判算法	135
6.4.3	同时具备 $W-O$ 和 $W-A$ 对角独立性的多故障测试生成算法	137
6.4.4	$W-A$ 的 GNS 算法	141
6.4.5	$W-O+W-A$ 的 GNS 算法	143
6.4.6	常规互连诊断算法总结	145
6.5	结构互连诊断算法	147
6.5.1	故障提取及故障原因分析	147
6.5.2	短路故障提取方法	148
6.5.3	结构算法相关定义	151
6.5.4	现有结构诊断算法分析	152
6.6	$W-A$ 与 $W-O+W-A$ 的自适应互连诊断算法	159
6.6.1	$W-A$ 的自适应互连诊断算法	159
6.6.2	$W-O+W-A$ 的自适应互连诊断算法	162
6.6.3	改进的自适应互连诊断算法	165
<b>第七章 混合电路边界扫描测试标准 IEEE1149.4</b>		<b>172</b>
7.1	混合电路测试工作原理及基本测试结构	172
7.2	测试总线接口电路 (TBIC)	176
7.2.1	测试总线与 TBIC 结构	176
7.2.2	测试总线接口电路控制	178

7.2.3	隔离内部测试总线结构 .....	180
7.3	ABM 模块 .....	182
7.3.1	ABM 的基本结构 .....	182
7.3.2	ABM 的控制 .....	185
7.3.3	差分 ABM .....	187
7.4	指令 .....	190
7.5	测量方法 .....	193
7.5.1	互连测试 .....	193
7.5.2	扩展互连测试 .....	194
7.5.3	网络测量 .....	196
<b>第八章</b>	<b>模块测试及维护总线标准 IEEE1149.5 .....</b>	<b>197</b>
8.1	IEEE1149.5 标准简介 .....	197
8.2	IEEE1149.5 MTM 总线的结构、寻址方式和物理层协议 .....	200
8.3	IEEE1149.5 MTM 总线的链路层协议 .....	202
8.3.1	消息包说明及要求 .....	203
8.3.2	主模块的链路层协议 .....	204
8.3.3	从模块的链路层协议 .....	206
8.4	IEEE1149.5 MTM 总线的消息层协议 .....	209
<b>第9章</b>	<b>数字电路系统边界扫描测试技术应用 .....</b>	<b>212</b>
9.1	被测系统描述 .....	212
9.1.1	被测系统分析 .....	212
9.1.2	被测系统测试性设计 .....	214
9.2	主控系统硬件设计 .....	222
9.3	主控系统软件设计 .....	224
9.4	边界扫描测试验证与结果分析 .....	230
9.4.1	边界扫描互连测试验证 .....	232
9.4.2	边界扫描簇测试验证 .....	238

9.4.3	芯片功能自测试验证 .....	241
9.4.4	BIST 测试 .....	241
<b>第 10 章</b>	<b>基于边界扫描测试技术的混合信号电路 BIT 应用 .....</b>	<b>242</b>
10.1	研究对象简介 .....	242
10.2	基于边界扫描技术的混合信号电路测试性设计 .....	242
10.3	被测电路系统的设计和改造 .....	243
10.3.1	相关性分析和建模 .....	243
10.3.2	测试优选 .....	246
10.3.3	制定诊断策略 .....	247
10.3.4	基于边界扫描技术的 BIT 设计实现 .....	248
10.4	测试类型和测试方法 .....	252
10.4.1	边界扫描链路完整性测试 .....	252
10.4.2	器件间互连测试 .....	252
10.4.3	分立元件参数测试 .....	254
	参考文献 .....	257

# 第 1 章 边界扫描测试技术概述

## 1.1 技术背景及研究进展

1986—1988 年，以欧洲和北美会员为主的联合测试行动组织（Joint Test Action Group, JTAG）为解决 VLSI（Very Large Scale Integration）等新型电子器件的测试问题，率先开展了边界扫描测试技术研究，提出了一系列 JTAG 边界扫描标准草案。1988 年，IEEE 和 JTAG 组织达成协议，共同开发边界扫描测试架构，并于 1990 年形成了 IEEE1149.1 标准，也称为 JTAG 标准。IEEE 组织于 1993 年和 1994 年两次对 IEEE1149.1 标准进行补充和修改，形成新版本 IEEE1149.1-2001，包含 IEEE1149.1a 标准和 IEEE 1149.1b 标准。

IEEE 组织随后还制定了与边界扫描测试技术相关的其他标准，逐渐形成了完整的边界扫描测试技术体系。1995 年发布的 IEEE1149.5 标准支持单个模块的故障隔离和多个模块之间的互连测试。该标准规范了一种测试和维护命令的通信方法，用于总线上各子系统测试控制模块（MTM 主模块）（Module Test and Maintenance, MTM）和其他模块（MTM 从模块）之间的串行数据交换。1999 年发布的 IEEE1149.4 边界扫描标准则致力于模拟电路可测试性设计的规范化，是 IEEE1149.1 标准的扩展，并与 IEEE1149.1 标准兼容。2003 年发布的 IEEE1149.6 标准是对 IEEE1149.1 标准和 IEEE1149.4 标准的扩展，对未给予足够重视的高级数字网络，尤其是包含交流耦合、差分的以及两者兼而有之的网络进行了规范。2005 年发布的 IEEE Std 1500 标准则致力于解决片上系统（SOC）的测试问题，为 IP 核供应商和集成商开发片上系统芯片的测试提供了标准的接口规范。随着芯片功能的不断增加，系统设计从简单的电路板向复杂的片上系统（SoC）发展，现有的硬件 IP 模块被大规模重复利用，从而

生产出多内核、多功能的系统芯片。这样的系统芯片需要多个测试存取端口控制器 (TAPC) 来实现从边界扫描测试到内部调试控制的多样化功能。在某些应用领域, 多个 TAPC 整合于同一芯片中成为发展的必然趋势。但是, 片上多 TAPC 结构不符合 IEEE1149.1 标准 JTAG, 这就需要新的规范来解决这一问题。与此同时, 手持终端设备与消费类电子产品的开发人员正面临着日益严格的引脚与封装要求, 在利用边界扫描技术进行产品测试时不仅要求减少 TAP 引脚数, 还要求 TAP 具有传输后台数据的功能。在此背景下, 美国德州仪器公司于 2009 年推出了 IEEE1149.7 标准。IEEE1149.7 标准是一种全新的双引脚测试与调试接口标准, 业界通常称为紧凑型 JTAG (CJTAG)。

在国外, 边界扫描测试技术被 IEEE 组织接受后, 受到军方和工业界的普遍重视, 成为新型电子设备的主要测试和可测性设计技术, 在 F-22、波音 777 飞机, 甚至个人计算机设备上都得到了成功应用, 在提高电子设备的完好性、可测性和降低人力和保障费用等方面发挥了重大作用。近年来, Corelis 公司在应用边界扫描测试标准进行在线测试方面处于世界领先地位, 该公司从 1991 年开始研究使用边界扫描测试技术对目标板进行测试, 已经研制出一系列高性能的 JTAG 产品。比如, 基于边界扫描测试技术开发的线路检测设备 (Scan Plus) 以及总线分析器 (Bus Analyzer), 与传统的检测设备相比, 它们具有尺寸小、使用方便和可靠性高等优点, 能够提供测试矢量生成、测试执行及器件级的故障诊断等功能。目前 90% 以上复杂的芯片 (尤其是 VLSIC) 都带有边界扫描结构, 支持 IEEE1149.1 标准。Intel 公司的嵌入式超标量 RISC 微处理器 i960 芯片、Altera 公司的 MAX9000 等系列产品, 都具有边界扫描测试结构。美国德州仪器公司推出了专门用于边界扫描测试开发的边界扫描主控器芯片 SN74ACT8990、SN74ACT8997 等产品。Teradyne 公司 1989 年推出了第一个称为 BCM 的边界扫描诊断软件, 之后又陆续开发了供自动生成测试程序用的 VICTORY 软件。在系统扩展方面, National Semiconductor 公司设计了边界扫描板级和系统级的链接方案和接口产品, 以适应大型测试系统的需要。

在国内, 对边界扫描测试技术的研究总体起步较晚, 在边界扫描

测试应用方面还比较落后，尚处于探索阶段。国内的边界扫描测试仪器、专用测试开发工具（含软件），以及边界扫描芯片都是引进或购买国外产品，价格昂贵，导致了边界扫描测试技术研究及应用推广有较大的局限性，普及度不高。

国内的一些科研机构、电子设备制造商和测试商也逐步认识到边界扫描测试技术的重要性，加大了对该技术的研究力度，但由于国外的技术封锁，对边界扫描测试标准的研究进度比较缓慢。最近几年，国内对边界扫描测试技术开展研究的单位很多，但是真正取得较大进展的研究单位并不是很多，北京自动化测试技术研究所等少数单位对边界扫描测试技术的研究工作取得了一些初步成果；国防科技大学机电工程与自动化学院较早地开始对 IEEE1149.1 标准研究，提出了一系列相关的测试生成及故障诊断理论及方法，并在银河 - III 型巨型机部分设计中采用了边界扫描测试技术；航天部 771 所将边界扫描测试技术应用在并行处理器芯片设计中，并且设计了专用的 RISC 主控芯片；深圳华为公司经过多年的潜心研究，在其个别电信设备产品中已有支持边界扫描测试的硬件系统和软件系统投入使用；北京航天测控技术公司也在致力于边界扫描测试技术的研究，并有成套的边界扫描测试控制器和测试软件投入应用；西安微电子技术研究所开发的 LS - JTAG 边界扫描测试系统，是以其自行开发的 JTAG 控制芯片为接口芯片，配合单片机和微型机组成测试系统；桂林电子科技大学电子工程系 CAT 研究室研制的边界扫描测试系统 BS9602 曾于 2001 年通过信息产业部专家鉴定。装甲兵工程学院控制系在多年电路故障诊断研究的基础上，于 2003 年开始进行边界扫描测试技术研究，已指导多届研究生，在边界扫描互连测试算法研究上，对经典测试算法进行了较大改进，降低了测试的误判率和混淆率，提高了测试效率；对边界扫描芯片的边界扫描测试结构设计进行了深入研究，实现了双向 I/O 和三态门引脚的边界扫描结构设计；在纯数字系统和模数混合系统的自动测试方面，实现了基于边界扫描测试技术的两种测试主控器系统结构设计（基于边界扫描专用控制器芯片 ACT8990 的单片机控制系统和基于 FPGA 的 SOC 系统）；在混合信号系统的故障自诊断研究方面，采用新的故障诊断方法结合边界扫描测试，实现了混合信号

系统的通用自测试、自诊断系统设计。在开展上述研究工作的过程中，本学科点项目组受到了国家自然科学基金委的基金项目资助，于2008年、2011年两次获得国家自然科学基金项目资助。

总体来看，边界扫描测试技术作为电子系统可测性设计的重要技术，已经在部分数字电路测试领域得到成功运用。对于复杂混合电路系统、片上系统等测试，目前在一些特定领域有很重要、迫切的需求，这正是国内边界扫描测试技术发展的重要推动力之一，还需要业内专家共同努力。

## 1.2 边界扫描测试技术原理及测试过程

### 1.2.1 基本原理

边界扫描测试技术是一种针对集成电路与系统的可测性设计技术，其主要思想是在集成电路的设计阶段，在它的每一个管脚和核心逻辑之间加载由移位寄存器构成的边界扫描单元（Boundary - Scan Cell, BSC），通过芯片上专用的边界扫描结构控制管脚，实现其管脚状态的可观及可控。边界扫描结构示意图如图1-1所示。

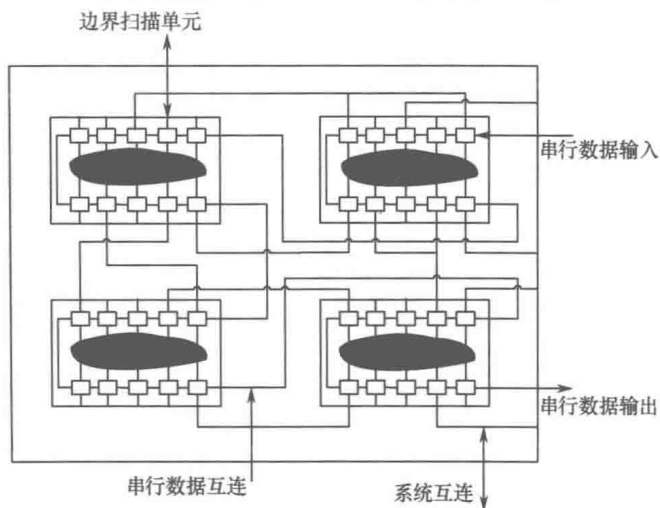


图 1-1 边界扫描结构示意图

器件管脚上的边界扫描单元相互串连并构成一条移位寄存器链，包围着器件核心功能逻辑，这条扫描链有专门的串行输入、输出端，并由专用测试时钟和控制信号进行控制。在由多块集成电路组成的系统中，单个集成电路的边界扫描寄存器可以相互连接成一条串行的通路，贯穿整个系统。另外，一个板级设计中可以包含多条独立的边界扫描链路。

器件正常工作时，边界扫描单元对系统的正常工作没有任何影响，同时能对管脚的状态进行观测；而当进入测试状态后，可通过扫描输入端将测试矢量以串行扫描的方式输入，对相应的管脚状态进行设定，实现测试矢量的加载，也可通过扫描输出端将系统测试响应串行输出，进行数据分析与处理，由此完成对 PCB 板上芯片的内部逻辑测试和外部互连测试。

### 1. 器件内部逻辑测试

器件内部逻辑测试是边界扫描测试的基本类型之一，主要用于检测器件的逻辑功能。基本测试方法为：先向指令寄存器发送内测试指令 INTEST，然后将测试矢量通过扫描链串行移位到器件输入端的边界扫描单元上，再将响应矢量串行移出，将其与正确的响应进行比较，即可得到测试结果。测试原理如图 1-2 所示。在进行内测试的过程中，应用边界扫描寄存器能够将某一待测器件的片上系统逻辑与周围器件进行隔离。此外，既然边界扫描寄存器能够对被测器件施加

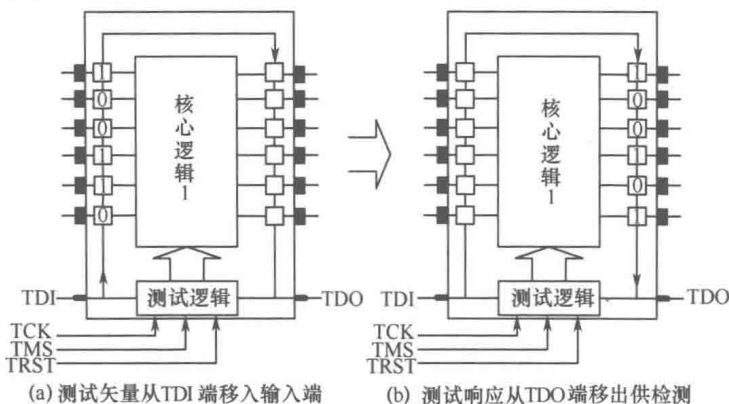


图 1-2 内部逻辑测试原理图



测试数据，那么通过适当的设计，应用边界扫描测试技术就能够针对片上系统逻辑进行低速静态测试。

## 2. 器件外部互连测试

器件的互连测试是边界扫描测试的基本类型之一，主要用于检测器件的连接故障，如：开路、短路和桥接。基本测试方法为：向指令寄存器发送外测试指令 EXTEST，同时在互连网络一端的边界扫描单元上加载测试矢量，然后在互连网络的另一端通过边界扫描单元捕获响应并串行移出，对测试矢量和响应进行数据分析，即可判断是否存在互连故障。测试原理如图 1-3 所示。

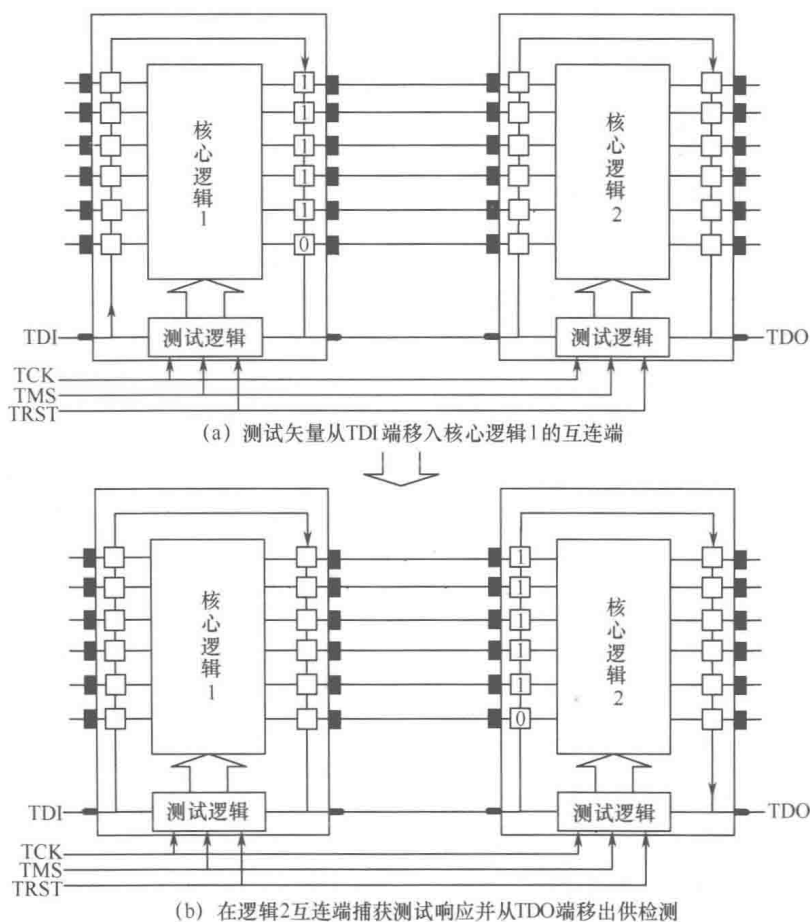


图 1-3 外部互连测试原理图