



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

Xilinx公司大学计划推荐教材

将基本的数字逻辑理论和复杂的数字系统设计方法深度融合

可作为电子信息类专业数字电路相关课程的参考教材

采用本书作为教材的高校教师获赠配套硬件开发平台

电子科学与技术

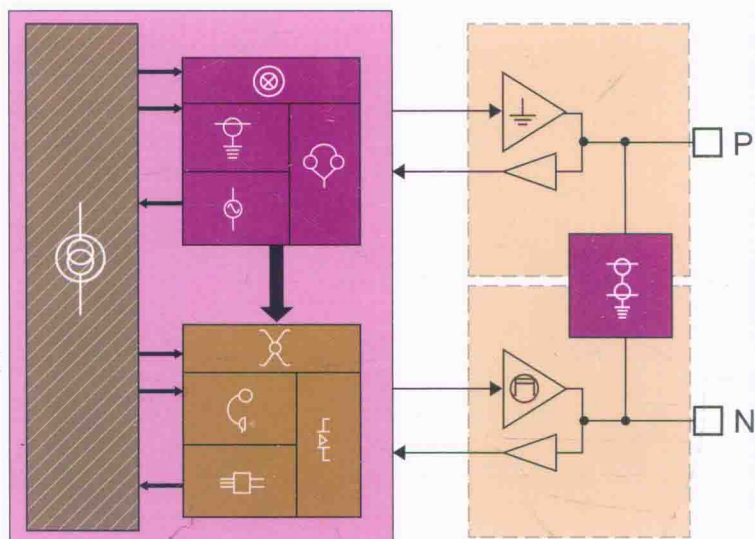
P rinciples of EDA and Verilog HDL
The Design of Transistor, Gate and Digital System on Xilinx Vivado

EDA原理及Verilog HDL实现

从晶体管、门电路到Xilinx Vivado的
数字系统设计

何宾 编著

He Bin



清华大学出版社



学习资源
见书中
学习说明



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

Principles of EDA and Verilog HDL

The Design of Transistor, Gate and Digital System on Xilinx Vivado

EDA原理及Verilog HDL实现

从晶体管、门电路到Xilinx Vivado的
数字系统设计

何宾 编著

He Bin

清华大学出版社

北京

内 容 简 介

本书是为高等学校电子信息类及相关专业编写的数字系统设计教材,共分为 11 章,主要内容包括数字逻辑基础、可编程逻辑器件工艺和结构、Vivado 集成开发环境 IP 设计流程、Vivado 集成开发环境 Verilog HDL 设计流程、Verilog HDL 语言规范、基本数字单元 Verilog HDL 描述、Verilog HDL 数字系统设计和实现、创建和封装用户 IP 设计和实现、Vivado 调试工具原理及实现、数字系统高级设计方法和数模混合系统设计。

本书以 Xilinx Artix-7 系列 FPGA 器件和 Xilinx 最新一代的 Vivado 2015.4 集成开发环境为设计平台,根据数字系统设计课程的教学要求以及作者多年的教学经验,将本科传统的数字电子技术(数字逻辑)课程与复杂数字系统设计课程相结合,遵循循序渐进、由浅入深的原则,内容涵盖了晶体管、门电路、数字逻辑理论、组合逻辑和时序逻辑、可编程逻辑器件结构、Vivado 集成开发环境设计流程、Verilog HDL 语言、Verilog HDL 复杂数字系统设计、IP 封装与调用、在线逻辑分析仪工具以及数模混合系统设计等方面。

为了方便教师教学和学生自学,书中给出了大量设计实例,并提供了配套的教学资源(详见书中的学习说明)。本书可作为本科生和研究生学习数字系统设计等相关课程的教材,或作为从事 Xilinx FPGA 设计的工程技术人员的参考用书,也可作为 Xilinx 大学计划培训的授课教材。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

EDA 原理及 Verilog HDL 实现:从晶体管、门电路到 Xilinx Vivado 的数字系统设计/何宾编著. —北京:清华大学出版社,2017

(高等学校电子信息类专业系列教材)

ISBN 978-7-302-45032-0

I. ①E… II. ①何… III. ①电子电路—电路设计—计算机辅助设计—高等学校—教材
IV. ①TN702

中国版本图书馆 CIP 数据核字(2016)第 218477 号

责任编辑:盛东亮 赵晓宁

封面设计:李召霞

责任校对:时翠兰

责任印制:李红英

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座

邮 编:100084

社总机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:清华大学印刷厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:37

字 数:899 千字

版 次:2017 年 1 月第 1 版

印 次:2017 年 1 月第 1 次印刷

印 数:1~2500

定 价:79.00 元

产品编号:068317-01

高等学校电子信息类专业系列教材

一 顾问委员会

谈振辉	北京交通大学 (教指委高级顾问)	郁道银	天津大学 (教指委高级顾问)
廖延彪	清华大学 (特约高级顾问)	胡广书	清华大学 (特约高级顾问)
华成英	清华大学 (国家级教学名师)	于洪珍	中国矿业大学 (国家级教学名师)
彭启琮	电子科技大学 (国家级教学名师)	孙肖子	西安电子科技大学 (国家级教学名师)
邹逢兴	国防科学技术大学 (国家级教学名师)	严国萍	华中科技大学 (国家级教学名师)

二 编审委员会

主任	吕志伟	哈尔滨工业大学		
副主任	刘旭	浙江大学	王志军	北京大学
	隆克平	北京科技大学	葛宝臻	天津大学
	秦石乔	国防科学技术大学	何伟明	哈尔滨工业大学
	刘向东	浙江大学		
委员	王志华	清华大学	宋梅	北京邮电大学
	韩焱	中北大学	张雪英	太原理工大学
	殷福亮	大连理工大学	赵晓晖	吉林大学
	张朝柱	哈尔滨工程大学	刘兴钊	上海交通大学
	洪伟	东南大学	陈鹤鸣	南京邮电大学
	杨明武	合肥工业大学	袁东风	山东大学
	王忠勇	郑州大学	程文青	华中科技大学
	曾云	湖南大学	李思敏	桂林电子科技大学
	陈前斌	重庆邮电大学	张怀武	电子科技大学
	谢泉	贵州大学	卞树檀	第二炮兵工程大学
	吴瑛	解放军信息工程大学	刘纯亮	西安交通大学
	金伟其	北京理工大学	毕卫红	燕山大学
	胡秀珍	内蒙古工业大学	付跃刚	长春理工大学
	贾宏志	上海理工大学	顾济华	苏州大学
	李振华	南京理工大学	韩正甫	中国科学技术大学
	李晖	福建师范大学	何兴道	南昌航空大学
	何平安	武汉大学	张新亮	华中科技大学
	郭永彩	重庆大学	曹益平	四川大学
	刘缠牢	西安工业大学	李儒新	中科院上海光学精密机械研究所
	赵尚弘	空军工程大学	董友梅	京东方科技集团
	蒋晓瑜	装甲兵工程学院	蔡毅	中国兵器科学研究院
	仲顺安	北京理工大学	冯其波	北京交通大学
	黄翊东	清华大学	张有光	北京航空航天大学
	李勇朝	西安电子科技大学	江毅	北京理工大学
	章毓晋	清华大学	张伟刚	南开大学
	刘铁根	天津大学	宋峰	南开大学
	王艳芬	中国矿业大学	靳伟	香港理工大学
	苑立波	哈尔滨工程大学		
丛书责任编辑	盛东亮	清华大学出版社		

序

FOREWORD

我国电子信息产业销售收入总规模在 2013 年已经突破 12 万亿元,行业收入占工业总体比重已经超过 9%。电子信息产业在工业经济中的支撑作用凸显,更加促进了信息化和工业化的高层次深度融合。随着移动互联网、云计算、物联网、大数据和石墨烯等新兴产业的爆发式增长,电子信息产业的发展呈现了新的特点,电子信息产业的人才培养面临着新的挑战。

(1) 随着控制、通信、人机交互和网络互联等新兴电子信息技术不断发展,传统工业设备融合了大量最新的电子信息技术,它们一起构成了庞大而复杂的系统,派生出大量新兴的电子信息技术应用需求。这些“系统级”的应用需求,迫切要求具有系统级设计能力的电子信息技术人才。

(2) 电子信息系统设备的功能越来越复杂,系统的集成度越来越高。因此,要求未来的设计者应该具备更扎实的理论基础知识和更宽广的专业视野。未来电子信息系统的设计越来越要求软件和硬件的协同规划、协同设计和协同调试。

(3) 新兴电子信息技术的发展依赖于半导体产业的不断推动,半导体厂商为设计者提供了越来越丰富的生态资源,系统集成厂商的全方位配合又加速了这种生态资源的进一步完善。半导体厂商和系统集成厂商所建立的这种生态系统,为未来的设计者提供了更加便捷却又必须依赖的设计资源。

教育部 2012 年颁布了新版《高等学校本科专业目录》,将电子信息类专业进行了整合,为各高校建立系统化的人才培养体系,培养具有扎实理论基础和宽广专业技能的、兼顾“基础”和“系统”的高层次电子信息人才给出了指引。

传统的电子信息学科专业课程体系呈现“自底向上”的特点,这种课程体系侧重对底层元器件的分析与设计,较少涉及系统级的集成与设计。近年来,国内很多高校对电子信息类专业课程体系进行了大力度的改革,这些改革顺应时代潮流,从系统集成的角度,更加科学合理地构建了课程体系。

为了进一步提高普通高校电子信息类专业教育与教学质量,贯彻落实《国家中长期教育改革和发展规划纲要(2010—2020 年)》和《教育部关于全面提高高等教育质量若干意见》(教高【2012】4 号)的精神,教育部高等学校电子信息类专业教学指导委员会开展了“高等学校电子信息类专业课程体系”的立项研究工作,并于 2014 年 5 月启动了《高等学校电子信息类专业系列教材》(教育部高等学校电子信息类专业教学指导委员会规划教材)的建设工作。其目的是为推进高等教育内涵式发展,提高教学水平,满足高等学校对电子信息类专业人才培养、教学改革与课程改革的需要。

本系列教材定位于高等学校电子信息类专业的专业课程,适用于电子信息类的电子信

息工程、电子科学与技术、通信工程、微电子科学与工程、光电信息科学与工程、信息工程及其相近专业。经过编审委员会与众多高校多次沟通,初步拟定分批次(2014—2017年)建设约100门课程教材。本系列教材将力求在保证基础的前提下,突出技术的先进性和科学的前沿性,体现创新教学和工程实践教学;将重视系统集成思想在教学中的体现,鼓励推陈出新,采用“自顶向下”的方法编写教材;将注重反映优秀的教学改革成果,推广优秀的教学经验与理念。

为了保证本系列教材的科学性、系统性及编写质量,本系列教材设立顾问委员会及编审委员会。顾问委员会由教指委高级顾问、特约高级顾问和国家级教学名师担任,编审委员会由教育部高等学校电子信息类专业教学指导委员会委员和一线教学名师组成。同时,清华大学出版社为本系列教材配置优秀的编辑团队,力求高水准出版。本系列教材的建设,不仅有众多高校教师参与,也有大量知名的电子信息类企业支持。在此,谨向参与本系列教材策划、组织、编写与出版的广大教师、企业代表及出版人员致以诚挚的感谢,并殷切希望本系列教材在我国高等学校电子信息类专业人才培养与课程体系建设中发挥切实的作用。

吕志伟 教授

前言

PREFACE

随着半导体技术的不断演进和发展,基于现场可编程门阵列(field programmable gate array, FPGA)的数字系统设计正逐步走向系统化和集成化。特别是,作为全球最大的可编程逻辑器件厂商,美国赛灵思(Xilinx)公司不断推出新器件、新设计工具和新设计方法,这些都将进一步地扩展 FPGA 在通信、人工智能、机器学习等复杂数据处理方面的应用, FPGA 也将成为电子信息类专业学生必须掌握的一项专业技能。

目前,国内电子信息类专业学生所学的传统数字逻辑理论和设计方法远不能满足要求,因此国内很多高校的电子类专业在开设传统数字逻辑课程的基础上,又单独开设了基于硬件描述语言(hardware description language, HDL)的数字系统设计课程。这种授课方式不但不利于知识点之间的有机衔接,同时也加重了学生的学习负担。

国内越来越多高校的电子类专业授课教师希望将传统数字逻辑课程和基于 HDL 的数字系统设计课程进行系统化融合。在这种需求背景下,作者根据多年的授课经验和学生实训成果,将传统的数字逻辑课程和基于 HDL 的数字系统设计课程进行系统化深度融合,编写了该教材。在编写教材的过程中本着由浅入深、由易到难的原则,在参考国外已经出版的数字设计教材和作者已经出版的《Xilinx FPGA 数字设计——从门级到行为级双重 HDL 描述》教材基础上,对复杂数字系统设计所需要的知识点进行了系统化融合。本书内容涵盖晶体管、门电路、布尔逻辑、组合逻辑与时序逻辑、可编程逻辑器件结构、IP 核封装和调用、Vivado 集成开发工具设计流程、Verilog HDL 语言规范、Verilog HDL 复杂数字系统设计以及在线逻辑分析仪工具等,目的是打通数字设计相关课程的知识通道,使学生能系统、全面、扎实地掌握数字设计相关的理论知识和设计方法,为高等学校电子信息类数字设计相关课程的教学改革和课程整合提供教学素材。

本书与作者已经出版的《Xilinx FPGA 数字设计——从门级到行为级双重 HDL 描述》一书相比,主要进行了以下重要的改变:

(1) 采用 Xilinx 28nm 工艺的 Artix-7 系列 FPGA 和 Xilinx 最新的 Vivado 2015.4 集成开发环境为设计平台。

(2) 突出以 IP 核为中心的设计思想,增加了 IP 核封装和 IP 核调用的内容。

(3) 增加在线逻辑分析仪工具内容的讲解,使得读者更熟练地使用该工具对复杂数字系统进行调试。

(4) 删除原书最后一章软核处理器 PicoBlaze 原理及应用的内容(注:该部分内容将使用 ARM 公司 Cortex-M0 MCU 代替,并作为单独教材进行更详细的讲解)。

(5) 将原书中的 VHDL 和 Verilog HDL 语言语法及设计案例,以两个不同版本教材的形式分开介绍,更具有针对性。

(6) 在介绍数模混合系统一章的内容时,使用 Xilinx Artix-7 系列 FPGA 器件内集成的 XADC 模块,使得读者能更深刻地体会半导体技术的发展对未来电子系统设计方法的影响以及 SoC 器件的概念。

通过对原书内容的更新和调整,本教材既涵盖了数字系统设计所必需的知识点,同时也反映了复杂数字系统设计的最新发展动态。

在讲授和学习本书内容时,教师和学生可以根据教学时数和内容的侧重点不同,适当将相关章节的内容进行调整和删减。为了让读者更好地掌握相关内容,本书还给出了大量设计示例程序和习题。本书不仅可以作为大学信息类专业讲授数字电子线路、数字逻辑和复杂数字系统设计相关课程的教学用书,也可以作为从事相关课程教学和科研工作者的参考用书。

为了方便教师教学和学生自学,本书还提供了相应的教学课件和所有设计实例的完整设计文件,这些设计资源可以在本书学习说明给出的网站上进行下载。

本书编写时引用和参考了许多著名学者和专家的研究成果,以及 Xilinx 公司的技术文档和手册。在本书编写过程中,Xilinx 的多位技术专家解答了作者所遇到的各种问题,在此特别向他们表示衷心的感谢。作者的学生李宝隆、张艳辉、汤宗美、杨天翔、王中正负责第 1~第 11 章部分内容的编写和设计实例的验证工作,在此一并向他们表示感谢。在本书的出版过程中,得到了 Xilinx 公司大学计划和 TI 大学计划及 RIGOL 大学计划的大力支持和帮助,同时也得到了清华大学出版社各位编辑的帮助和指导,在此表示深深的谢意。

由于作者水平有限,编写时间仓促,书中难免有疏漏之处,敬请读者批评指正。

编者

2016年8月于北京

学习说明

Study Shows

本书视频课堂的网址

书中提及的完整的公共免费高清视频可到北京汇众新特科技有限公司网络课堂观看学习,网址为

<http://www.edawiki.com>

本书教学课件(PPT)及工程文件的下载地址

北京汇众新特科技有限公司页面,网址为

<http://www.edawiki.com>

注:所有教学课件及工程文件仅限购买本书读者学习使用,不得以任何方式传播。

本书作者的联络方式

网站: <http://www.gpnewtech.com>

电子邮件: hb@gpnewtech.com

本书配套的 A7-EDP-1 开发板及配件由北京汇众新特科技有限公司负责

市场及服务支持热线: 010-83139076 010-83139176

作者联络方式

电子邮件: hb@gpnewtech.com

FPGA 交流 QQ 群号: 212132681

作者微信公众号



目录

CONTENTS

第 1 章 数字逻辑基础	1
1.1 数字逻辑的发展史	1
1.2 开系统	4
1.2.1 0 和 1 的概念	5
1.2.2 开系统的优势	5
1.2.3 晶体管作为开关	6
1.2.4 半导体物理器件	7
1.2.5 半导体逻辑电路	9
1.2.6 逻辑电路符号描述	12
1.3 半导体数字集成电路	16
1.3.1 集成电路的发展	16
1.3.2 集成电路构成	16
1.3.3 集成电路版图	17
1.4 基本逻辑门电路分析	19
1.4.1 基本逻辑门电路的描述	19
1.4.2 逻辑门电路的传输特性	23
1.4.3 基本逻辑门集成电路	28
1.4.4 不同工艺逻辑门的连接	29
1.5 逻辑代数理论	31
1.5.1 逻辑代数中运算关系	31
1.5.2 逻辑函数表达式	33
1.6 逻辑表达式的化简	36
1.6.1 使用运算律化简逻辑表达式	37
1.6.2 使用卡诺图化简逻辑表达式	40
1.6.3 不完全指定逻辑功能的化简	43
1.6.4 输入变量的卡诺图表示	45
1.7 毛刺产生及消除	51
1.8 数字码制表示和转换	53
1.8.1 数字码制表示	53
1.8.2 数字码制转换	55
1.9 组合逻辑电路	57
1.9.1 编码器	58
1.9.2 译码器	59

1.9.3	码转换器	62
1.9.4	数据选择器	63
1.9.5	数据比较器	65
1.9.6	加法器	67
1.9.7	减法器	70
1.9.8	加法器/减法器	74
1.9.9	乘法器	76
1.10	时序逻辑电路	77
1.10.1	时序逻辑电路类型	78
1.10.2	时序逻辑电路特点	78
1.10.3	基本SR锁存器	80
1.10.4	同步SR锁存器	80
1.10.5	D锁存器	81
1.10.6	D触发器	82
1.10.7	其他触发器	84
1.10.8	普通寄存器	88
1.10.9	移位寄存器	88
1.10.10	存储器	89
1.11	有限自动状态机	89
1.11.1	有限自动状态机原理	90
1.11.2	状态图表示及实现	91
1.11.3	三位计数器	93
第2章	可编程逻辑器件工艺和结构	96
2.1	可编程逻辑器件的发展历史	96
2.2	可编程逻辑器件工艺	97
2.3	简单可编程逻辑器件结构	100
2.3.1	PROM原理及结构	100
2.3.2	PAL原理及结构	100
2.3.3	PLA原理及结构	100
2.4	CPLD原理及结构	102
2.4.1	功能块	102
2.4.2	宏单元	103
2.4.3	快速连接矩阵	104
2.4.4	输入输出块	104
2.5	FPGA原理及结构	105
2.5.1	查找表结构及功能	106
2.5.2	可配置的逻辑块	107
2.5.3	时钟资源	108
2.5.4	时钟管理模块	111
2.5.5	块存储器资源	113
2.5.6	互联资源	115
2.5.7	专用的DSP模块	116
2.5.8	输入和输出块	117

2.5.9	吉比特收发器	118
2.5.10	PCI-E 模块	119
2.5.11	XADC 模块	120
2.6	CPLD 和 FPGA 比较	121
2.7	Xilinx 可编程逻辑器件	122
2.7.1	Xilinx CPLD 芯片介绍	122
2.7.2	Xilinx FPGA 芯片介绍	123
2.7.3	Xilinx PROM 芯片介绍	124
第 3 章	Vivado 集成开发环境 IP 核设计流程	128
3.1	IP 的基本概念	128
3.1.1	IP 核来源	129
3.1.2	IP 核的提供方式	129
3.1.3	IP 核优化	130
3.2	Vivado 工具设计流程	131
3.3	Vivado IP 数字系统的设计与实现	133
3.3.1	建立新的设计工程	133
3.3.2	修改工程设置属性	135
3.3.3	创建块设计	136
3.3.4	生成设计输出文件	140
3.4	XDC 文件原理及添加方法	140
3.4.1	XDC 的特性	140
3.4.2	约束文件的使用方法	141
3.4.3	约束顺序	141
3.4.4	XDC 约束命令	142
3.4.5	添加 XDC 文件	143
3.5	查看综合后的结果	145
3.6	查看实现后的结果	146
3.7	生成和下载比特流文件	147
3.7.1	生成比特流文件	147
3.7.2	下载比特流文件	147
3.8	生成和下载 PROM 文件	149
第 4 章	Vivado 集成开发环境 Verilog HDL 设计流程	152
4.1	创建新的设计工程	152
4.2	创建并添加一个新的设计文件	155
4.3	RTL 详细描述和分析	158
4.3.1	详细描述的原理	158
4.3.2	详细描述的过程	158
4.4	设计综合和分析	160
4.4.1	综合过程的关键问题	160
4.4.2	执行设计综合	160
4.4.3	综合报告的查看	163
4.5	设计行为级仿真	164
4.6	创建实现约束文件 XDC	167

4.6.1	实现约束的原理	167
4.6.2	I/O 规划器功能	167
4.6.3	实现约束过程	168
4.7	设计实现和分析	171
4.7.1	设计实现原理	171
4.7.2	设计实现及分析	172
4.8	设计时序仿真	174
4.9	生成并下载比特流文件	175
4.9.1	生成比特流文件	175
4.9.2	下载比特流文件到 FPGA	175
4.10	生成并烧写 PROM 文件	176
第 5 章	Verilog HDL 语言规范	179
5.1	Verilog HDL 语言发展	179
5.2	Verilog HDL 程序结构	180
5.2.1	模块声明	181
5.2.2	模块端口定义	181
5.2.3	逻辑功能定义	182
5.3	Verilog HDL 描述方式	184
5.3.1	行为级描述方式	184
5.3.2	数据流描述方式	185
5.3.3	结构级描述方式	186
5.3.4	开关级描述方式	187
5.4	Verilog HDL 语言要素	188
5.4.1	注释	188
5.4.2	间隔符	188
5.4.3	标识符	189
5.4.4	关键字	189
5.4.5	系统任务和函数	189
5.4.6	编译器命令	190
5.4.7	运算符	190
5.4.8	数字	190
5.4.9	字符串	193
5.4.10	属性	194
5.5	Verilog HDL 数据类型	195
5.5.1	值的集合	195
5.5.2	网络和变量	196
5.5.3	向量	196
5.5.4	强度	197
5.5.5	隐含声明	198
5.5.6	网络类型	198
5.5.7	寄存器类型	202
5.5.8	整数、实数、时间和实时时间	202
5.5.9	数组	203

5.5.10	参数	204
5.5.11	Verilog HDL 命名空间	206
5.6	Verilog HDL 表达式	207
5.6.1	操作符	207
5.6.2	操作数	216
5.6.3	延迟表达式	219
5.6.4	表达式的位宽	219
5.6.5	有符号表达式	221
5.6.6	分配和截断	222
5.7	Verilog HDL 分配	222
5.7.1	连续分配	223
5.7.2	过程分配	225
5.8	Verilog HDL 门级和开关级描述	226
5.8.1	门和开关声明	226
5.8.2	逻辑门	229
5.8.3	输出门	230
5.8.4	三态门	230
5.8.5	MOS 开关	232
5.8.6	双向传输开关	233
5.8.7	CMOS 开关	233
5.8.8	pull 门	234
5.8.9	逻辑强度建模	234
5.8.10	组合信号的强度和值	235
5.8.11	通过非电阻器件的强度降低	242
5.8.12	通过电阻器件的强度降低	243
5.8.13	网络类型强度	244
5.8.14	门和网络延迟	244
5.9	Verilog HDL 用户自定义原语	247
5.9.1	UDP 定义	247
5.9.2	组合电路 UDP	248
5.9.3	电平触发的时序 UDP	249
5.9.4	边沿触发的时序电路 UDP	250
5.9.5	初始化状态寄存器	250
5.9.6	UDP 例化	252
5.9.7	边沿触发和电平触发的混合行为	252
5.10	Verilog HDL 行为描述语句	253
5.10.1	过程语句	253
5.10.2	过程连续分配	258
5.10.3	条件语句	260
5.10.4	case 语句	261
5.10.5	循环语句	263
5.10.6	过程时序控制	265
5.10.7	语句块	269

5.10.8	结构化的过程	271
5.11	Verilog HDL 任务和函数	272
5.11.1	任务和函数的区别	272
5.11.2	任务和任务使能	273
5.11.3	禁止命名的块和任务	275
5.11.4	函数和函数调用	277
5.12	Verilog HDL 层次化结构	280
5.12.1	模块和模块例化	280
5.12.2	覆盖模块参数值	280
5.12.3	端口	284
5.12.4	生成结构	289
5.12.5	层次化的名字	297
5.12.6	向上名字引用	299
5.12.7	范围规则	300
5.13	Verilog HDL 设计配置	301
5.13.1	配置格式	301
5.13.2	库	302
5.13.3	配置例子	303
5.13.4	显示库绑定信息	304
5.13.5	库映射例子	305
5.14	Verilog HDL 指定块	306
5.14.1	模块路径声明	306
5.14.2	为路径分配延迟	311
5.14.3	混合模块延迟和分布式延迟	314
5.14.4	驱动布线逻辑	314
5.14.5	脉冲过滤行为的控制	315
5.15	Verilog HDL 时序检查	320
5.15.1	使用稳定窗口检查时序	320
5.15.2	用于时钟和控制信号的时序检查	322
5.15.3	边沿控制符	327
5.15.4	提示符: 用户定义对时序冲突的响应	327
5.15.5	使能有条件的时序检查	332
5.15.6	向量信号的时序检查	332
5.15.7	负时序检查	332
5.16	Verilog HDL SDF 逆向注解	334
5.16.1	映射 SDF 结构到 Verilog	334
5.16.2	多个注解	339
5.16.3	多个 SDF 文件	340
5.16.4	脉冲限制注解	340
5.16.5	SDF 到 Verilog 延迟值映射	341
5.17	Verilog HDL 系统任务和函数	341
5.17.1	显示任务	341
5.17.2	文件输入-输出系统任务和函数	347

5.17.3	时间标度系统任务	354
5.17.4	仿真控制任务	356
5.17.5	可编程逻辑阵列建模系统任务	356
5.17.6	随机分析任务	359
5.17.7	仿真时间函数	361
5.17.8	转换函数	362
5.17.9	概率分布函数	363
5.17.10	命令行输入	364
5.17.11	数学函数	367
5.18	Verilog HDL 的 VCD 文件	368
5.18.1	四态 VCD 文件的创建	368
5.18.2	四态 VCD 文件的格式	371
5.18.3	扩展 VCD 文件的创建	375
5.18.4	扩展 VCD 文件的格式	377
5.19	Verilog HDL 编译器指令	381
5.19.1	'celldefine 和 'endcelldefine	381
5.19.2	'default_nettype	381
5.19.3	'define 和 'undef	382
5.19.4	'ifdef、'else、'elsif、'endif 和 'ifndef	383
5.19.5	'include	385
5.19.6	'resetall	386
5.19.7	'line	386
5.19.8	'timescale	386
5.19.9	'unconnected_drive 和 'nounconnected_drive	387
5.19.10	'pragma	388
5.19.11	'begin_keywords 和 'end_keyword	388
5.20	Verilog HDL 编程语言接口 PLI	388
5.20.1	Verilog HDL PLI 发展过程	388
5.20.2	Verilog HDL PLI 提供的功能	389
5.20.3	Verilog HDL PLI 原理	389
5.20.4	Verilog HDL VPI 工作原理	392
5.21	Verilog HDL(IEEE 1364—2005)关键字列表	394
第 6 章	基本数字逻辑单元 Verilog HDL 描述	395
6.1	组合逻辑电路的 Verilog HDL 描述	395
6.1.1	逻辑门的 Verilog HDL 描述	395
6.1.2	编码器的 Verilog HDL 描述	396
6.1.3	译码器的 Verilog HDL 描述	396
6.1.4	多路选择器的 Verilog HDL 描述	398
6.1.5	数字比较器的 Verilog HDL 描述	399
6.1.6	总线缓冲器的 Verilog HDL 描述	400
6.2	数据运算操作的 Verilog HDL 描述	401
6.2.1	加法操作的 Verilog HDL 描述	401
6.2.2	减法操作的 Verilog HDL 描述	401

6.2.3	乘法操作的 Verilog HDL 描述	402
6.2.4	除法操作的 Verilog HDL 描述	402
6.2.5	算术逻辑单元的 Verilog HDL 描述	402
6.3	时序逻辑电路的 Verilog HDL 描述	404
6.3.1	触发器和锁存器的 Verilog HDL 描述	404
6.3.2	计数器的 Verilog HDL 描述	407
6.3.3	移位寄存器的 Verilog HDL 描述	410
6.3.4	脉冲宽度调制 PWM 的 Verilog HDL 描述	415
6.4	存储器的 Verilog HDL 描述	417
6.4.1	ROM 的 Verilog HDL 描述	417
6.4.2	RAM 的 Verilog HDL 描述	418
6.5	有限自动状态机的 Verilog HDL 描述	419
6.5.1	FSM 设计原理	419
6.5.2	FSM 的分类及描述	421
第 7 章	Verilog HDL 数字系统设计和实现	430
7.1	设计所用外设的原理	430
7.1.1	LED 灯驱动原理	430
7.1.2	开关驱动原理	431
7.1.3	七段数码管驱动原理	431
7.1.4	VGA 显示器原理	433
7.1.5	通用异步接收发送器原理	438
7.2	系统设计原理	440
7.3	创建新的设计工程	441
7.4	Verilog HDL 数字系统设计流程	442
7.4.1	设计分频时钟模块 2	442
7.4.2	设计和仿真计数器模块	443
7.4.3	设计顶层模块	446
7.4.4	设计和例化分频时钟模块 1	453
7.4.5	设计七段数码管模块	455
7.4.6	设计和例化分频时钟模块 3	462
7.4.7	设计和例化通用异步收发器模块	465
7.4.8	设计和例化分频时钟模块 4	470
7.4.9	设计和例化 VGA 控制器模块	473
第 8 章	创建和封装用户 IP 设计与实现	481
8.1	Vivado 定制 IP 流程导论	481
8.2	封装用户定义 IP 核设计流程	482
8.2.1	创建新的封装 IP 设计工程	482
8.2.2	添加 Verilog HDL 设计源文件	482
8.2.3	设置定制 IP 的库名和目录	483
8.2.4	封装定制 IP 的实现	484
8.3	调用用户自定义 IP 实现流程	488
8.3.1	创建新的调用 IP 工程	488
8.3.2	设置包含调用 IP 的路径	489