



全国高等职业教育“十二五”规划教材
中国电子教育学会推荐教材
全国高等职业院校规划教材·精品与示范系列

半导体集成电路

◎ 陆建恩 席筱颖 黄 玮 居水荣 编著

—— 集成电路的算法分析

—— 电路实现 仿真确认

—— 版图设计 工艺加工

—— 测试和封装等



- ◆ 按照集成电路产业链各岗位的能力要求设置课程内容
- ◆ 以集成电路中的元器件、单元电路、电路模块和完整电路等分层次介绍
- ◆ 提供多个实例和1个企业设计实例——触摸感应按键集成电路设计
- ◆ 为教学方便，本书配有免费的电子教学课件、习题参考答案等



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

全国高等职业教育“十二五”规划教材
中国电子教育学会推荐教材
全国高等职业院校规划教材·精品与示范系列

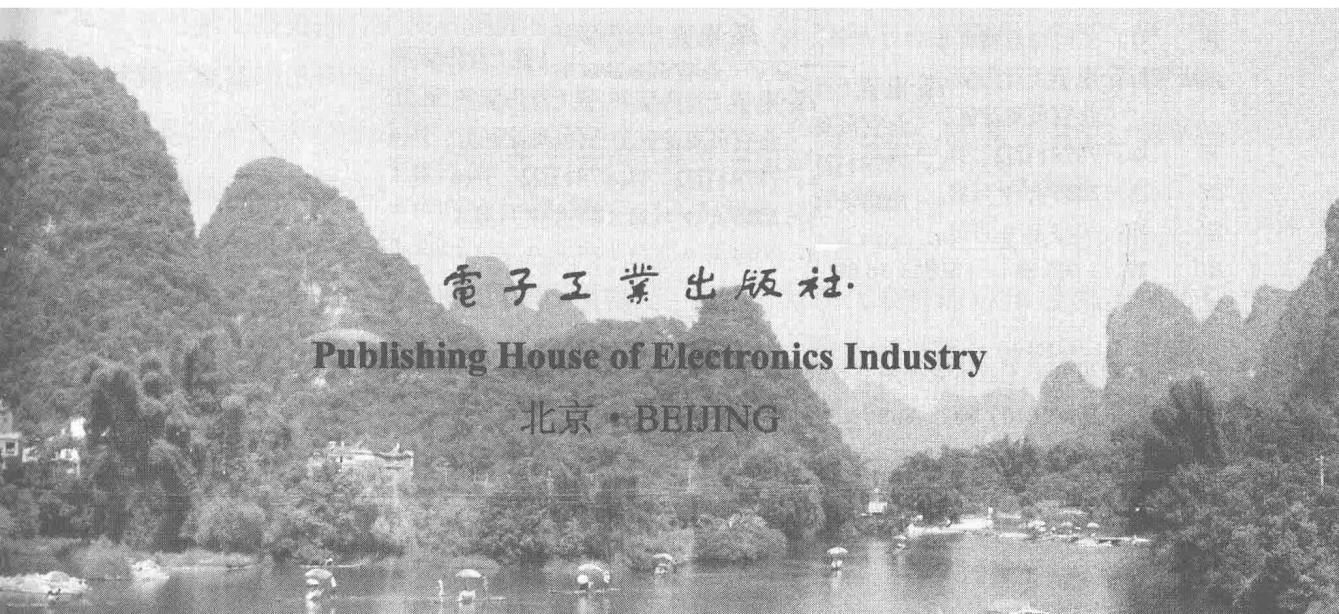
半导体集成电路

陆建恩 席筱颖 编著
黄 玮 居水荣

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING



内 容 简 介

集成电路产品已经在社会生产和生活中得到广泛的应用。作者根据行业企业岗位的技能需求,在总结十余年课程教学及多年企业的集成电路设计经验的基础上,结合近几年取得的课程改革成果编写了本书。本书共 10 章,主要内容有:集成电路的基本制造工艺,集成电路中的有源器件与无源器件,双极型数字集成电路, MOS 型数字集成电路及其特性,双极型和 MOS 型模拟集成电路,模拟集成电路的典型产品——集成运算放大器,集成电路设计基础,典型综合实例——触摸感应按键集成电路设计。本书内容丰富实用,避免冗长的公式推导,注重岗位技能培养。

本书为高等职业本专科院校相应课程的教材,也可作为开放大学、成人教育、自学考试、中职学校和培训班的教材,以及集成电路工程师的参考工具书。

本书配有电子教学课件、习题参考答案等,详见前言。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

半导体集成电路/陆建恩等编著. —北京:电子工业出版社, 2015.9

全国高等职业院校规划教材·精品与示范系列

ISBN 978-7-121-26876-2

I. ①半… II. ①陆… III. ①半导体集成电路—高等职业教育—教材 IV. ①TN43

中国版本图书馆 CIP 数据核字(2015)第 181813 号

策划编辑:陈健德(E-mail: chenjd@phei.com.cn)

责任编辑:李蕊

印 刷:三河市双峰印刷装订有限公司

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:14.75 字数:377.6 千字

版 次:2015 年 9 月第 1 版

印 次:2015 年 9 月第 1 次印刷

印 数:3 000 册 定价:36.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

前 言



信息技术在近些年迅猛发展, 微电子技术水平也不断提高, 集成电路产品已经在社会生产和生活中得到广泛的应用, 企业需要大量具备集成电路技术知识的应用型人才。半导体集成电路是整个集成电路家族中的核心, 伴随着制备技术的不断进步, 其电路结构形式及性能也与时俱进。作为微电子技术专业的一门专业课程, 其课程内容也应当紧跟技术发展的潮流, 突出实践技能培养, 符合教育部最新的职业教育教学改革要求。本书是作者在总结十余年半导体集成电路课程教学经验的基础上, 结合近几年取得的课程改革成果, 以及多年企业的集成电路设计经验编写而成的, 其主要特点有以下几个方面。

(1) 依据集成电路产业链上各个岗位的能力要求, 本书通过元器件、单元电路、电路模块和完整电路等几个层次递进的方式, 以“集成”概念为中心介绍其算法分析、电路实现、仿真确认、版图设计、工艺加工、测试和封装等。

(2) 本书内容几乎涵盖了目前常见集成电路中各种类型的元器件、单元电路和电路模块。

(3) 为提高学生学习兴趣, 本书尽量避免一些冗长、枯燥的数学公式的推导和理论介绍, 多采用实例来加以说明。

(4) 本书详细介绍了采用行业最新技术的企业项目——触摸感应按键集成电路设计, 给使用者建立了一个完整的集成电路的概念。

(5) 除了通常见到的关于元器件、单元电路和电路模块的版图设计之外, 本书还加入了逻辑设计的内容, 并且紧跟技术发展步伐, 介绍了目前行业内最新的设计工具。

本书第1章重点介绍集成电路的基本制造工艺, 为学习后续内容奠定基础; 第2章介绍集成电路中的有源器件与无源器件, 而且还包括各种寄生效应可能产生的影响; 第3章介绍双极型数字集成电路, 主要为TTL家族中的几种电路形式, 鉴于双极型数字集成电路目前已不是主流电路, 本书对这部分内容作了适当精简; 第4~6章重点讨论目前已成为半导体集成电路主流品种的MOS型数字集成电路及其特性, 其中突出CMOS电路内容, 包括各类MOS反相器和CMOS逻辑门, 重点介绍有代表性的CMOS逻辑部件和整体电路, 包括加法器、多路选择器、锁存器、触发器、移位寄存器、计数器/定时器、译码器和编码器、存储器、算术逻辑单元、中央处理单元和微控制器等; 第7章介绍双极型和MOS型模拟集成电路中的各类单元电路, 考虑到模拟电路自身结构的特点, 本书

尝试采用两者并列介绍的方式,便于读者记忆和对它们的特性进行比较;第8章介绍模拟集成电路的典型产品——集成运算放大器;第9章介绍集成电路设计基础,包括设计软件、数字和模拟集成电路的设计方法、版图设计基础,并以 $\mu A741$ 运放为例,给出其实例版图;最后一章为典型综合实例——触摸感应按键集成电路设计,首先介绍了该电路所包含的各种元器件,然后重点针对其中的数字单元电路和电路模块、模拟模块进行详细描述,最终简要介绍该电路的整体设计。

本书为高等职业本专科院校相应课程的教材,也可作为开放大学、成人教育、自学考试、中职学校和培训班的教材,以及集成电路工程师的参考工具书。

本书第1~3章由江苏信息职业技术学院黄玮编写,第4~6章由席筱颖编写,第7~9章由陆建恩编写,第10章和第6章、第9章的部分内容由居水荣编写,全书由陆建恩负责统稿。在编写过程中得到了电子信息工程系孙萍教授、微电子教研室其他老师及合作企业技术人员的大力帮助,在此表示由衷的感谢。

由于编者水平有限,书中难免存在缺点和错误,敬请广大读者批评指正。

为了方便教师教学,本书还配有免费的电子教学课件、习题参考答案等,请有此需要的教师登录华信教育资源网(<http://www.hxedu.com.cn>)免费注册后进行下载,有问题请在网站留言或与电子工业出版社联系。

编著者



目 录



第 1 章 集成电路的基本制造工艺	(1)
1.1 双极型集成电路的基本制造工艺	(2)
1.2 CMOS 集成电路的基本制造工艺	(7)
思考与练习题 1	(10)
第 2 章 集成电路中的有源器件与无源器件	(11)
2.1 集成晶体管	(11)
2.1.1 双极型晶体管	(11)
2.1.2 集成电路中的 PNP 管	(13)
2.1.3 集成 MOS 晶体管	(15)
2.2 有源器件的寄生效应	(16)
2.2.1 集成 NPN 管中的有源寄生效应	(16)
2.2.2 集成 NPN 管中的寄生电阻	(17)
2.2.3 集成 NPN 管中的寄生电容	(18)
2.2.4 集成 MOS 管中的有源寄生效应	(19)
2.2.5 闩锁效应	(20)
2.3 集成二极管	(22)
2.3.1 一般集成二极管	(22)
2.3.2 集成齐纳二极管	(23)
2.3.3 肖特基势垒二极管和肖特基钳位晶体管	(24)
2.4 集成电阻器	(24)
2.4.1 双极型集成电路中的常用电阻	(25)
2.4.2 MOS 型集成电路中的常用电阻	(30)
2.5 集成电容器	(30)
2.5.1 双极型集成电路中常用的集成电容器	(31)
2.5.2 MOS 集成电路中常用的 MOS 电容	(32)
思考与练习题 2	(32)
第 3 章 双极型数字集成电路	(34)
3.1 TTL 与非门	(35)
3.1.1 简易 TTL 与非门电路	(35)
3.1.2 四管标准 TTL 与非门	(39)
3.1.3 其他结构的 TTL 与非门	(44)
3.2 STTL 和 LSTTL	(44)

3.3	TTL 门电路的逻辑扩展	(46)
	思考与练习题 3	(48)
第 4 章	MOS 反相器	(50)
4.1	NMOS 反相器	(50)
4.1.1	电阻负载 MOS 反相器	(51)
4.1.2	E/E MOS 反相器	(52)
4.2	CMOS 反相器	(53)
4.2.1	CMOS 反相器的电路结构	(53)
4.2.2	工作原理	(54)
4.3	CMOS 反相器的静态特性	(55)
4.3.1	直流特性	(55)
4.3.2	中点电压	(57)
4.3.3	噪声容限	(58)
4.4	CMOS 反相器的开关特性	(58)
4.4.1	下降时间	(60)
4.4.2	上升时间	(61)
4.4.3	最大信号频率	(62)
4.4.4	延迟时间	(62)
4.5	CMOS 反相器的功耗特性	(62)
4.5.1	静态功耗	(62)
4.5.2	动态功耗	(63)
	思考与练习题 4	(64)
第 5 章	CMOS 逻辑门	(65)
5.1	互补对	(65)
5.2	基本的 CMOS 逻辑门	(66)
5.2.1	与非门 (NAND)	(66)
5.2.2	或非门 (NOR)	(68)
5.3	CMOS 复合逻辑门	(68)
5.3.1	与或非门 (AOI)	(68)
5.3.2	或与非门 (OAI)	(70)
5.3.3	异或门 (XOR)	(71)
5.3.4	同或门 (XNOR)	(73)
5.4	传输门	(73)
5.4.1	单沟道传输门	(74)
5.4.2	CMOS 传输门	(75)
5.5	CMOS 三态门	(75)
	思考与练习题 5	(77)

第 6 章	CMOS 基本逻辑部件	(78)
6.1	CMOS 加法器	(79)
6.1.1	半加器	(79)
6.1.2	全加器	(80)
6.1.3	串行进位加法器	(82)
6.1.4	超前进位加法器	(82)
6.2	多路选择器	(83)
6.3	锁存器	(86)
6.3.1	R-S 锁存器	(86)
6.3.2	D 锁存器	(87)
6.3.3	带使能控制的 D 锁存器	(88)
6.4	CMOS 触发器	(89)
6.4.1	D 触发器	(89)
6.4.2	施密特触发器	(92)
6.5	移位寄存器	(93)
6.5.1	基本移位寄存器	(93)
6.5.2	双向控制移位寄存器	(94)
6.6	计数器和定时器	(95)
6.7	译码器和编码器	(96)
6.8	存储器	(98)
6.8.1	只读存储器 (ROM)	(98)
6.8.2	随机存取存储器 (RAM)	(104)
6.9	算术逻辑单元	(107)
6.10	中央处理单元	(109)
6.10.1	控制部分	(110)
6.10.2	寄存器部分	(111)
6.11	微控制器	(112)
6.11.1	存储器组织	(114)
6.11.2	I/O 端口	(114)
6.11.3	中断系统	(115)
6.11.4	时钟控制和定时器	(115)
6.11.5	计数器	(116)
6.11.6	睡眠与唤醒	(116)
6.11.7	指令系统	(117)
6.11.8	寻址方式	(118)
	思考与练习题 6	(119)
第 7 章	双极型和 MOS 型模拟集成电路	(121)
7.1	基本放大器单元	(122)

7.1.1	单级放大器	(122)
7.1.2	差分放大器	(127)
7.2	恒流源电路	(134)
7.2.1	基本恒流源电路	(134)
7.2.2	比例恒流源电路	(134)
7.2.3	小电流恒流源	(136)
7.2.4	改进型恒流源	(136)
7.3	内部稳压源与基准电压电路	(138)
7.4	有源负载与双转单电路	(142)
7.4.1	有源负载	(142)
7.4.2	双转单电路	(145)
7.5	电平位移电路	(147)
7.5.1	射极跟随器电平位移电路	(148)
7.5.2	二极管电平位移电路	(148)
7.5.3	PNP 管电平位移电路	(149)
7.6	输出级及其保护电路	(149)
7.6.1	输出级电路	(150)
7.6.2	输出级保护电路	(153)
	思考与练习题 7	(155)
第 8 章	集成运算放大器	(157)
8.1	集成运算放大器的参数与电路构成	(158)
8.1.1	集成运算放大器的理想参数	(158)
8.1.2	集成运算放大器的电路构成	(159)
8.2	$\mu\text{A}709$ 双极型集成运算放大器电路分析	(159)
8.3	$\mu\text{A}741$ 双极型集成运算放大器电路分析	(162)
8.3.1	$\mu\text{A}741$ 电路构成及工作原理	(162)
8.3.2	$\mu\text{A}741$ 直流工作点计算	(164)
8.3.3	$\mu\text{A}741$ 集成运算放大器电路的特点	(167)
8.4	ICL7614 CMOS 集成运算放大器电路分析	(167)
8.4.1	ICL7614 CMOS 集成运算放大器的电路结构	(168)
8.4.2	工作原理	(168)
	思考与练习题 8	(170)
第 9 章	集成电路设计基础	(171)
9.1	集成电路设计软件与设计流程	(172)
9.1.1	主流设计软件的特色	(172)
9.1.2	Cadence 软件	(172)
9.1.3	芯愿景软件	(172)
9.2	集成电路的设计	(174)

9.2.1	数字集成电路的设计	(175)
9.2.2	HSPICE 仿真	(177)
9.2.3	SPECTRE 仿真	(183)
9.3	版图设计规则	(184)
9.3.1	最小宽度规则	(185)
9.3.2	最小间距规则	(185)
9.3.3	最小包围规则	(185)
9.3.4	最小延伸规则	(185)
9.4	元器件图形结构	(187)
9.4.1	NMOS 晶体管版图	(187)
9.4.2	PMOS 晶体管版图	(188)
9.4.3	NPN 型晶体管	(189)
9.4.4	PNP 型晶体管	(190)
9.5	版图设计实例—— μ A741 集成运算放大器版图设计	(192)
9.5.1	μ A741 集成运算放大器电路的组成	(192)
9.5.2	μ A741 直流工作电流	(193)
9.5.3	集成运算放大器版图设计的特点	(193)
9.5.4	隔离区划分	(194)
9.5.5	设计规则	(195)
9.5.6	元器件图形选择	(195)
9.5.7	芯片布局与布线	(197)
	思考与练习题 9	(198)
第 10 章	触摸感应按键集成电路设计	(199)
10.1	JSXX1401 总体介绍	(199)
10.2	JSXX1401 中的器件	(200)
10.2.1	电阻	(200)
10.2.2	电容	(202)
10.2.3	二极管	(205)
10.2.4	MOS 管	(206)
10.2.5	三极管	(207)
10.2.6	输入/输出单元和压焊点	(208)
10.2.7	其他版图结构	(212)
10.3	JSXX1401 电路中的数字单元和模块	(215)
10.3.1	MOS 逻辑门	(215)
10.3.2	锁存器	(215)
10.3.3	触发器	(215)
10.3.4	分频器	(216)
10.4	JSXX1401 电路中的模拟模块	(217)

10.4.1	上电复位电路.....	(217)
10.4.2	输入上下拉结构.....	(218)
10.4.3	大驱动结构.....	(219)
10.4.4	RC 振荡器结构	(220)
10.5	JSXX1401 的整体设计	(222)
10.5.1	JSXX1401 的逻辑设计	(222)
10.5.2	JSXX1401 的版图设计	(223)
10.5.3	JSXX1401 的测试	(224)
10.5.4	JSXX1401 的封装	(225)
思考与练习题 10		(226)



第 1 章

集成电路的基本制造工艺

集成电路是指采用一定的工艺,把一个电路中所需的晶体管、二极管、电阻、电容和电感等元器件及布线互连在一起,制作在一小块或几小块半导体晶片或介质基片上,并最终实现所需功能的微型电路结构。集成电路产品的实现,要经过功能设计、逻辑设计、电路设计、版图设计、工艺制造、芯片封装等多个步骤。其中电路和版图的设计也必须考虑到相应的工艺制造流程,因此在展开有关半导体集成电路设计的分析介绍之前,首先要了解一般集成电路的基本制造工艺流程。

目前而言,无论是产品性能还是产品品种,半导体集成电路在整个集成电路中都独占鳌头,大约占据了 90% 以上的份额。半导体集成电路是指直接以半导体衬底材料(简称晶圆)或其他衬底材料为基础,并在它们的外延层(通常是一层对电阻率、厚度有专门要求的半导体材料)上通过专门的半导体工艺技术,围绕以光刻技术为核心,辅以其他一系列超微细半导体加工手段,如离子注入、扩散、化学气相淀积(CVD)、溅射等制作而成的一种微型电路。其中半导体衬底材料主要是指硅(Si)、砷化镓(GaAs)等晶体材料,而其他衬底材料则可能是玻璃或陶瓷等。其中以硅为衬底的集成电路(简称硅基集成电路)长期以来一直是集成电路制造业的主流,其应用也最为广泛,产品价格也最低廉。目前硅基集成电路的制备晶圆直径为 5~12 in 不等,最细加工线宽(特征尺寸)已缩小至 22 nm。本章主要介绍硅基集成电路的制造工艺与设计知识。

集成电路根据所采用的器件,可以分为双极型集成电路和 MOS 型集成电路两大类。



1.1 双极型集成电路的基本制造工艺

集成电路制造的一个关键点是要实现元器件之间的隔离。在双极型集成电路的制造工艺中，常用的隔离方法包括 PN 结隔离、介质隔离，以及 PN 结和介质混合隔离，如 TTL、STTL 等电路都是采用这几种制造工艺。也有少数双极型集成电路是利用元器件间自然隔离实现的，如 I^2L 电路。

下面以典型的采用 PN 结隔离的掺金 TTL 电路为代表来介绍双极型集成电路的工艺制造流程。

典型的采用 PN 结隔离的掺金 TTL 电路工艺流程如图 1-1 所示，其基本工艺过程可描述为：在衬底硅片上生长一层外延层，随后将外延层划分为彼此电隔离的区域，然后在各个隔离区内制作特定的元器件，如晶体管、二极管、电阻器等。接着完成元器件之间的互连，最后经由装片、引线、封装而成为集成电路成品。

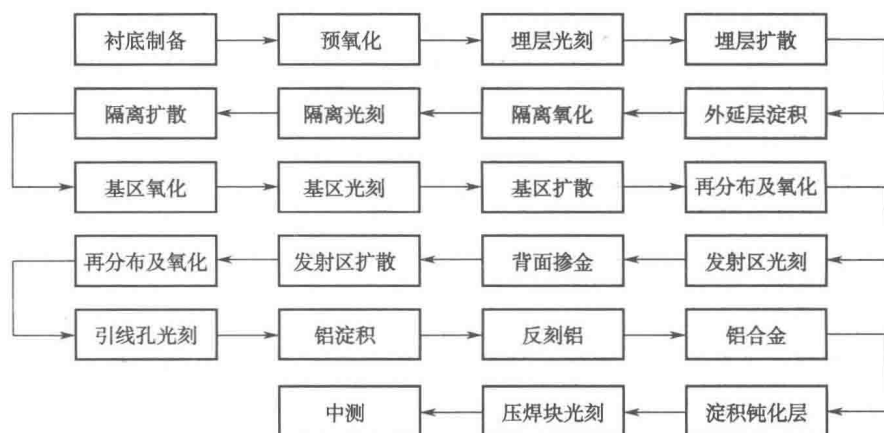


图 1-1 典型的采用 PN 结隔离的掺金 TTL 电路工艺流程

图 1-2 为典型 PN 结隔离双极型集成电路的工艺流程示意图。图中元器件为 NPN 型晶体管和硼扩散电阻。

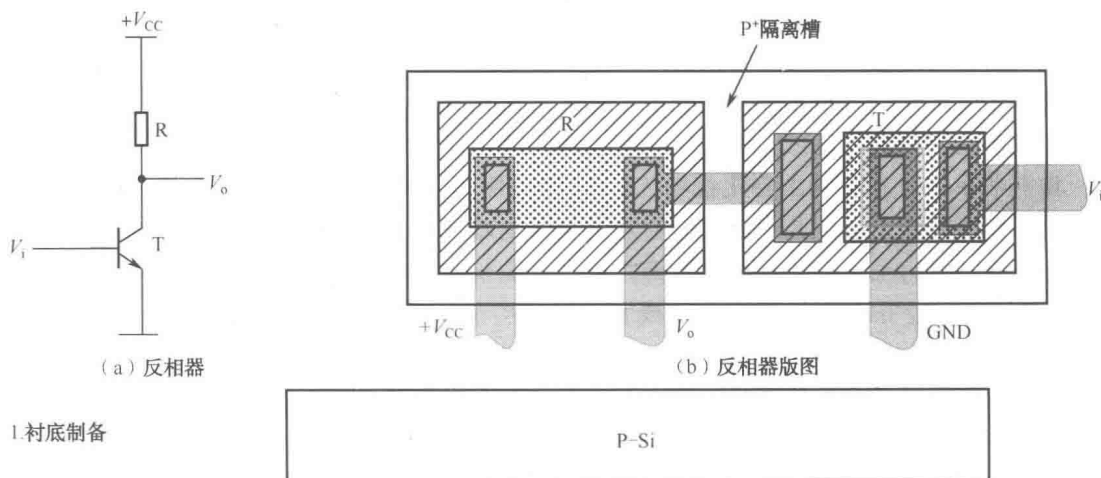


图 1-2 典型 PN 结隔离双极型集成电路的工艺流程示意图

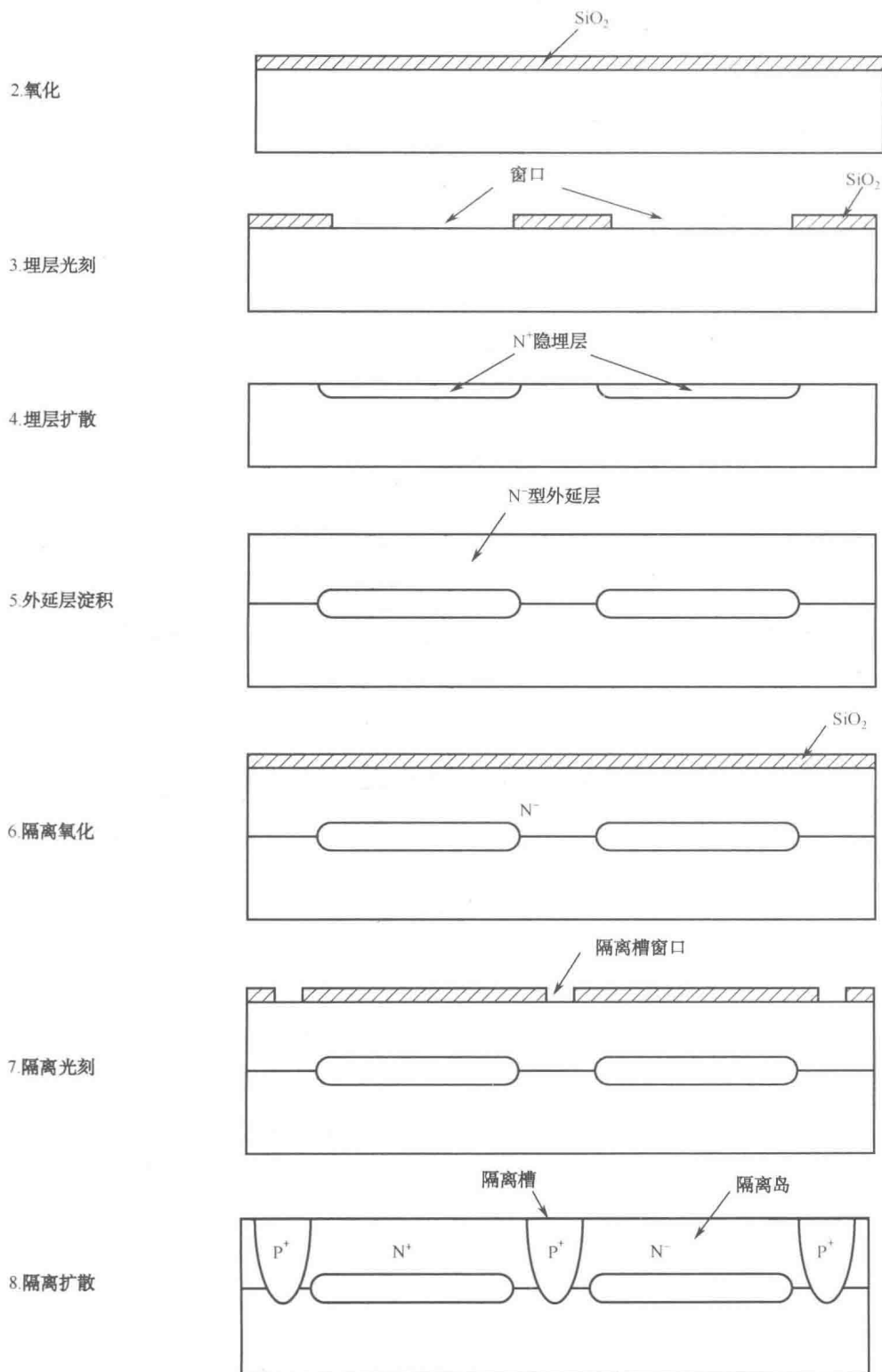
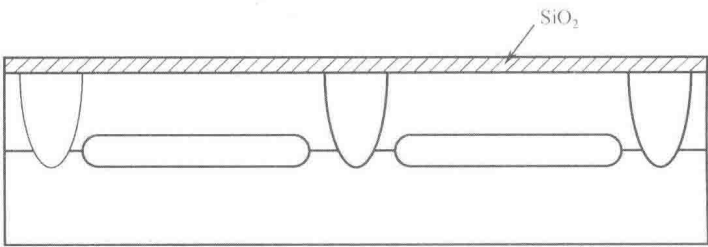


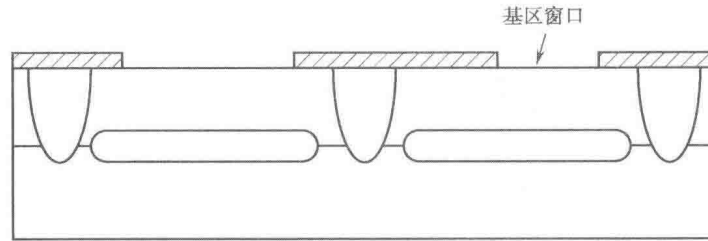
图 1-2 典型 PN 结隔离双极型集成电路的工艺流程示意图 (续)



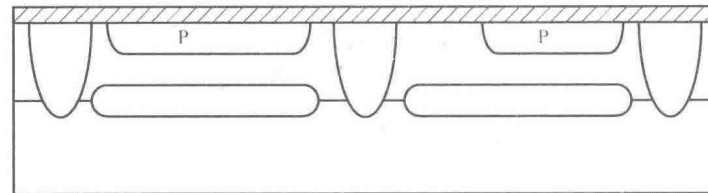
9. 基区氧化
(一次氧化)



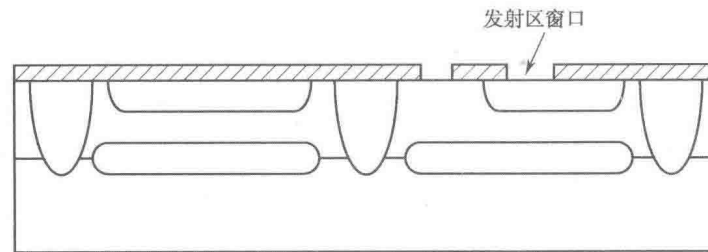
10. 基区光刻



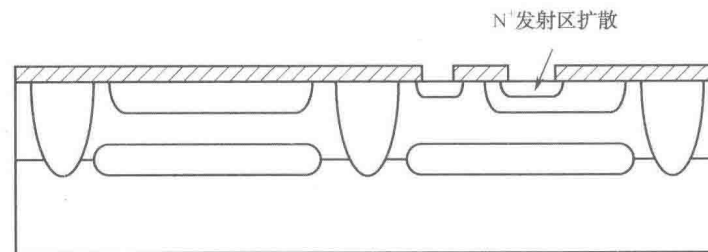
11. 基区扩散
(二次氧化)



12. 发射区光刻



13. 发射区扩散



14. 引线孔氧化
(三次氧化)

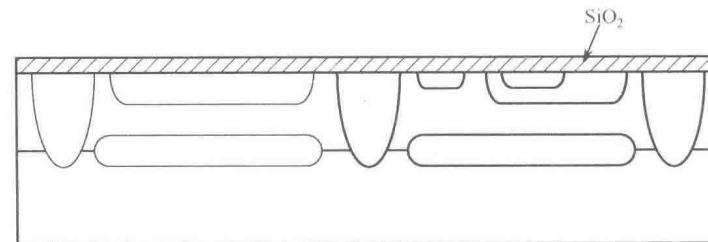
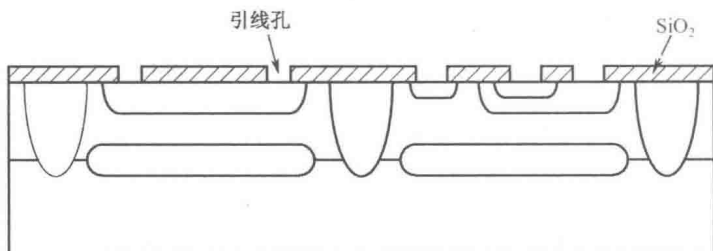


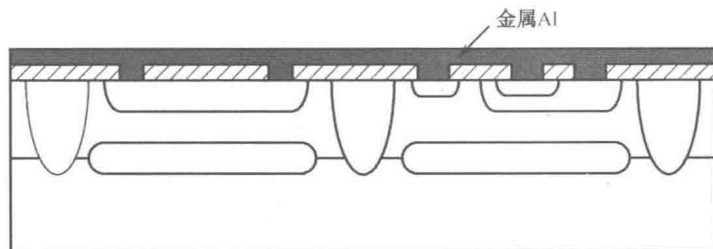
图 1-2 典型 PN 结隔离双极型集成电路的工艺流程示意图 (续)



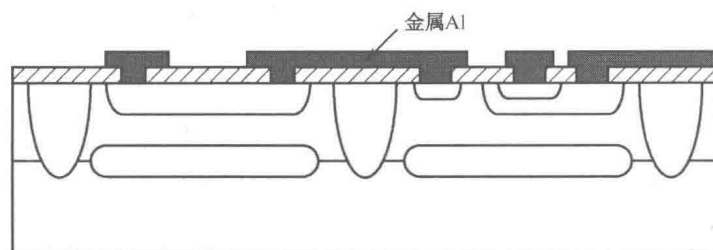
15. 引线孔光刻



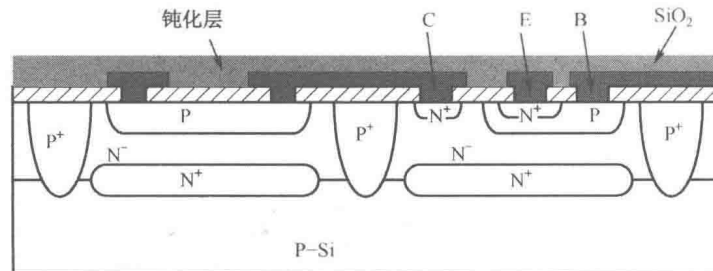
16. 蒸发 (或溅射)



17. 光刻金属铝



18. 合金及表面钝化



(c) 各加工工艺步骤

图 1-2 典型 PN 结隔离双极型集成电路的工艺流程示意图 (续)

根据图 1-1 和图 1-2，下面对双极型集成电路制造过程中的重要工艺工序进行说明。

1. 衬底制备

在双极型集成电路中一般选择电阻率为 $8 \sim 13 \Omega \cdot \text{cm}$ 的 P 型硅单晶锭作为衬底，有助于提高隔离结的击穿电压。为获得良好的 PN 结结面，减少缺陷，常采用 $[111]$ 晶向，厚度为 $400 \sim 600 \mu\text{m}$ ，缺陷密度控制在允许范围内。

2. 埋层光刻和扩散

埋层的制作主要是为了减小寄生效应对集成电路性能的影响，所以一般采用砷作为掺杂杂质来制作 N^+ 埋层。首先进行埋层氧化（预氧化），控制 SiO_2 厚度在 $1.2 \sim 1.5 \mu\text{m}$ ，该氧化层将作为隐埋扩散的掩蔽模。接着进行埋层光刻，形成埋层扩散窗口，选择 Sb 或 As 扩散，以形成一个高浓度的 N^+ 埋层区。埋层的扩散方块电阻 $R_{\square}$ 一般控制在 $15 \sim 20 \Omega/\square$ 。经



埋层扩散后的硅片放入氢氟酸溶液中，漂去全部 SiO_2 层。

3. 外延层淀积

双极型集成电路中的各种元器件实际是制作在外延层上的，所以外延层的质量非常重要。一般采用 N 型外延层。在淀积外延层时，考虑到要减小结电容，并提高三极管的击穿电压 BV_{CBO} ，要求外延层电阻率高一些；但从减小寄生电阻对电路影响的角度来考虑，又要求外延层电阻率低一些，因此在工艺制造过程中需要折中处理，一般厚度控制在 $6\sim 10\mu\text{m}$ ，电阻率为 $0.3\sim 1.0\Omega\cdot\text{cm}$ 。

4. 隔离扩散

这道工序的目的是为了在硅衬底上形成许多孤立的外延层岛，实现各元器件间的电隔离，也就是前文中所说的 PN 结隔离的方法。为了实现隔离的目的，一般通过 P^+ 掺杂，经过外延生长后的硅圆片再进行隔离氧化，生长一层 SiO_2 层作为隔离扩散的掩蔽模，厚度控制在 $1.2\sim 1.5\mu\text{m}$ 。光刻出隔离槽窗口后，进行浓硼隔离扩散，形成 P^+ 隔离槽。隔离槽要推进得很深，直至穿透外延层与 P 型衬底相接。

5. P 型基区光刻及扩散

光刻出晶体管基区和硼扩散电阻窗口后，进行淡硼扩散，使在 N 型隔离岛上形成 P 型基区和 P 型扩散电阻区。基区硼扩散参数一般控制表面浓度为 $N_s = 2.5\times 10^{18}\sim 5.0\times 10^{18}/\text{cm}^3$ ，结深 $x_{\text{jc}} = 2\sim 3\mu\text{m}$ ，方块电阻 $R_{\square} = 200\Omega/\square$ 。在再扩散的同时通氧，进行二次氧化，厚度控制在 $0.5\sim 0.6\mu\text{m}$ ，作为发射区磷扩散时的杂质扩散掩蔽模。这样，就可制造得到 NPN 管的基区及基区扩散电阻。

6. N^+ 发射区光刻及扩散

光刻出 NPN 型晶体管的发射区和集电极引线孔接触区，由浓磷扩散形成晶体管的发射区，并在集电极引线孔位置形成 N^+ 区，以便形成欧姆接触电极。发射区磷扩散工艺参数一般控制结深为 $x_{\text{je}} = 1.5\mu\text{m}$ ，表面浓度为 $N_s = 10^{20}\sim 10^{21}/\text{cm}^3$ 。磷扩散通常也分为两步进行，即预淀积与再分布。在再分布的同时通氧，进行三次氧化，生成 NPN 管的发射区和集电极接触区。

7. 引线孔及铝淀积

光刻出引线孔，以便形成欧姆接触电极。通常是在硅圆片表面通过蒸发或溅射形成一层高纯度铝膜，膜厚为 $1\sim 1.5\mu\text{m}$ 。再根据集成电路引出线及电路元器件互连线的要求进行金属膜光刻，以去除不需要的铝膜，保留需要的铝膜（即互连线）。金属光刻后的硅片可在真空或氮气中经 $500\text{ }^{\circ}\text{C}$ 左右的温度合金 $10\sim 20\text{ min}$ ，使铝电极硅形成良好的欧姆接触，从而形成金属引线孔和金属布线，实现元器件间的连接，完成电路。

8. 钝化层及压焊区

在合金化后的硅片表面淀积一层氮化硅 (Si_3N_4) 或磷硅玻璃 (PSG) 等钝化膜（厚为 $0.8\sim 1.2\mu\text{m}$ ），再光刻出键合的压点，形成钝化保护层来保护芯片，使其不易受外部环境影 响，并制造出用于后续封装压焊用的 PAD 图形。然后对电路进行测试、划片、键合与封装，形成集成电路芯片成品。