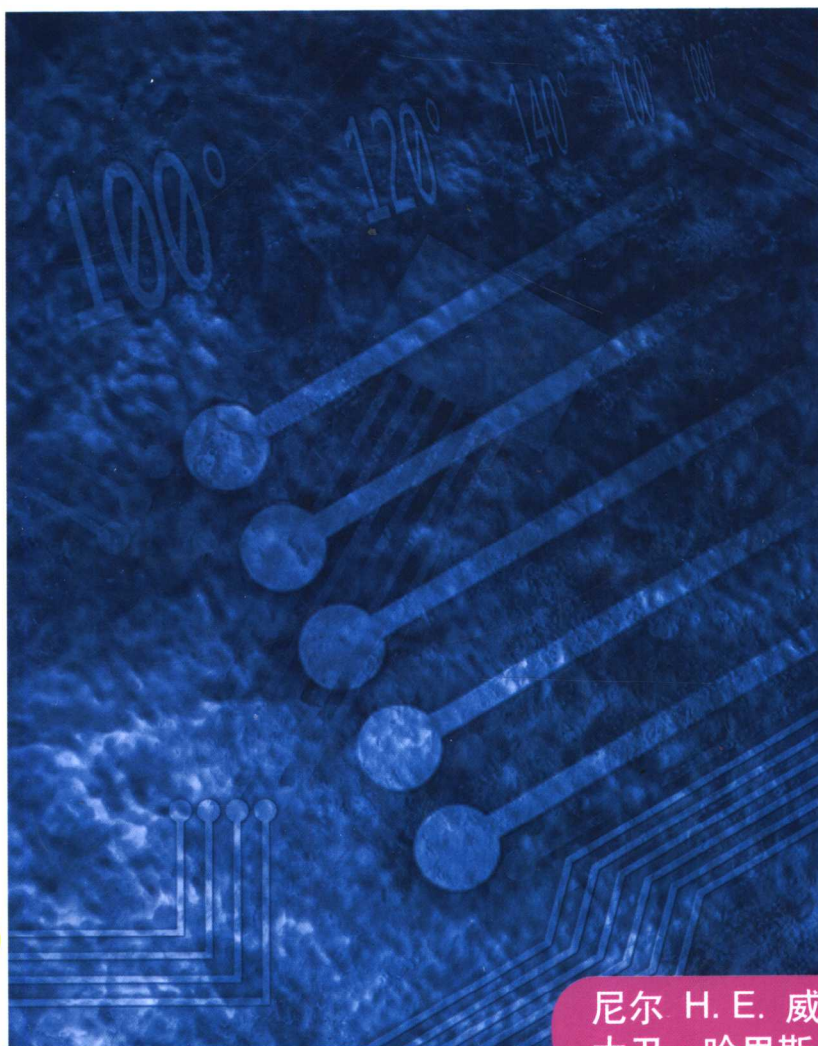


CMOS 大规模集成电路设计

(英文版 · 第3版)



本书只供在
中国大陆销售

尼尔 H. E. 威斯特
大卫 · 哈里斯

著

经典原版书库

CMOS 大规模集成电路设计

(英文版·第3版)

江苏工业学院图书馆
藏书章

尼尔 H. E. 威斯特 著
大卫·哈里斯



机械工业出版社
China Machine Press

English reprint edition copyright © 2005 by Pearson Education Asia Limited and China Machine Press.

Original English language title: *CMOS VLSI Design: A Circuits and Systems Perspective, Third Edition* (ISBN 0-321-14901-7) by Neil H. E. Weste and David Harris, Copyright © 2005.

All rights reserved.

Published by arrangement with the original publisher, Pearson Education, Inc., publishing as Addison-Wesley.

For sale and distribution in the People's Republic of China exclusively (except Taiwan, Hong Kong SAR and Macau SAR).

本书英文影印版由Pearson Education Asia Ltd.授权机械工业出版社独家出版。未经出版者书面许可,不得以任何方式复制或抄袭本书内容。

仅限于中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾地区)销售发行。

本书封面贴有Pearson Education(培生教育出版集团)激光防伪标签,无标签者不得销售。

版权所有, 侵权必究。

本书法律顾问 北京市展达律师事务所

本书版权登记号: 图字: 01-2005-1175

图书在版编目(CIP)数据

CMOS大规模集成电路设计(英文版·第3版)/威斯特(Weste, N. H. E.)等著.-北京:机械工业出版社, 2005.5

(经典原版书库)

书名原文: CMOS VLSI Design: A Circuits and Systems Perspective, Third Edition

ISBN 7-111-15917-9

I. C … II. 威 … III. 数字集成电路-电路设计-英文 IV. TN431.2

中国版本图书馆CIP数据核字(2004)第141021号

机械工业出版社(北京市西城区百万庄大街22号 邮政编码 100037)

责任编辑: 迟振春

北京牛山世兴印刷厂印刷·新华书店北京发行所发行

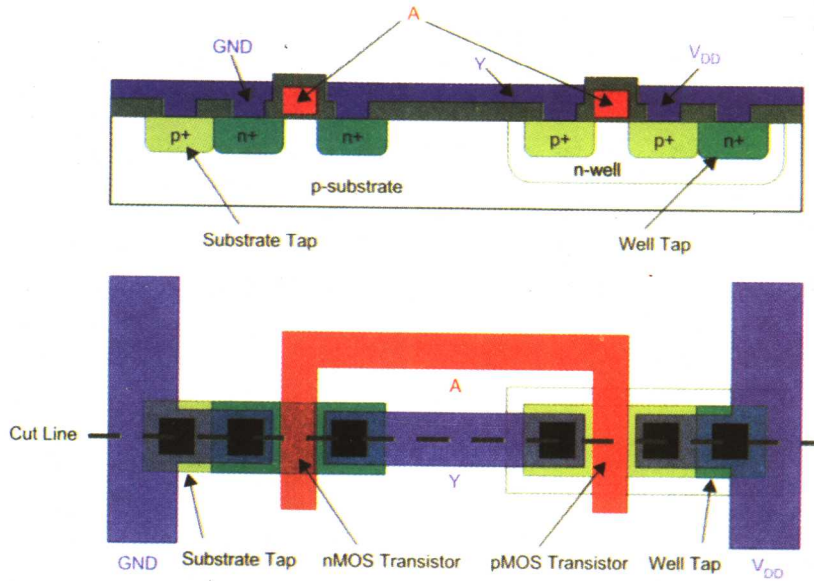
2005年5月第1版第1次印刷

787mm×1092mm 1/16·62.25印张(彩插0.25印张)

印数: 0 001-3 000册

定价: 125.00元

凡购本书, 如有倒页、脱页、缺页, 由本社发行部调换
本社购书热线: (010) 68326294



Figs 1.34–1.35(a) Inverter Cross-Section and Top View

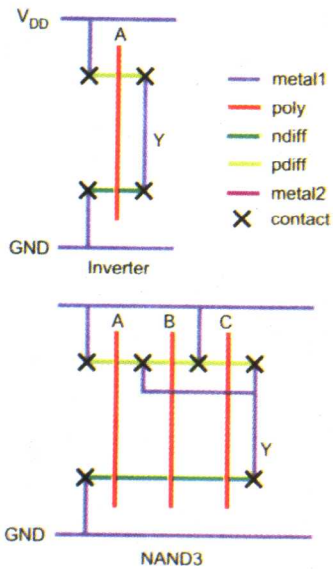


Fig 1.43 Stick Diagrams

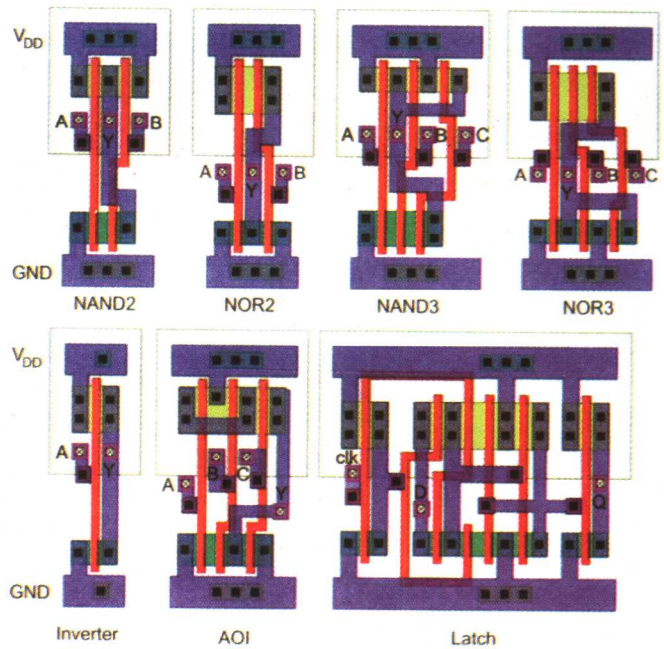


Fig 1.62 Standard Cell Layouts

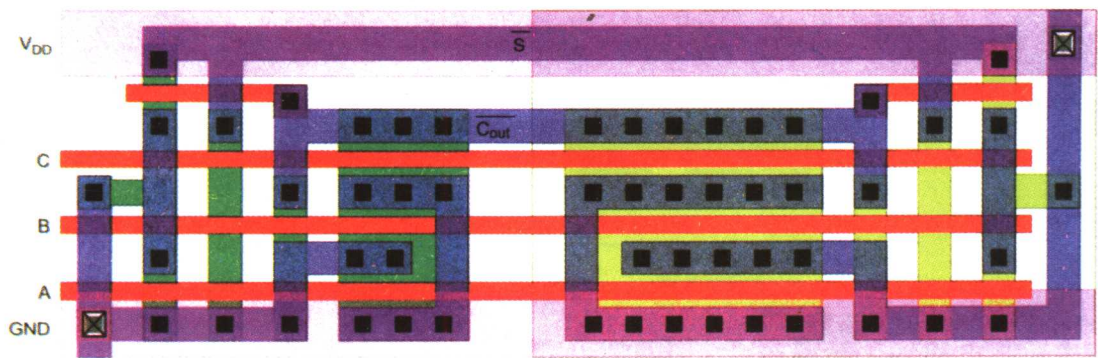


Fig 10.5(b) Full Adder Layout

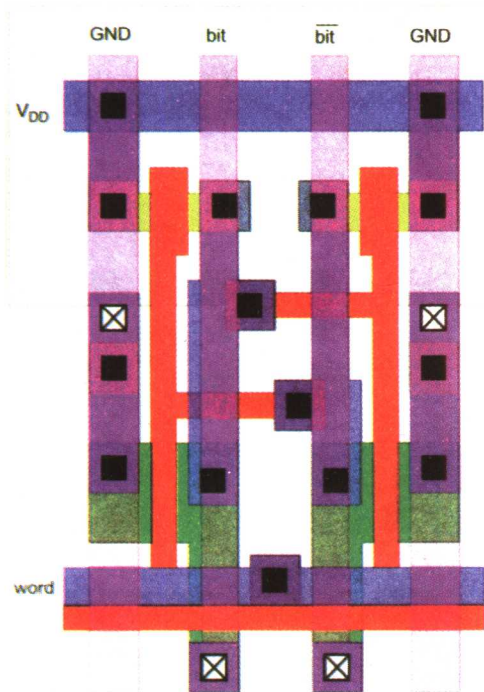


Fig 11.6(a) 6T SRAM Layout

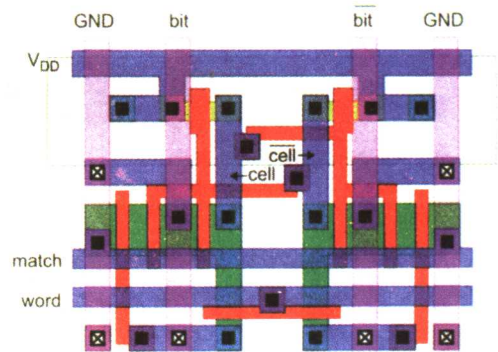


Fig 11.50 CAM Layout

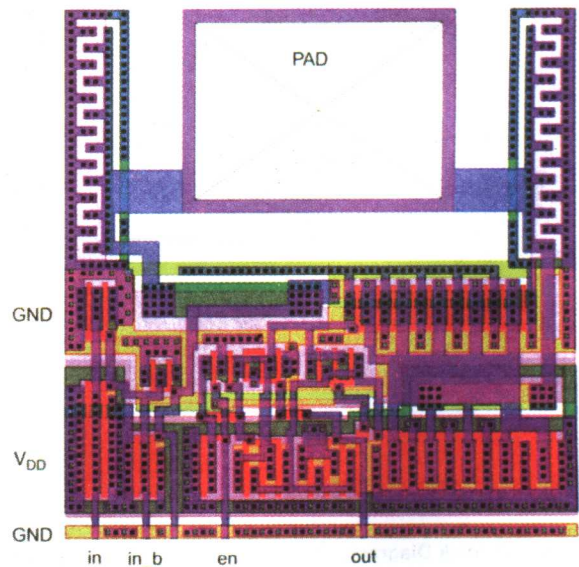


Fig 12.23 I/O Pad Layout

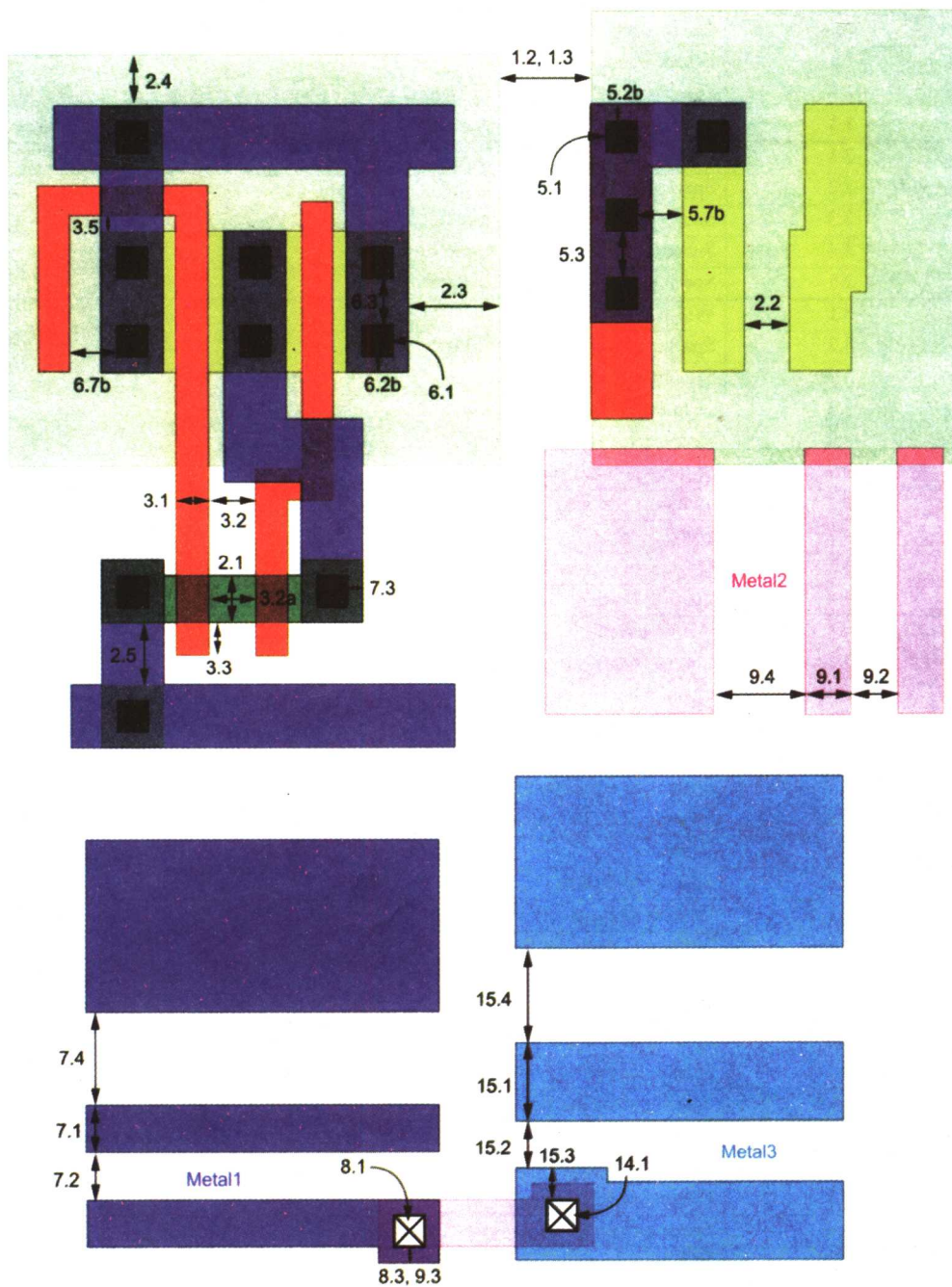


Fig 3.11 MOSIS Design Rules

Abbreviated MOSIS design rules

Layer	Rule	Description	SCMOS	SUBM	DEEP
Well	1.1	Width	10	12	12
	1.2	Spacing to well at different potential	9	18	18
	1.3	Spacing to well at same potential	6	6	6
Active (diffusion)	2.1	Width	3	3	3
	2.2	Spacing to active	3	3	3
	2.3	Source/drain surround by well	5	6	6
	2.4	Substrate/well contact surround by well	3	3	3
	2.5	Spacing to active of opposite type	4	4	4
Poly	3.1	Width	2	2	2
	3.2	Spacing to poly over field oxide	2	3	3
	3.2a	Spacing to poly over active	2	3	4
	3.3	Gate extension beyond active	2	2	2.5
	3.4	Active extension beyond poly	3	3	4
	3.5	Spacing of poly to active	1	1	1
Select	4.1	Spacing from substrate/well contact to gate	3	3	3
	4.2	Overlap of active	2	2	2
	4.3	Overlap of substrate/well contact	1	1	1.5
	4.4	Spacing to select	2	2	4
Contact (to poly or active)	5.1, 6.1	Width (exact)	2x2	2x2	2x2
	5.2b, 6.2b	Overlap by poly or active	1	1	1
	5.3, 6.3	Spacing to contact	2	3	4
	5.4, 6.4	Spacing to gate	2	2	2
	5.5b	Spacing of poly contact to other poly	4	5	5
	5.7b, 6.7b	Spacing to active/poly for multiple poly/active contacts	3	3	3
	6.8b	Spacing of active contact to poly contact	4	4	4
Metal1	7.1	Width	3	3	3
	7.2	Spacing to metal1	2	3	3
	7.3, 8.3	Overlap of contact or via	1	1	1
	7.4	Spacing to metal for lines wider than 10 λ	4	6	6
Via1- Via(N-1)	8.1, 14.1, ...	Width (exact)	2x2	2x2	3x3
	8.2, 14.2, ...	Spacing to via on same layer	3	3	3
	8.4	Spacing to contacts (if no stacked vias)	2	2	n/a
	8.5	Spacing of via1 to poly or active edge	2	2	n/a
	14.4	Spacing of via2 to via1 (if no stacked vias)	2	2	n/a
Metal2- Metal(N-1)	9.1, ...	Width	3	3	3
	9.2, ...	Spacing to same layer metal	3	3	4
	9.3, ...	Overlap of via	1	1	1
	9.4, ...	Spacing to metal for lines wider than 10 λ	6	6	8
Metal3 (3-layer process)	15.1	Width	6	5	n/a
	15.2	Spacing to metal3	4	3	n/a
	15.3	Overlap of via2	2	2	n/a
	15.4	Spacing to metal for lines wider than 10 λ	8	6	n/a

出版者的话

文艺复兴以降，源远流长的科学精神和逐步形成的学术规范，使西方国家在自然科学的各个领域取得了垄断性的优势；也正是这样的传统，使美国在信息技术发展的六十多年间名家辈出、独领风骚。在商业化的进程中，美国的产业界与教育界越来越紧密地结合，计算机学科中的许多泰山北斗同时身处科研和教学的最前线，由此而产生的经典科学著作，不仅擘划了研究的范畴，还揭开了学术的源变，既遵循学术规范，又自有学者个性，其价值并不会因年月的流逝而减退。

近年，在全球信息化大潮的推动下，我国的计算机产业发展迅猛，对专业人才的需求日益迫切。这对计算机教育界和出版界都既是机遇，也是挑战；而专业教材的建设在教育战略上显得举足轻重。在我国信息技术发展时间较短、从业人员较少的现状下，美国等发达国家在其计算机科学发展的几十年间积淀的经典教材仍有许多值得借鉴之处。因此，引进一批国外优秀计算机教材将对我国计算机教育事业的发展起积极的推动作用，也是与世界接轨、建设真正的世界一流大学的必由之路。

机械工业出版社华章图文信息有限公司较早意识到“出版要为教育服务”。自1998年开始，华章公司就将工作重点放在了遴选、移译国外优秀教材上。经过几年的不懈努力，我们与Prentice Hall, Addison-Wesley, McGraw-Hill, Morgan Kaufmann等世界著名出版公司建立了良好的合作关系，从它们现有的数百种教材中甄选出Tanenbaum, Stroustrup, Kernighan, Jim Gray等大师名家的一批经典作品，以“计算机科学丛书”为总称出版，供读者学习、研究及收藏。大理石纹理的封面，也正体现了这套丛书的品位和格调。

“计算机科学丛书”的出版工作得到了国内外学者的鼎力襄助，国内的专家不仅提供了中肯的选题指导，还不辞劳苦地担任了翻译和审校的工作；而原书的作者也相当关注其作品在中国的传播，有的还专诚为其书的中译本作序。迄今，“计算机科学丛书”已经出版了近百个品种，这些书籍在读者中树立了良好的口碑，并被许多高校采用为正式教材和参考书籍，为进一步推广与发展打下了坚实的基础。

随着学科建设的初步完善和教材改革的逐渐深化，教育界对国外计算机教材的需求和应用都步入一个新的阶段。为此，华章公司将加大引进教材的力度，在“华章教育”的总规划之下出版三个系列的计算机教材：除“计算机科学丛书”之外，对影印版的教材，则单独开辟出“经典原版书库”；同时，引进全美通行的教学辅导书“Schaum's Outlines”系列组成“全美经典学习指导系列”。为了保证这三套丛书的权威性，同时也为了更好地为学校和老师服务，华章公司聘请了中国科学院、北京大学、清华大学、国防科技大学、复旦大学、上海交通大学、南京大学、浙江大学、中国科技大学、哈尔滨工业大学、西安交通大学、中国人民大学、北京

航空航天大学、北京邮电大学、中山大学、解放军理工大学、郑州大学、湖北工学院、中国国家信息安全测评认证中心等国内重点大学和科研机构在计算机的各个领域的著名学者组成“专家指导委员会”，为我们提供选题意见和出版监督。

这三套丛书是响应教育部提出的使用外版教材的号召，为国内高校的计算机及相关专业的教学度身订造的。其中许多教材均已为M. I. T., Stanford, U.C. Berkeley, C. M. U. 等世界名牌大学所采用。不仅涵盖了程序设计、数据结构、操作系统、计算机体系结构、数据库、编译原理、软件工程、图形学、通信与网络、离散数学等国内大学计算机专业普遍开设的核心课程，而且各具特色——有的出自语言设计者之手、有的历经三十年而不衰、有的已被全世界的几百所高校采用。在这些圆熟通博的名师大作的指引之下，读者必将在计算机科学的宫殿中由登堂而入室。

权威的作者、经典的教材、一流的译者、严格的审校、精细的编辑，这些因素使我们的图书有了质量的保证，但我们的目标是尽善尽美，而反馈的意见正是我们达到这一终极目标的重要帮助。教材的出版只是我们的后续服务的起点。华章公司欢迎老师和读者对我们的工作提出建议或给予指正，我们的联系方法如下：

电子邮件: hzedu@hzbook.com

联系电话: (010) 68995264

联系地址: 北京市西城区百万庄南街1号

邮政编码: 100037

专家指导委员会

(按姓氏笔画顺序)

尤晋元
石教英
张立昂
邵维忠
周立柱
范明
袁崇义
谢希仁

王珊
吕建
李伟琴
陆丽娜
周克定
郑国梁
高传善
裘宗燕

冯博琴
孙玉芳
李师贤
陆鑫达
周傲英
施伯乐
梅宏
戴葵

史忠植
吴世忠
李建中
陈向群
孟小峰
钟玉琢
程旭

史美林
吴时霖
杨冬青
周伯生
岳丽华
唐世渭
程时端

前 言

自本书第1版出版以来的20年中，CMOS技术已经在现代电子系统设计中取得了显著的地位，并广泛用于个人计算机。自本书第2版出版以来的10年中，CMOS技术的持续发展使得Internet和无线通信迅猛发展。目前最先进芯片的晶体管数和时钟频率已经以数量级增长。

	第1版	第2版	第3版
年	1985	1993	2004
晶体管数	$10^5 \sim 10^6$	$10^6 \sim 10^7$	$10^8 \sim 10^9$
时钟频率	10^7	10^8	10^9
世界市场	\$25B	\$60B	\$170B

重新编写本书是为了反映在过去10年中集成电路设计方面的巨大发展。虽然基本原理是相同的，但由于晶体管预算和时钟速度的增长、能耗的增加以及生产率和CAD工具的提高，在实际应用中产生了巨大的变化。

如何使用本书

本书旨在一学期内覆盖较其他课程更宽和更深的内容，适于本科第一门VLSI课程，对于研究生课程也足够详细，对于实际从业的工程师来说，这也是一本有用的参考文献。我们鼓励根据兴趣选择主题。第1章概览了全部内容，而后续的章节详细描述了具体的主题。如果不需要理解其后的小节，可以将带标记的小节作为可选内容，在第一次阅读时跳过，然后当涉及到相关内容时再返回阅读。

我们已经尽量多地配上插图以便于更直观地思考。对于本书的例子，我们强烈建议你在阅读答案之前自己思考。我们也为需要深入了解本书中介绍的主题的读者提供了丰富的参考文献。我们强调工业界中所应用的最佳实践，并对容易犯的错误提出了警告。随着技术和应用的变化，对具体电路优劣的判断可能会变得不正确，但我们相信试图把好的和坏的分开是作者的责任。

辅助材料

更新和扩展已有辅助材料是本版的主要目的。我们为教师和学生提供了大量的补充材料。所有这些材料都可以在本书的参考书网站（www.aw-bc.com/weste）上得到。学生使用的辅助材料包括：

- 有关第1章中8位微处理器设计的实验的配套手册。
- 指向开放源码CAD工具和过程参数等的VLSI资源的链接集合。
- 包括部分习题答案的学生解答手册。

教师使用的辅助材料包括:

- 示例课程提纲。
- VLSI入门课程的教学幻灯片。
- 包含习题解答的教师指导手册。

这些材料是专门为使用本书教学的教师准备的, 请联系当地的Addison-Wesley销售代表或发邮件到aw.cse@aw.com以获得如何得到这些材料的信息。

致谢

我(Neil)首先要感谢的是我的合著者David Harris, 他确信由我来写该版可以得到好的效果。没有他的持续努力, 这本书不会存在。下一个要感谢的人是我的夫人Avril, 她几次三番地原谅了我: “决不再写书了”——但我又一次食言。

在过去的10年里, 我与我的同事一起在辐射通信/思科系统工作。我学到了很多关于信号和射频CMOS电路相混合的从概念到生产的知识。这些经验加入到了这个版本中。Gordon Foyster编写了将掩模设计转换为postscript的软件, 这在10年前可是很不轻松甚至不可思议的工作。Steve Avery就如何处理掩模工艺给出建议, 并提出其他各种图书专业性的意见。Geoff Smith综合了第1章中布局和布线的例子, 并与Gordon一起提供了设计方法论的建议。Jared Anderson综合了第8章中所介绍的MATLAB和NCO合成。Phil Ryan、Greg Zyner和Mike Webb提供了数字方法论和设计管理的背景。Andrew Adams、Jeffrey Harrison和John Olip在射频问题上指导了我。Rodney Chandler 提供了ADC的理论和实践。Brian Hart为第12章中的INL/DNL结构做了贡献。Tom McDermott提供了软件指南和其他的资料。Chris Corcoran利用废弃的膝上型电脑以及从表面上看不可超越的软件和网络问题, 使我从困惑中走出来。John O’Sullivan提供了本版中的一些照片。

Bronwyn Forde给予了后勤援助。Dave Leonard和Bill Rossi从远方给予了支持。最后, 我要为我们之间富有成果的协作感谢我的长期商务伙伴和朋友Dave Skellern、Chris Beare和Don MacLennan, 也感谢思科系统对于这个修订版本给予的支持。

与第2版相比, 第2版是在马萨诸塞州的地下室中完成的, 使用的是苹果Macintosh和Symbolics Ivory处理器。这个版本主要是使用最近10年来已经普及的技术完成的。这个版本包含了遍布于澳大利亚和世界各地家庭、旅馆和机场的无线热点和ADSL的内容, PC和Mac膝上型电脑技术在这个修订版中也有大量的篇幅——提供在任何地点和任何时间工作的能力。

我(David)感谢与我一起工作多年的优秀的电路设计者Mark Horowitz、Jonathan Allen、Bill Dally、Ivan Sutherland、Jason Stinson、Sam Naffziger、Tom Fletcher和斯坦福的Horowitz小组, 是他们影响了我认识电路的方法。我希望能够通过本书传递他们教授我的见识。我也要感谢伦敦大学帝国学院的Peter Cheung, 他在一个忙于著作的夏天招待了我。

我们感谢给我们审阅和提出意见的很多人, 他们是Bharadwaj “Birdy” Amrutur、Jacob Baker、Kerry Bernstein、Neil Burgess、Krishnendu Chakrabarty、C. K. Chen、Bill Dally、Nana Dankwa、Azita Emami-Neyestanak、Scott Fairbanks、Tom Fletcher、Jim Frenzel、Claude

Gauthier、Ron Ho、David Hopkins、Nan “Ted” Jiang、Marcie Karty、Stephen Keckler、Fabian Klass、Torsten Lehmann、Rich Lethin、Michael Linderman、Dean Liu、Wagdy Mahmoud、Ziyad Mansour、Simon Moore、Alice Parker、Braden Phillips、Parameswaran Ramanathan、Justin Schauer、Ashok Srivastava、James Stine、Gu Wei、Ken Yang和Evelina Yeung。Jaeha Kim、Tom Grutkowski和Cecilia Krasuk为大部分原稿提供了全面的技术审阅。在此，我们对未提到的帮助者表示歉意。

感谢TSMC许可我们在许多例子中使用180nm SPICE模型。MOSIS Service为众多的其他过程提供了已测试的SPICE参数。Artisan提供了TSMC 180nm元素库中的数据表页。Harvey Mudd学院提供了由Kevin Mapp拍摄的芯片图。Steve Rubin提出了用于产生许多布局的开放源码电子编辑器。

来自几个公司的设计者未署名地提供了9.12节的芯片设计问题的“war stories”。我们感谢你们的“war stories”，并将它们作为下个版本的候选内容。理想的故事就像侦探小说从征兆开始，然后是追踪bug的过程，再以错误电路的简图和校正的方法结束。

2002、2003和2004年春在Harvey Mudd学院的E158 CMOS VLSI课程和在Qualcomm and Sun Microsystems的工程师课程上测试了原稿的草稿。帮助我们改进原稿的工程师包括Matt Aldrich、Kevin Alley、Chi Bui、Ayoob Dooply、Trevor Gile、Brad Greer、Shamit Grover、Eric Henderson、Nick Hertl、Nicole Kang、Clark Korb、Karen Lee、Li-Jen Lin、Michael Linderman、Mark Locascio、Renee Logan、Dimitrios Lymberopoulos、Khurram Malik、Charles Matlack、Joe Petolino、Geoff Shippee、Joshua Smallman、Keith Stevens、Aaron Stratton、Yushi Tian、Daniel Woo和Amy Yang。

Harvey Mudd学院的Genevieve Breed、Matthew Erler、Tommy Leung和David Diaz开发了很多贯穿全书的仿真和图形。David Diaz、Sean Kao和Daniel Lee帮助提供了Harvey Mudd学院的MIPS处理器实例。Max Yi给出了附录A和附录B中的MIPS实例。

Addison-Wesley利用繁重的评论和生产过程做了令人钦佩的工作。我们特别感谢编辑Maite Suarez-Rivas、Matt Goldstein和Juliet Silveri，版面文字编辑Kathy Smith，以及排版人员和美工Gillian Hall。

在David还是婴儿时Sally Harris就已经在编辑家庭丛书。她用惊人的注意力发现了许多错误，她（在Daniel Harris的帮助下）还主动检查了参考书目。

我们已经意识到，如此篇幅的书出现错误是不可避免的，为此我们也很苦恼。剩余的错误是我们自己的过失。请查阅www.aw-bc.com/weste上的勘误表，是否书中的错误已经注明。将包含你的名字和地址的记录发送到bug@cmosvlsi.com。

N.W.

D.H.

2004年4月

Contents

CHAPTER 1 Introduction

1.1	A Brief History	1
1.2	Book Summary	5
1.3	MOS Transistors	7
1.4	CMOS Logic	10
1.4.1	The Inverter 10	
1.4.2	The NAND Gate 10	
1.4.3	Combinational Logic 11	
1.4.4	The NOR Gate 12	
1.4.5	Compound Gates 13	
1.4.6	Pass Transistors and Transmission Gates 14	
1.4.7	Tristates 17	
1.4.8	Multiplexers 18	
1.4.9	Latches and Flip-Flops 20	
1.5	CMOS Fabrication and Layout	23
1.5.1	Inverter Cross-section 23	
1.5.2	Fabrication Process 24	
1.5.3	Layout Design Rules 28	
1.5.4	Gate Layout 32	
1.5.5	Stick Diagrams 33	
1.6	Design Partitioning	35
1.7	Example: A Simple MIPS Microprocessor	39
1.7.1	MIPS Architecture 39	
1.7.2	Multicycle MIPS Microarchitecture 42	
1.8	Logic Design	46
1.8.1	Top-level Interface 46	
1.8.2	Block Diagram 47	
1.8.3	Hierarchy 47	
1.8.4	Hardware Description Languages 48	
1.9	Circuit Design	49
1.10	Physical Design	52

1.10.1	Floorplanning	52
1.10.2	Standard Cells	55
1.10.3	Snap-together Cells	55
1.10.4	Slice Plans	59
1.10.5	Area Estimation	59
1.11	Design Verification	60
1.12	Fabrication, Packaging, and Testing	61
	Summary	63
	Exercises	63

CHAPTER 2 MOS Transistor Theory

2.1	Introduction	67
2.2	Ideal I-V Characteristics	71
2.3	C-V Characteristics	75
2.3.1	Simple MOS Capacitance Models	75
2.3.2	Detailed MOS Gate Capacitance Model	77
2.3.3	Detailed MOS Diffusion Capacitance Model	80
2.4	Nonideal I-V Effects	83
2.4.1	Velocity Saturation and Mobility Degradation	84
2.4.2	Channel Length Modulation	86
2.4.3	Body Effect	87
2.4.4	Subthreshold Conduction	88
2.4.5	Junction Leakage	89
2.4.6	Tunneling	90
2.4.7	Temperature Dependence	90
2.4.8	Geometry Dependence	92
2.4.9	Summary	92
2.5	DC Transfer Characteristics	94
2.5.1	Complementary CMOS Inverter DC Characteristics	94
2.5.2	Beta Ratio Effects	97
2.5.3	Noise Margin	98
2.5.4	Ratioed Inverter Transfer Function	100
2.5.5	Pass Transistor DC Characteristics	101
2.5.6	Tristate Inverter	102
2.6	Switch-level RC Delay Models	103
2.7	Pitfalls and Fallacies	106
	Summary	107
	Exercises	108

CHAPTER 3 CMOS Processing Technology

3.1	Introduction	113
3.2	CMOS Technologies	113
3.2.1	Background	113
3.2.2	Wafer Formation	114
3.2.3	Photolithography	115
3.2.4	Well and Channel Formation	117
3.2.5	Silicon Dioxide (SiO ₂)	118
3.2.6	Isolation	119
3.2.7	Gate Oxide	120
3.2.8	Gate and Source/Drain Formation	121
3.2.9	Contacts and Metallization	124
3.2.10	Passivation	124
3.2.11	Metrology	125
3.3	Layout Design Rules	125
3.3.1	Design Rule Background	126
3.3.2	Scribe Line and Other Structures	130
3.3.3	MOSIS Scalable CMOS Design Rules	130
3.3.4	Micron Design Rules	134
3.4	CMOS Process Enhancements	136
3.4.1	Transistors	136
3.4.2	Interconnect	140
3.4.3	Circuit Elements	141
3.4.4	Beyond Conventional CMOS	148
3.5	Technology-related CAD Issues	148
3.5.1	Design Rule Checking (DRC)	149
3.5.2	Circuit Extraction	150
3.6	Manufacturing Issues	151
3.6.1	Antenna Rules	151
3.6.2	Layer Density Rules	152
3.6.3	Resolution Enhancement Rules	153
3.7	Pitfalls and Fallacies	153
3.8	Historical Perspective	154
	Summary	154
	Exercises	154

CHAPTER 4 Circuit Characterization and Performance Estimation

4.1	Introduction	157
4.2	Delay Estimation	158
4.2.1	RC Delay Models	159
4.2.2	Linear Delay Model	165
4.2.3	Logical Effort	166
4.2.4	Parasitic Delay	167
4.2.5	Limitations to the Linear Delay Model	169
4.3	Logical Effort and Transistor Sizing	173
4.3.1	Delay in a Logic Gate	173
4.3.2	Delay in Multistage Logic Networks	174
4.3.3	Choosing the Best Number of Stages	178
4.3.4	Example	181
4.3.5	Summary and Observations	183
4.3.6	Limitations of Logical Effort	185
4.3.7	Extracting Logical Effort from Datasheets	185
4.4	Power Dissipation	186
4.4.1	Static Dissipation	188
4.4.2	Dynamic Dissipation	190
4.4.3	Low-power Design	191
4.5	Interconnect	196
4.5.1	Resistance	198
4.5.2	Capacitance	200
4.5.3	Delay	205
4.5.4	Crosstalk	207
4.5.5	Inductance	210
4.5.6	Temperature Dependence	216
4.5.7	An Aside on Effective Resistance and Elmore Delay	216
4.6	Wire Engineering	219
4.6.1	Width and Spacing	219
4.6.2	Layer Selection	219
4.6.3	Shielding	221
4.6.4	Repeaters	221
4.6.5	Implications for Logical Effort	227
4.6.6	Crosstalk Control	227
4.6.7	Low-swing Signaling	229
4.7	Design Margin	231
4.7.1	Supply Voltage	232
4.7.2	Temperature	232
4.7.3	Process Variation	233