

ADI Blackfin 系列 DSP 处理器实验指导书



曹小秋 赵焕军 编著

<http://www.phei.com.cn>



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

TN911.72/202

2008

ADI Blackfin 系列 DSP 处理器实验指导书

曹小秋 赵焕军 编著

电子工业出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书是基于 Blackfin 处理器的全系列实验指导教材。主要内容包括 DSP 处理器芯片概述、实验硬件平台 ADSP-BF533 EZ-KIT Lite 的使用、USB-LAN 扩展板的使用、EBF-533 数字音/视频实验开发系统的使用、软件开发工具 VisualDSP++ 4.0 的介绍和应用、JTAG 仿真器的使用、内核基本运算、BF533 处理器寻址方式及数据处理指令实验、嵌入式开发基础、接口与外设、基 4-FFT 算法在 ADSP-BF533 上的实现、快速傅里叶逆变换 (IFFT) 算法的实现、有限冲激响应 FIR 数字滤波器、IIR 滤波器实现、DCT 算法实现、程序优化和操作系统等。希望读者通过 Blackfin 处理器的全系列的实验, 进一步加深对 Blackfin 处理器的理解, 以提高应用 Blackfin 处理器进行项目研究和开发的能力。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目 (CIP) 数据

ADI Blackfin 系列 DSP 处理器实验指导书 / 曹小秋, 赵焕军编著. —北京: 电子工业出版社, 2008.1
ISBN 978-7-121-05722-9

I. A… II. ①曹…②赵… III. 数字信号—信号处理—微处理器—实验—高等学校—教材 IV. TN911.72-33
中国版本图书馆 CIP 数据核字 (2007) 第 204199 号

责任编辑: 雷洪勤 特约编辑: 范 晓

印 刷: 北京市顺义兴华印刷厂

装 订: 三河市双峰印刷装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 18.25 字数: 467 千字

印 次: 2008 年 1 月第 1 次印刷

印 数: 5 000 册 定价: 33.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

本书是在 ADI 培训和 DSP 开发应用的基础上修订改编而成，主要内容是基于 Blackfin 处理器的全系列实验指导教材。

Blackfin 处理器是新型的 16~32 位嵌入式处理器，可以适应当今嵌入式音频、视频和通信应用的计算要求和功耗等方面的需求。本书希望读者通过 Blackfin 处理器的全系列的实验，进一步加深对 Blackfin 处理器的理解，以提高应用 Blackfin 处理器进行项目研究和开发的能力。

本书主要内容包括 DSP 处理器芯片概述、实验硬件平台 ADSP-BF533 EZ-KIT Lite 的使用、USB-LAN 扩展板的使用、EBF-533 数字音/视频实验开发系统的使用、软件开发工具 VisualDSP++ 4.0 的介绍和应用、JTAG 仿真器的使用、内核基本运算、BF533 处理器寻址方式及数据处理指令实验、嵌入式开发基础、接口与外设、基 4-FFT 算法在 ADSP-BF533 上的实现、快速傅里叶逆变换 (IFFT) 算法的实现、有限冲激响应 FIR 数字滤波器、IIR 滤波器实现、DCT 算法实现、程序优化和操作系统等，共 9 章。

本书的编写特别注意并加强了以下几个侧面：

1. 加强实验项目的系统性，从硬件平台和软件开发工具的使用，到全系列实验项目的开展，涵盖了 Blackfin 处理器的基本应用领域。
2. 接口与外设的实验项目十分丰富，以加强应用 DSP 处理器进行项目开发的关键能力培养。
3. 给出了 FFT 算法、IFFT 算法、FIR 数字滤波器、IIR 滤波器和 DCT 算法的综合实例。
4. 程序优化实验，可训练读者将程序实用化的能力。
5. 给出的实验例程均经过多次验证。

在本书的编著与出版过程中，曾金、刘李明等诸位同志为书稿的校定、绘图、计算机录入、修正、排版、实验例程的验证等付出了辛勤劳动，在此谨向他们和为本书的出版给予大力支持与帮助的人们表示最衷心的感谢。

由于作者水平有限，书中难免会存在一些缺点和错误，恳请读者批评指正。

编著者

2007 年 5 月

目 录

第 1 章 DSP 处理器芯片概述	(1)
1.1 Blackfin 处理器介绍	(1)
1.2 其他处理器介绍	(3)
1.2.1 ADI 公司的其他处理器	(3)
1.2.2 其他处理器	(3)
第 2 章 教学系统平台	(4)
2.1 ADSP-BF533 EZ-KIT Lite 的使用	(4)
2.2 USB-LAN 扩展板的使用	(10)
2.3 EBF-533 数字音/视频实验开发系统使用手册	(15)
第 3 章 开发工具	(28)
3.1 VisualDSP++ 4.0 介绍	(28)
3.2 VisualDSP++3.5/4.0 应用	(48)
3.3 JTAG 仿真器使用手册	(59)
3.3.1 JTAG 仿真器介绍	(59)
3.3.2 JTAG 仿真器的使用	(60)
第 4 章 内核基本运算	(65)
4.1 计算单元中寄存器组结构特点和 Blackfin 处理器数制特点	(65)
4.2 ALU 逻辑算术指令编程	(70)
4.3 ADSP-BF533 乘法—累加器	(76)
4.4 Blackfin 移位指令和位操作指令学习	(80)
4.5 DSP 除法	(86)
4.6 BF533 处理器寻址方式及数据处理指令实验	(90)
第 5 章 嵌入式开发基础	(96)
5.1 DMA	(96)
5.2 cache 原理实践	(107)
5.3 事件控制器	(112)
5.4 中断	(121)
5.5 程序控制器	(128)
第 6 章 接口与外设	(133)
6.1 LED 与中断测试	(133)
6.2 LED 基础实验	(135)
6.3 测试定时器	(137)

6.4	UART 实验	(140)
6.5	视频输入/输出测试	(142)
6.6	USB 实验	(146)
6.7	ADSP-BF533BOOT 引导模式设定	(148)
6.8	Nand Flash 与 BF533 接口实验	(151)
6.9	数码管及发光二极管显示控制实验	(152)
6.10	数字计算器设计实验	(153)
6.11	外部总线接口单元 (EBIU) 相关实验	(154)
6.12	IDE 硬盘与 EBF-533 数字音/视频实验板的连接	(158)
6.13	MMC/SD Card 应用实验	(162)
6.14	EBF-533 数字音/视频实验板上基于 CS8900A 的以太网功能验证	(165)
6.15	BF533 处理器 USB 接口实验	(177)
6.16	音频输入/输出实验	(180)
6.17	基于 ADSP-BF533 的 UART 的串行通信的实现	(185)
6.18	COMS SENSOR 视频采集	(191)
6.19	触摸屏与 BF533 接口实验	(195)
6.20	动态电源管理	(196)
6.21	BF533 数字音/视频实验开发系统引导模式引导实验	(201)
6.22	Digital Album 在 EBF-533 数字音/视频实验板上的实现	(212)
第 7 章	算法	(223)
7.1	基 4-FFT 在 ADSP-BF533 上的实现	(223)
7.2	快速傅里叶逆变换 (IFFT) 算法的实现	(233)
7.3	有限冲激响应 FIR 数字滤波器	(237)
7.4	IIR 滤波器实现	(243)
7.5	DCT 算法实现	(247)
第 8 章	优化	(254)
8.1	未经优化的 C 语言程序	(254)
8.2	使用汇编代码优化程序	(256)
8.3	使用硬件循环优化程序	(259)
8.4	利用两个乘法累加器优化程序	(261)
8.5	利用并行指令化程序	(264)
8.6	利用数据的分块存放优化程序	(266)
8.7	精简循环	(269)
第 9 章	操作系统	(274)
9.1	SUSE Linux 操作系统	(274)
9.2	uCLinux 操作系统	(279)
参考文献		(285)

第1章 DSP 处理器芯片概述

DSP 经过十几年在国内的发展,已广泛地应用到了通信、图像、语音、电机控制等各个领域。DSP 的种类齐全,这里仅就本书涉及的 Blackfin 处理器和其他 DSP 处理器做简要介绍。

1.1 Blackfin 处理器介绍

Blackfin 处理器是新型 16~32 位嵌入式处理器,可以适应当今嵌入式音频/视频和通信应用的计算要求和功耗等方面的需求。Blackfin 处理器基于由 ADI 和 Intel 公司联合开发的微信号架构 (MSA),将一个 32 位 RISC 型指令集和双 16 位乘法累加 (MAC) 信号处理功能与通用型微控制器所具有的易用性组合在了一起。这种处理特征的组合使得 Blackfin 处理器能够在信号处理和控制处理应用中均发挥上佳的作用——在许多场合中免除了增设单独异类处理器的需要,极大地简化了硬件和软件设计实现任务。

目前,Blackfin 处理器在单内核产品中可提供高达 756MHz 的性能。Blackfin 处理器系列中的对称多处理器结构,在相同的频率条件下实现了处理器性能的翻番。Blackfin 处理器系列还提供了低至 0.8V 的功耗性能。对于满足当今及未来的信号处理应用(包括宽带无线、具有音频/视频功能的因特网工具和移动通信)而言,这种高性能与低功耗的组合具有十分广泛的应用前景。

所有的 Blackfin 处理器都为用户提供了广泛的设计空间,包括:

- 可实现各种新型市场和应用的高性能信号处理和高效控制处理能力。
- 可令系统设计师使器件功耗模式与终端系统要求相适应的动态电源管理 (DPM) 能力,以及可确保产品开发时间最小化的易用型混合 16/32 位指令集架构和开发工具套件。

(1) 高性能处理器内核

Blackfin 处理器架构基于一个 10 级 RISC MCU/DSP 流水线和一个专为实现最佳代码密度而设计的混合 16/32 位指令集架构。Blackfin 处理器架构还完全符合 SIMD 标准,并包括用于加速视频和图像处理的指令。该架构很适合于全信号处理/分析能力,同时还可在单内核器件或双内核器件上提供高效 RISC MCU 控制任务执行能力。由于具有最佳代码密度且只需进行极少(或者完全不需要进行)代码优化处理,因此可缩短产品的面市时间,而不会遇到其他传统处理器所常见的性能空间障碍。

(2) 高带宽 DMA 能力

所有的 Blackfin 处理器均具有多个独立的 DMA 控制器,这些控制器支持自动数据传输,而所需的处理器内核开销极少。DMA 传输可出现于内部存储器和诸多具有 DMA 功能的外设之间。传输也有可能出现于外设和与外部存储器接口相连的外部器件(包括 SDRAM 控制器和异步存储器控制器)之间,DMA 在 Blackfin 芯片中的结构如图 1.1 所示。

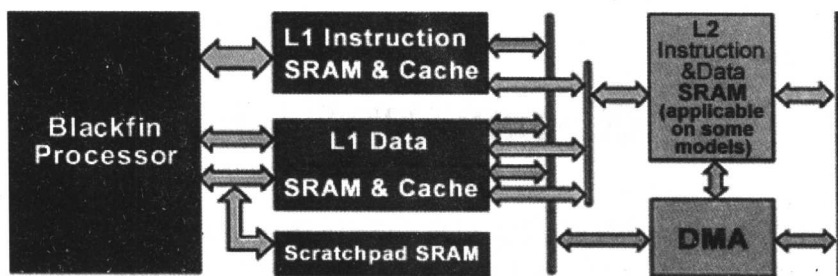


图 1.1 Blackfin 芯片内部结构框图

(3) 视频指令

除了具有对 8 位数据以及许多像素处理算法所常用的字长的固有支持之外，Blackfin 处理器架构还包括专为增强视频处理应用中的性能而定义的指令。比如，离散余弦变换（DCT）通过一个 IEEE 1180 舍入操作得到支持，而“SUM ABSOLUTE DIFFERENCE”指令则支持在诸如 MPEG2、MPEG4 和 JPEG 等视频压缩算法中所使用的运动估计算法。

利用软件来实现视频压缩算法使得 OEM 制造商能够在不变更硬件的情况下适应不断发展的标准和新型功能要求。增强型指令可使 Blackfin 处理器在那些先前主要是由 ASIC、VLIW 媒体处理器或硬连线芯片组来满足的应用中一试身手。归根结底，Blackfin 处理器将在帮助降低总系统成本的同时使终端应用的产品上市时间得以缩短。

(4) 高效控制处理

Blackfin 处理器架构还提供了各种在 RISC 控制处理器中最为常见的好处。这些特点包括：一个功能强大且灵活的分层存储器架构、出众的代码密度以及各种各样的微控制器型外设（包括 10/100 以太网 MAC、UARTS、SPI、CAN 控制器、支持 PWM 的定时器、看门狗定时器、实时时钟和一个无缝同步和异步存储器控制器）。所有这些特点为设计师提供了巨大的设计灵活性，并最大限度地降低了终端系统成本。

(5) 分层存储器

如图 1.1 所示，Blackfin 处理器的存储器架构在器件实现中提供了 Level 1 (L1) 和 Level 2 (L2) 存储模块。L1 存储器直接与处理器内核相连、以全系统时钟频率运行并为实时算法程序段提供了最大的系统性能。L2 存储器是一种较大的大容量存储模块，其性能虽略有下降，但运行速度仍然高于片外存储器。

L1 存储器架构的实现旨在提供信号处理所需的性能以及通用型微控制器所拥有的编程简易性。这是通过允许将 L1 存储器配置为 SRAM、高速缓冲存储器或两者之组合来实现的。通过支持 SRAM 和高速缓冲存储器编程模型，系统设计师便能够把要求高带宽和低延迟的关键实时信号处理数据组分配至 SRAM 中，而将更多的“软”实时控制/OS 任务存储于高速缓冲存储器。

存储器管理单元（MMU）规定了一种存储器保护格式，当其与内核的用户及监控模式相组合时，就能够支持一个全实时操作系统。该 RTOS 运行于监控模式中，并对存储模块及其他系统资源进行分割，以便实际应用程序运行于用户模式之中。这样，MMU 就提供了一种用于实现完善系统和应用的隔离而安全的环境。

(6) 出众的代码密度

Blackfin 处理器架构支持多长度指令编码。使用频率非常高的控制型指令被编码为紧致 16 位字，而更多的算术密集型信号处理指令则被编码为 32 位值。该处理器将把 16 位控制

指令与 32 位信号处理指令加以混合和链接,以形成 64 位组,从而实现存储器存储密度的最大化。当进行指令高速缓存和取指令操作时,内核将自动地对总线的长度进行充分的压缩,因为它没有对准方面的限制。当组合起来使用时,这两种功能将使 Blackfin 处理器提供出堪与业界领先的 RISC 处理器相媲美的功能。

(7) 动态电源管理

所有的 Blackfin 处理器均采用了多种节能技术。Blackfin 处理器基于一种选通时钟内核设计,可按照逐条指令来选择性地切断功能单元的电源。Blackfin 处理器还支持多种针对所需 CPU 动作极少(或根本不需要 CPU 动作)期间的断电模式。最后(或许是最重要的)一点是,Blackfin 处理器支持一种自含动态电源管理电路,借助该电路即可对工作频率和电压进行独立控制,以满足正在执行的算法的性能要求。这些转换可以在一个 RTOS 或用户固件的控制之下连续出现。大多数 Blackfin 处理器都提供了片上内核稳压电路,并可在低至 0.8V 的电压条件下工作,因而特别适合于需要延长电池使用寿命的便携式应用。

(8) 易用性

如今,在许多过去需要同时采用一个高性能信号处理器和一个单独的高效控制处理器的应用中,只需采用一个 Blackfin 处理器便足够了。这种好处极大地缩减了开发时间和成本,并最终加快了终端产品的面市进程。此外,由于只需采用一组开发工具,因而减少了系统设计师的初期费用和学习时间。

1.2 其他处理器介绍

1.2.1 ADI 公司的其他处理器

就 ADI 公司而言,在上述 Blackfin 处理器推出之前,曾先后推出 16 位定点 ADSP21 x x 和 32 位浮点 ADSP 21 x x x 系列处理器,之后又推出了 ADSP Tiger SHARC 系列的新型器件,Tiger SHARC 系列器件是基于 ADSP 2106 x 的下一代高性能浮点芯片,其内部集成有更大容量的 RAM,它可以在单周期内执行 4 条指令,且可以很方便地实现多片并行处理系统的扩展,这些新添的特性更增加了高速实时信号处理的可行性。适用于高性能、大存储量的信号处理和图像应用,例如雷达与声呐应用、无线基站、图像处理系统及工业仪器仪表等领域。

1.2.2 其他处理器

在国际和国内其他 DSP 处理器中,主要有得州仪器(TI)公司推出的系列处理器,如最新推出的 Aureus™系列音频数字信号处理器和 DaVinci™数字媒体处理器,以及之前推出的 TMS320C640 x x x 定点 DSP 运行速度可达 1GHz 和 TMS320C67 x 浮点 DSP 等,TI 的 DSP 处理器在国内外得到了广泛的应用。

另外,还有 MOTOROLA 公司的 MCS8101DSP 处理器,3DSP 公司的 SP-3, SP-5, SP-20/UniPHY 处理器,以及 Equator 科技公司的 BSP-15 和 MAP-CA DSP 处理器等。

第2章 教学系统平台

本书的实验项目均在统一的教学系统平台上完成，即 ADI 公司提供的基于 Blackfin 处理器的评估板 ADSP-BF533 EZ-KIT Lite。熟练使用评估板及其扩展板，不仅可以顺利完成各实验项目内容，也可以此为工具，开展工程的研究和开发工作。

2.1 ADSP-BF533 EZ-KIT Lite 的使用

一、实验目的

1. 了解评估板的设计原理以及构架。
2. 学习安装驱动。
3. 学习各部分的原理以及使用方法。

二、实验设备

ADSP-BF533 EZ-KIT Lite

三、实验内容及原理

1. 评估板的原理架构

这部分内容是介绍处理器在评估板上的配置以及外部构架。图 2.1 是系统的基础结构。

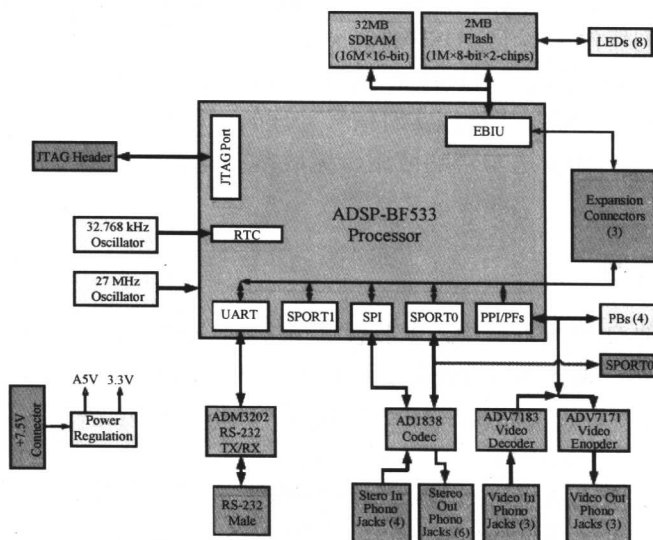


图 2.1 系统架构

下面将根据系统架构图从各部分接口开始介绍整个评估板的原理以及结构。

(1) EBIU

EBIU 连接外部存储设备到处理器。它包括一个 16 位的数据总线、一个地址总线以及一个控制总线。支持 16 位/8 位的访问。在这款评估板上, EBIU 连接了 SDRAM 以及 Flash 存储器。

32MB 的 SDRAM 连接到同步存储器, 后面会介绍如何配置 SDRAM。注意 SDRAM 的时钟是处理器的外部时钟 (CLK OUT), 时钟频率不能超过 133MHz。

两个 Flash 存储设备连接到异步存储器, 设备提供了总共 2MB 的主 Flash 存储, 128KB 的次 Flash 存储以及 64KB 的 SRAM。处理器可以利用这个存储器下载以及存储信息在正常操作时。在后面的使用介绍中会更详细地讲解。

所有的地址、数据以及控制信号可以通过扩展连接器 P3-1 进行传输。这些连接器的引脚输出可以在原理图中看到。

(2) SPORT0 (引脚引线见原理图)

SPORT0 接口连接到 AD1836 音频编解码器上, SPORT 连接器 (P3) 以及扩展接口。AD1836 可以处理包括主从数据的传输以及接收 (即音频设备的输入/输出)。

(3) SPI

处理器的 SPI 接口连接到 AD1836 以及扩展接口。SPI 连接到 AD1836 是为了存取设备控制寄存器里的信号。处理器的 PF4 用来选择 SPI 端口。

(4) PF

处理器有 15 个可编程引脚 (PFs)。这些引脚有多重作用, 由处理器决定。表 2.1 列出了所有的用于评估板的 PF0~PF15 引脚。

表 2.1 PFs 的连接端口

PF 引脚	其他功能	EZ-KIT 功能
PF0		配置 ADV7171, ADV7183 的串行时钟
PF1		配置 ADV7171, ADV7183 的串行数据
PF2		ADV7183 ~OE
PF3	FS3	ADV7183 field 引脚
PF4		AD1836 SPI 选择
PF5		
PF6		
PF7		
PF8		按键 SW4
PF9		按键 SW5
PF10		按键 SW6
PF11		按键 SW7
PF12	PPI7	ADV7171, ADV7183 数据 (MSB)
PF13	PPI6	ADV7171, ADV7183 数据
PF14	PPI5	ADV7171, ADV7183 数据
PF15	PPI4	ADV7171, ADV7183 数据

(5) PPI

ADSP-BF533 处理器的并行外部接口 (PPI) 是半双工、具有双向端口, 最大可进行 16 位数据的输入/输出。接口包括一个专门的时钟接口 (27MHz), 3 个多帧同步信号, 以及 4 个 4 位的数据线, 它们与 PF 端口复用。表 2.2 介绍了 PPI 端口以及它们在评估板上的用途。

评估板利用 8BIT 的 PPI 接口进行视频信号的输入/输出。

表 2.2 PPI 接口

处理器 PPI 引脚	其他功能	EZ-KIT 功能
PPI7	PF12	ADV7171, ADV7183 数据 (MSB)
PPI6	PF13	ADV7171, ADV7183 数据
PPI5	PF14	ADV7171, ADV7183 数据
PPI4	PF15	ADV7171, ADV7183 数据
PPI3		ADV7171, ADV7183 数据
PPI2		ADV7171, ADV7183 数据
PPI1		ADV7171, ADV7183 数据
PPI0		ADV7171, ADV7183 数据
PF3	FS3	ADV7183 field 引脚
TMR1	PPI_HSYNC	ADV7171, ADV7183 HSYNC
TMR2	PPI_FSYNC	ADV7171, ADV7183 FSYNC
PPI_CLK		PPI 时钟, 可以是 ADV7183 输出时钟或是 27MHz 晶振提供的时钟

1) 视频输出模式

在视频输出模式下, PPI 接口配置为输出并连接到板上的视频编码器 ADV7171。ADV7171 编码器产生 3 路模拟视频信号到 DAC B, DAC C 以及 DAC D 输出信道。PPI 的数据线连接到编码器的像素输入 $P_7 \sim P_0$ 。编码器的 PPI 输入时钟设置为 27MHz, 与处理器的 CLK IN 匹配。

编码器的同步信号 (HSYNC/VSING) 可以配置为输入或输出。视频空白控制信号为等级 1。同步信号可以连接到处理器的多路同步引脚, 也可以通过 SW3 开关连接到视频解码器 (ADV7183)。在后面会有介绍。

2) 视频输入模式

在视频输入模式下, PPI 接口配置为输入并连接到板上的视频解码器 ADV7183。解码器接收 3 路模拟视频信号在信道 AIN1, AIN4 和 AIN5。解码器的像素数据输出到 $P_{15} \sim P_8$ 作为 PPI 的输入数据。解码器的时钟可以选为 PPI 的时钟, 如表 2.3 所示。

表 2.3 FlashA PortA

位序号	用户 IO	位值
7	未定义	任意
6	未定义	任意
5	PPI 时钟选择位 1	00=本地晶振 (27MHz)
4	PPI 时钟选择位 0	01=视频 decoder 像素时钟 1X=扩展板 PPI 时钟

续表

位序号	用户 IO	位值
3	视频 decoder 复位	0=复位 ON, 1=复位 OFF
2	视频 encoder 复位	0=复位 ON, 1=复位 OFF
1	保留	任意
0	Codec 复位	0=复位 ON, 1=复位 OFF

(6) UART PORT

处理器的 UART 端口可以连接到 ADM3202RS-232, 也可以连接到扩展接口。RS-232 连接到 DB9 连接器上, 可以通过 PC 相连。

(7) 扩展接口

扩展接口包括 3 个 90 个引脚的连接器。表 2.4 列出了每个连接器提供的接口。

表 2.4 连接器接口

连接器	接口
J1	5V, GND, Adress, Data, PPI
J2	3.3V, GND, SPI, NMI, TMR2-0, SPORT0, SPORT1, PF15-0, EBIU 控制信号
J3	5V, 3.3V, GND, UART, flash IO, Reset, 视频控制信号

2. 安装以及使用评估板

(1) 安装

安装任务包括以下几点:

- Visual DSP++ 软件安装;
- 评估板硬件安装;
- USB 驱动安装;
- VisualDSP++ 的启动。

(2) 评估板的使用

1) 存储单元映射

前面已经介绍了处理器除了有内部的 SRAM 外, 还有外部的 SDRAM 以及 Flash 存储器, 这里介绍映射的地址。表 2.5 列出了存储单元的映射地址。

表 2.5 存储地址映射表

	起始地址	终止地址	内容
内部存储器	0x0000 0000	0x07FF FFFF	SDRAM Bank0
	0x2000 0000	0x200F FFFF	异步存储器空间 0 (Primary FlashA)
	0x2010 0000	0x201F FFFF	异步存储器空间 1 (Primary FlashB)
	0x2020 0000	0x202F FFFF	异步存储器空间 2
	其他区域		未使用

续表

外部存储器	起始地址	终止地址	内容
	0xFF80 0000	0xFF80 3FFF	数据 Bank A SRAM16KB
	0xFF80 4000	0xFF80 7FFF	数据 Bank A SRAM/CACHE16KB
	0xFF80 9000	0xFF90 3FFF	数据 Bank B SRAM16KB
	0xFF90 4000	0xFF90 7FFF	数据 Bank B SRAM/CACHE 16KB
	0xFFA0 0000	0xFFA0 FFFF	指令 SRAM 64KB
	0xFFA1 0000	0xFFA1 3FFF	指令 SRAM/CACHE 16KB
	0xFFB0 0000	0xFFB0 0FFF	
	0xFFC0 0000	0xFFDF FFFF	系统 MMRs 2MB
	0xFFE0 0000	0xFFFF FFFF	内核 MMRs 2MB
	其他区域		保留

2) SDRAM 接口的使用

要使用 SDRAM 必须对 3 个 SDRAM 控制寄存器进行配置。

EBIU_SDGCTL 寄存器可以在用户代码中进行修改。默认的 SDRAM 配置并不是最优的摄制。表 2.6 列出了不同时钟频率下的寄存器最佳设置。

表 2.6 SDRAM 最佳的设置

寄存器	SCLK=133MHz (处理器最大值)	SCLK=126MHz (CCLK=756MHz)	SCLK=118.8MHz (CCLK=594MHz)
EBIU_SDGCTL	0x0091 998D	0x0091 998D	0x0091 998D
EBIU_SDBCTL	0x0000 0025	0x0000 0025	0x0000 0025
EBIU_SDRRC	0x0000 0406	0x0000 03CF	0x0000 0397

3) Flash 存储单元的使用

下面介绍如何使用存储器以及通用 I/O，同样介绍 Flash 存储设备的配置。

在以前的点灯例程中，已经介绍了如何配置 Flash 并且使用通用 I/O，这里就不再赘述了。

每一个 Flash 包括下面的存储单元：

- 1MB 的主 Flash 存储单元；
- 64KB 的二级 Flash 存储单元；
- 32KB 的内部 SRAM；
- 256B 的配置寄存器（I/O 控制）。

每一部分可以有 8 位和 16 位的访问。处理器的 ~AMS0，~AMS1，~AMS2 存储器选择引脚可以实现这个功能。异步存储 0 级在硬件复位时被使用，1 级、2 级在软件中设置。表 2.7 是一个异步存储器的配置实例。

表 2.7 异步存储器配置实例

寄存器	值	功能
EBIU_AMBCTL0	0x7BB07BB0	存储空间 1 和 0 时序控制
EBIU_AMBCTL1 bits 15-0	0x7BB0	存储空间 2（存储空间 3 未使用）时序控制
EBIU_AMBCTL bits 3-0	0xF	使能所有存储空间

每个 Flash 的映射地址是设置好的, 表 2.8 列出了具体的地址。

表 2.8 Flash 存储地址表

起始地址	终止地址	内容
0x2000 0000	0x200F FFFF	Flash A Primary (1MB)
0x2010 0000	0x201F FFFF	Flash B Primary (1MB)
0x2020 0000	0x2020 FFFF	Flash A Secondary (1MB)
0x2024 0000	0x2024 7FFF	Flash A SRAM (32MB)
0x2027 0000	0x2027 00FF	Flash A Registers (256 字节)
0x2028 0000	0x2028 FFFF	Flash B Secondary (64KB)
0x202C 0000	0x202C 7FFF	Flash B SRAM (32KB)
0x202E 0000	0x202E 00FF	Flash B Registers (256 字节)
其他地址空间		保留

4) Flash 通用 I/O

通用 I/O 信号可以通过设置 Flash 中适当的寄存器来进行控制。这些寄存器映射在处理其中的地址空间, 表 2.9 给出映射表。

表 2.9 映射表

寄存器名	端口 A 地址	端口 B 地址
数据输入 (只读)	0x2027 0000	0x2027 0001
数据输出 (只写)	0x2027 0004	0x2027 0005
方向 (读一写)	0x2027 0006	0x2027 0007
数据输入 (只读)	0x202E 0000	0x202E 0001
数据输出 (只写)	0x202E 0004	0x202E 0005
方向 (读一写)	0x202E 0006	0x202E 0007

Flash A

Flash B

Direction 寄存器控制 I/O 引脚的方向。0 为输入, 1 为输出。

5) LED 灯以及按钮的使用

评估板的通用 I/O 提供 4 个按钮以及 6 个 LED 灯。

6 个 LED 灯标为 LED4~LED9, 通过 Flash 存储接口的通用 I/O 进行访问, 关于 I/O 的配置在上面已经讲过, 点灯的例程里也有详细的讲解。

按钮标为 SW4~SW7。每一个按钮可以通过 PF 进行读取信息, 按钮按下时读入 1, 放开读入 0。在中断的例程中也有详细的讲解。

6) 使用音频设施

AD1836 提供了 3 个立体声的输出通道以及两个 96KB 的输入通道。SPORT0 接口连接到立体声音频的输入和输出引脚。处理器可以通过它们进行数据传输 (包括两种方式 I2S/TDM)。

I2S 模式可以在 96KB 采样速率下进行操作, 但是只允许使用输出的两个通道。TDM 模式可最大在 48KB 采样速率下操作, 却可以同时使用所有的输入/输出通道。当使用 I2S 模式时, TSCLK0 以及 RSCLK0 引脚, 还有处理器的 TFS0 以及 RFS0, 必须永久的相连。这通过 SW9 开关实现, 在原理图中可以看到详细的连接信息。

在前面的音频实例中可以看到具体的实现方法。

7) 使用视频设备

评估板支持视频输入/输出应用程序。ADV7171 视频编码器提供了 3 个模拟视频信号的输出通道, 同时 ADV7183 提供了 3 个模拟视频信号的输入通道。编解码器都与 PPI 相连。在前面的 PPI 接口中已经介绍过。

下面的步骤可以让视频接口进行传输:

- ① 根据需要配置 SW3 开关, 具体的连接方式见原理图。
- ② 通过通用 I/O 配置视频设备的 RESET 信号。
- ③ 如果使用解码器, 使能设备通过 PF2=0, 选 PPI 时钟信号。
- ④ 配置使用的编解码器的内部寄存器。

配置处理器的 PPI 接口, 如控制寄存器以及 DMA 通道等。

8) 使用 BTC

ADSP-BF533 的 USB 调试模式支持 BTC, 通过 BTC, 即使不中断 DSP 的工作可以使处理器与编译器之间的数据交换更容易实现。

关于 BTC 的使用详细参见 VisualDSP++ 的用户手册。

以上的内容便是评估板的架构以及使用的详细内容, 如果那些部分仍有不清楚的地方请参照评估板手册以及帮助文档。

四、问题与思考

- (1) 评估板上的存储器是如何设置的?
- (2) 评估板提供了几个音频的输出通道和输入通道?

2.2 USB-LAN 扩展板的使用

通过 USB-LAN 扩展板, 可以连接以太网, 以及上位机和其他设备。

一、实验目的

1. 了解扩展板的设计原理以及架构。
2. 学习使用扩展板。

二、实验设备

ADSP-BF533 EZ-KIT Lite, USB-LAN 扩展板。

三、实验内容及原理

1. 系统架构

图 2.2 是扩展板的系统架构, 可以了解扩展板设计的基本原理。

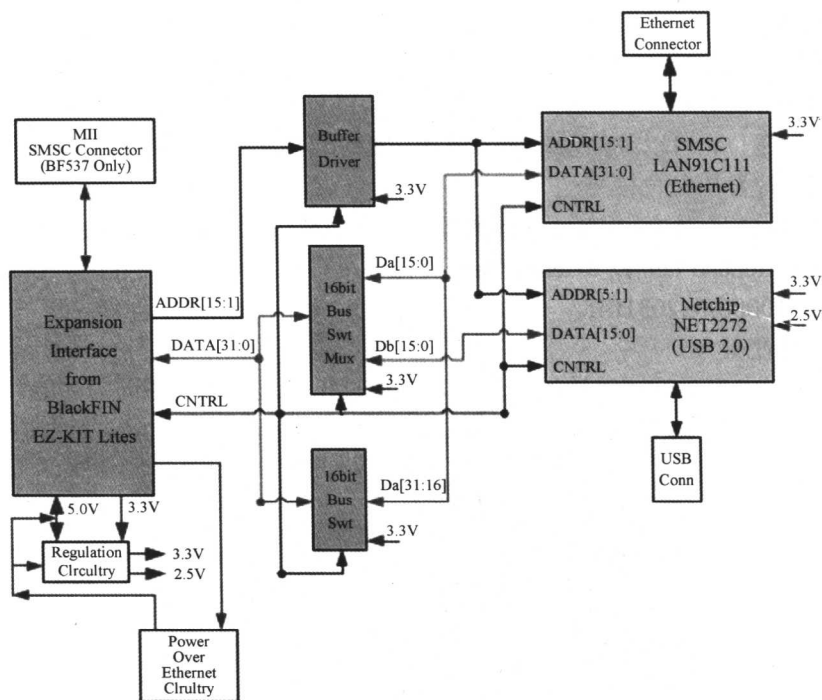


图 2.2 扩展板的系统架构

2. 扩展板的使用

(1) 安装

安装所有的组件是很关键的。启动你的系统要完成下面的步骤：

- 1) 了解你所使用的接口。
- 2) 看系统构架图理解扩展板外的接口连接。对于详细的信息可以参考原理图。
- 3) 将设备连接好。
- 4) 设置扩展板的开关和跳针。
- 5) 设置评估板的开关和跳针。

(2) USB/以太网

关于 USB 的软件信息在路径 \VisualDSP++ install path\blackfin\EZ-KITs\USB-LAN EZ-EXTENDER\usb 文件夹下有 USB Software readme.txt 的文件。

关于以太网的软件信息也在同样路径下的 lan 文件夹内。

(3) USB2.0 接口

通过扩展板，可以在处理器上连接一个 USB2.0 的芯片，无须其他的可编程逻辑器件。PLX'S NET2272 可以直接连接到处理器的 3 级异步存储单元。可以直接通过寻址访问 USB2.0 控制器。

通过设置 PF11=0，可以复位 NET2272 (PF 引脚以及 LED 灯在评估板的手册上可以看到详细介绍)，在 USB 的例程中，有源代码、驱动以及介绍文档。USB 设备的地址映射为 0X20300000-0X2030007F。