

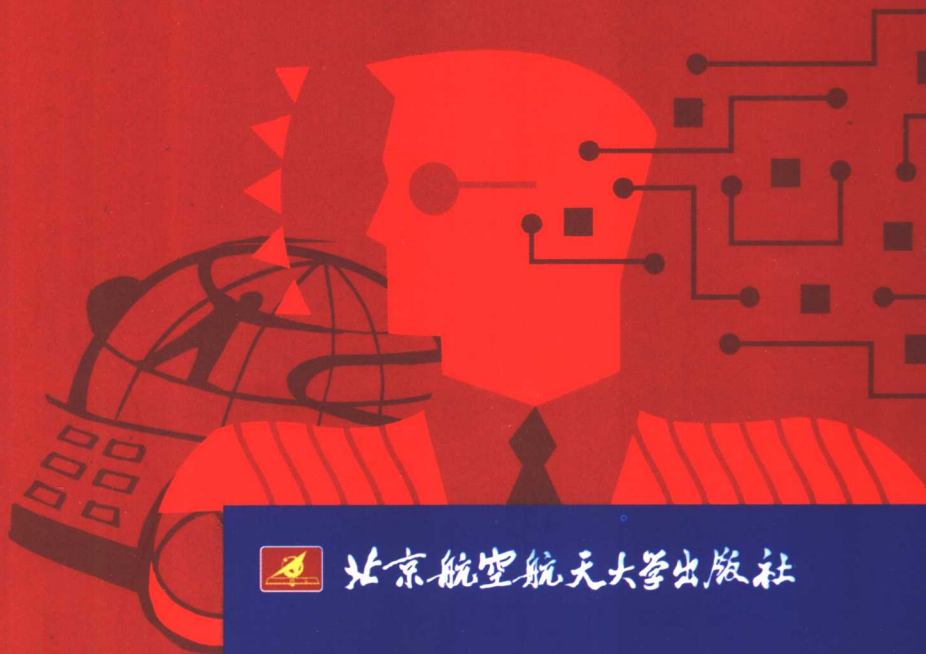
普通高校“十一五”规划教材



Digital Electronics

主 编 张秀娟 薛庆军
副主编 韩 进 张晓晖 李 虹

数字电子技术 基础实验教程



北京航空航天大学出版社

普通高校“十一五”规划教材

数字电子技术基础实验教程

主 编 张秀娟 薛庆军
副主编 韩 进 张晓晖 李 虹

北京航空航天大学出版社

内 容 简 介

本书是根据“数字电子技术基础实验教程”教学基本要求及编者多年教学、科研和工程实践经验编写的,适应面向新世纪教育、教学改革和科技发展的要求,是电子类、非电子类、通信类和计算机类专业的一门必修的专业基础实验课程。

本教程主要包括基础性实验、综合性实验及 EDA 仿真与验证性实验。基础性实验主要介绍了实验的基本原理及内容、操作步骤与过程和数字集成电路的使用与测试方法,基础性实验依靠实物对其进行电路原理的验证;综合性实验主要介绍了常用电路的设计方法与思路,同时对读者自行设计的实验提供了相应的参考电路;EDA 仿真与验证性实验主要介绍了 Multisim 8.0 及 Quartus II 目前比较先进的两种 EDA 仿真软件的使用,以及应用其对数字电子技术中常用的基础性实验、综合性实验进行电路的功能测试及仿真结果验证。

本实验教程内容丰富,具有很强的实用性和综合性,突出动手能力和工程意识的培养。

本书可作为理工科电类与非电类专业数字电子技术基础的实验教材,也可供相关专业工程技术人员参考。

图书在版编目(CIP)数据

数字电子技术基础实验教程/张秀娟,薛庆军主编.——北京:北京航空航天大学出版社,2007.10

ISBN 978-7-81124-145-7

I. 数… II. 张… III. 数字电子技术-实验-教材 IV. TP302.2-33

中国版本图书馆 CIP 数据核字(2007)第 122357 号

数字电子技术基础实验教程

主 编 张秀娟 薛庆军

副主编 韩 进 张晓晖 李 虹

责任编辑 金友泉

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: bhpres@263.net

北京时代华都印刷有限公司印装 各地书店经销

*

开本:787 mm×960 mm 1/16 印张:14.75 字数:330 千字

2007 年 10 月第 1 版 2007 年 10 月第 1 次印刷 印数:5 000 册

ISBN 978-7-81124-145-7 定价:19.00 元

前 言

数字电子技术基础实验教程是电子类和计算机类专业的一门必修的基础实验课程,是工科专业重要的实践环节之一,是训练学生设计小型数字电子系统的基础,是培养学生基本技能、巩固电子技术基础知识和理论联系实际的重要手段,同时也是后续电类课程的入门基础。随着科学技术的发展,数字电子技术在各个科学领域都得到了广泛的应用。学生在学习中不仅要掌握基本原理和基本方法,更重要的是学会灵活应用。因此,需要进行一定量的实验,才能掌握这门课程的基本内容,熟悉各单元电路的工作原理,各集成器件的逻辑功能和使用方法。并能运用 Multisim 8.0 和 Quartus II 软件自行设计实验电路,能在该软件下进行仿真验证,提高学生运用理论解决实际问题的能力。鼓励学生自己提出问题,设计电路,对培养创新精神和实践能力有重要作用。

书中实验内容基本覆盖整个课程的教学内容,并且遵从循序渐进的原则,基础性实验使学生掌握典型数字电路的分析与设计以及数字集成芯片和常用电子仪器设备的使用方法,培养学生的基本技能和动手实践。综合设计性实验,以突出应用性,体现一定的趣味性,培养学生的综合能力和创新能力。

全书分三部分:第一部分为基础和综合性实验。介绍了实验基本原理、操作内容和步骤,及数字集成电路概述、特点、使用与测试方法;主要安排了门电路的逻辑功能与参数测试,组合逻辑电路的分析与设计,触发器及其相互之间的转换,MSI 加法器、译码器、编码器、显示译码及 LED 数码管显示电路的功能测试及应用,时序逻辑电路分析与应用,555 定时器的应用,D/A 与 A/D 转换器等实验内容。第二部分为 EDA 仿真与验证性实验。主要介绍了 Multisim 8.0 及 Quartus II 目前较为先进的两种 EDA 仿真软件的使用及如何应用其对数字电路实验进行电路设计和仿真测试。主要安排了基础性、综合性与设计性仿真实验。第三部分为附录。主要介绍了数字电路实验箱、函数信号发生器简介及常用数字集成电路引脚图。

本书由山东科技大学张秀娟教授、韩进教授组织选定内容。第 1、2 章由张晓晖、李虹老师编写,第 3、4、5 章由张秀娟、陈秀霞、薛庆军老师编写,第 6、7 章由韩进、薛立琴老师编写,附录由戚梅、赵艳秋、秦臻编写,本书编写过程中李翔、李会平、郭秀玲、尚春鹏、徐强等参加了大量的绘图和校对工作。全书由张秀娟教授负责统稿。青岛理工大学张冬梅教授审阅了全书内容。

由于时间仓促和编者水平有限,书中不当之处,敬请读者批评指正。

编 者

2007-6-3 于青岛

目 录

第一部分 基础和综合性实验

第 1 章 基础实验	3
1.1 TTL 集成逻辑门的逻辑功能与参数测试	3
1.2 组合逻辑电路的设计与测试	8
1.3 译码器功能的测试及其应用	11
1.4 编码器、显示译码及 LED 数码管显示电路	16
1.5 数据选择器及其应用	20
1.6 MSI 加法器功能测试及应用	26
1.7 触发器 R-S、D、J-K 功能测试	28
1.8 各种触发器逻辑功能的转换	32
1.9 计数器 MSI 芯片的应用	35
1.10 移位寄存器及其应用	38
1.11 555 时基电路及其应用	44
第 2 章 综合性实验	51
2.1 简易电子琴电路	51
2.2 四人智力竞赛抢答装置	52
2.3 D/A、A/D 转换器原理及应用	55
2.4 数字频率计	61
2.5 拔河游戏机	67
2.6 电子秒表	72

第二部分 EDA 仿真与验证性实验

第 3 章 Multisim 8.0 使用简介	79
3.1 Multisim 8.0 的特点	79
3.2 Multisim 8.0 的基本操作界面	81
3.3 Multisim 8.0 对元器件的管理	99
3.4 原理图的绘制	103
3.5 虚拟仪器及其使用	105

3.6 操作步骤	109
第4章 基于 Multisim 8.0 的电路仿真	112
4.1 集成逻辑门电路逻辑功能的测试	112
4.2 半加器、全加器的分析与设计	115
4.3 组合逻辑电路设计	118
4.4 四选一数据选择器功能的测试与应用	123
4.5 触发器功能的测试与应用	126
4.6 计数器功能的测试与应用	130
第5章 综合与设计性实践	134
5.1 555 时基电路及其应用	134
5.2 四人抢答电路	142
5.3 彩灯控制电路	144
5.4 D/A、A/D 转换器	145
5.5 简易电子琴电路	149
5.6 交通灯控制系统设计	151
5.7 电子密码锁控制电路	152
第6章 VHDL、Quartus II 概述	156
6.1 VHDL 概述	156
6.2 Quartus II 概述	160
6.3 基于 Quartus II 的原理图输入设计流程	161
6.4 文本输入设计法	186
第7章 逻辑电路 VHDL/Verilog 描述	187
7.1 基本逻辑电路	187
7.2 综合应用举例	205
第三部分 附录	
附录1 仪器仪表使用简介	215
附录 1.1 DVCC-D2JH 数字电路实验箱	216
附录 1.2 EE1642B 型函数信号发生器/计数器	217
附录2 常用芯片引脚图	218
附录 2.1 74LS 系列 TTL 电路外引线排列	218
附录 2.2 CMOS 及其他集成电路引线排列	223
参考文献	226

第一部分

基础和综合性实验

第 1 章 基础实验

1.1 TTL 集成逻辑门的逻辑功能与参数测试

一、实验目的

- ① 掌握 TTL 集成与非门的逻辑功能和主要参数的测试方法。
- ② 掌握 TTL 器件的使用规则。
- ③ 进一步熟悉数字电路实验装置的结构、基本功能和使用方法。

二、实验原理

本实验采用四输入双与非门 74LS20, 即在一块集成块内含有两个互相独立的与非门, 每个与非门有四个输入端。其逻辑电路、符号及引脚排列如图 1.1 所示。

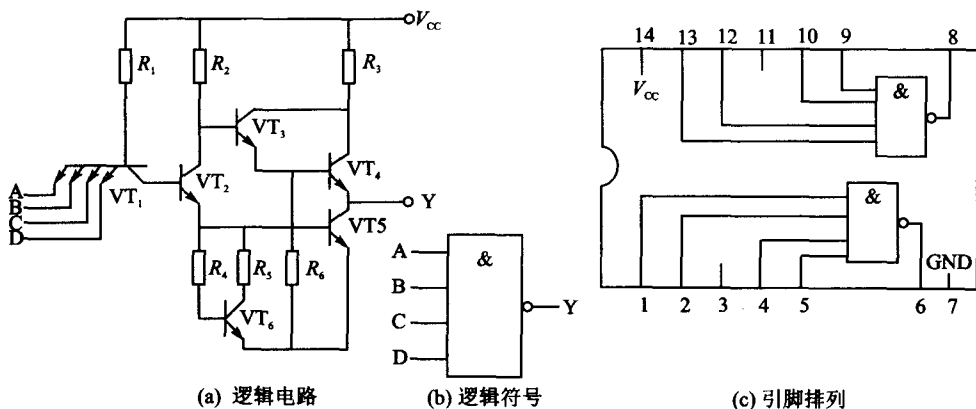


图 1.1 74LS20 逻辑电路、逻辑符号及引脚排列

1. 与非门的逻辑功能

与非门的逻辑功能是: 当输入端中有一个或一个以上是低电平时, 输出端为高电平; 只有当输入端全部为高电平时, 输出端才是低电平, 即有“0”得“1”, 全“1”得“0”。其逻辑表达式为

$$Y = \overline{AB \cdots}$$

2. TTL 与非门的主要参数

(1) 低电平输出电源电流 I_{CCL} 和高电平输出电源电流 I_{CCH}

I_{CCL} 是指所有输入端悬空, 输出端空载时, 电源提供器件的电流。 I_{CCH} 是指输出端空载, 每个门各有一个以上的输入端接地, 其余输入端悬空时, 电源提供给器件的电流。通常 $I_{CCL} > I_{CCH}$, 它们的大小标志着器件静态功耗的大小。 I_{CCL} 和 I_{CCH} 测试电路如图 1.2(a)、(b) 所示。

注意: TTL 电路对电源电压要求较严, 电源电压 V_{CC} 只允许在 $(5 \pm 10\%)$ V 的范围内工作, 超过 5.5 V, 将损坏器件; 低于 4.5 V, 器件的逻辑功能将不正常。

(2) 低电平输入电流 I_{IL} 和高电平输入电流 I_{IH}

I_{IL} 是指被测输入端接地, 其余输入端悬空, 输出端空载时, 由被测输入端流出的电流值。它直接影响前级门电路带负载的个数, 因此, 希望 I_{IL} 小些。

I_{IH} 是指被测输入端接高电平, 其余输入端接地, 输出端空载时, 流入被测输入端的电流值。其大小关系到前级门的拉电流负载能力, 希望 I_{IH} 小些。 I_{IL} 与 I_{IH} 的测试电路如图 1.2(c)、(d) 所示。

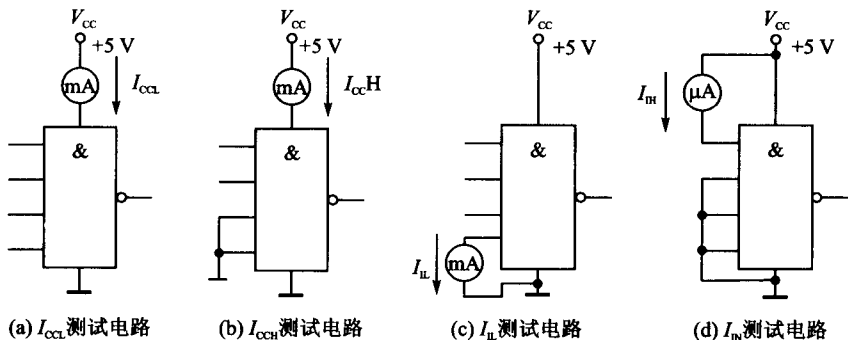


图 1.2 TTL 与非门静态参数测试电路图

(3) 扇出系数 N_O

扇出系数 N_O 是指门电路能驱动同类门的个数, 是衡量门电路负载能力的一个参数。TTL 与非门有两种不同性质的负载, 即灌电流负载和拉电流负载, 因此有两种扇出系数, 即低电平扇出系数 N_{OL} 和高电平扇出系数 N_{OH} 。通常 $I_{IH} < I_{IL}$, 则 $N_{OH} > N_{OL}$, 故常以 N_{OL} 作为门的扇出系数。

N_{OL} 的测试电路如图 1.3 所示, 门的输入端全部悬空, 输出端接灌电流负载 R_L , 调节 R_L 使 I_{OL} 增大, V_{OL} 随之增高。当 V_{OL} 达到 V_{OLm} (手册中规定低电平规范值 0.4 V) 时的 I_{OL} 就是允许灌入的最大负载电流, 则

$$N_{OL} = \frac{I_{OL}}{I_{IL}}$$

在这里通常使 $N_{OL} \geq 8$ 。

(4) 电压传输特性

门的输出电压 V_o 随输入电压 V_i 而变化的曲线 $V_o = f(V_i)$, 称为门的电压传输特性。测试电路如图 1.4 所示, 采用逐点测试法, 即调节 R_P , 测得 V_i 及 V_o , 然后绘成曲线。

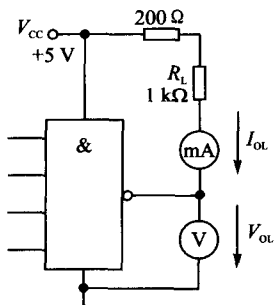


图 1.3 扇出系数测试电路

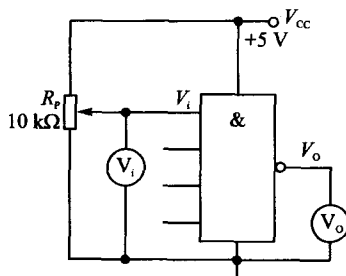


图 1.4 传输特性测试电路

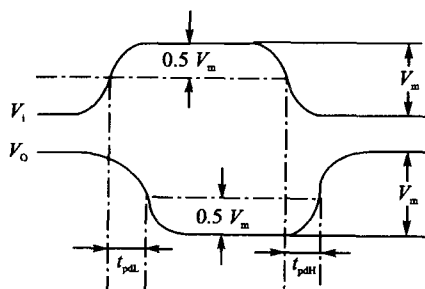
(5) 平均传输延迟时间 t_{pd}

t_{pd} 是衡量门电路开关速度的参数, 是指输出波形边沿的 $0.5 V_m$ 点至输入波形对应边沿 $0.5 V_m$ 点的时间间隔, 如图 1.5 所示。

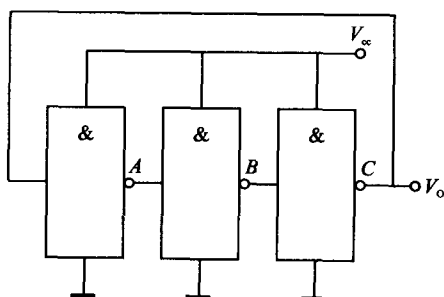
图 1.5(a) 中的 t_{pdL} 为导通延迟时间, t_{pdH} 为截止延迟时间。而平均传输延迟时间为

$$t_{pd} = \frac{1}{2}(t_{pdL} + t_{pdH})$$

t_{pd} 的测试电路如图 1.5(b) 所示。由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故实验中采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 来测得。



(a) 传输延迟特性

(b) t_{pd} 的测试电路图 1.5 t_{pd} 测试电路及延迟特性

其工作原理是: 假设电路在接通电源后某一瞬间, 电路中的 A 点为逻辑“1”, 经过 3 级门的延迟后, 使 A 点由原来的逻辑“1”变为逻辑“0”; 再经过 3 级门的延迟后, A 点电平又重新回

到逻辑“1”。电路中其他各点电平也跟随变化。说明使 A 点发生一个周期的振荡,必须经过 6 级门的延迟时间。因此平均传输延迟时间为 $t_{pd} = \frac{T}{6}$ 。TTL 电路的 t_{pd} 一般在 10~40 ns 之间。

74LS20 主要电参数规范如表 1.1 所列。

表 1.1 74LS20 主要电参数规范

参数名称和符号			规范值	测试条件
直流参数	通导电源电流	I_{CC1}/mA	<14	$V_{CC}=5\text{ V}$, 输入端悬空, 输出端空载
	截止电源电流	I_{CCH}/mA	<7	$V_{CC}=5\text{ V}$, 输入端接地, 输出端空载
	低电平输入电流	I_{IL}/mA	≤ 1.4	$V_{CC}=5\text{ V}$, 被测输入端接地, 其他输入端悬空, 输出端空载
	高电平输入电流	$I_{IH}/\mu\text{A}$	<50	$V_{CC}=5\text{ V}$, 被测输入端 $V_i=2.4\text{ V}$, 其他输入端接地, 输出端空载
			<1	$V_{CC}=5\text{ V}$, 被测输入端 $V_i=5\text{ V}$, 其他输入端接地, 输出端空载
	输出高电平	V_{OH}/V	≥ 3.4	$V_{CC}=5\text{ V}$, 被测输入端 $V_i=0.8\text{ V}$, 其他输入端悬空, $I_{OH}=400\text{ }\mu\text{A}$
	输出低电平	V_{OL}/V	<0.3	$V_{CC}=5\text{ V}$, 输入端 $V_i=2.0\text{ V}$, $I_{OL}=12.8\text{ mA}$
	扇出系数	N_O/V	4~8	同 V_{OH} 和 V_{OL}
交流参数	平均传输延迟时间	t_{pd}/ns	≤ 20	$V_{CC}=5\text{ V}$, 被测输入端输入信号: $V_i=3.0\text{ V}$, $f=2\text{ MHz}$

三、实验设备与器件

① +5 V 直流电源;② 逻辑电平开关;③ 逻辑电平显示器;④ 直流数字电压表;⑤ 直流毫安表;⑥ 直流微安表;⑦ 74LS20×2、1 k Ω 、10 k Ω 电位器,200 Ω 电阻器(0.5 W)。

四、实验内容

在合适的位置选取一个 14 脚插座,按定位标记插好 74LS20 集成块。

1. 验证 TTL 集成与非门 74LS20 的逻辑功能

按图 1.6 接线,门的 4 个输入端接逻辑开关输出插口,以提供“0”与“1”电平信号,开关 K 向上,输出逻辑“1”,向下为逻辑“0”。门的输出端接由 LED 发光二极管组成的逻辑电平显示器(又称 0-1 指示器)的显示插口,LED 亮为逻辑“1”,不亮为逻辑“0”。按表 1.2 的逻辑功能逐个测试集成块中两个与非门的逻辑功能。74LS20 有 4 个输入端,有 16 个最小项,在实际测试时,只要通过对输入 1111、0111、1011、1101、1110 这 5 项进行检测就可判断其逻辑功能是否正常。

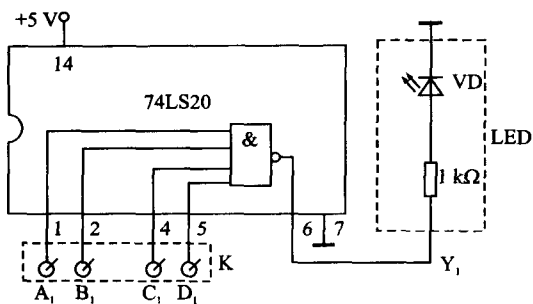


图 1.6 与非门电路功能测试电路

表 1.2 74LS20 逻辑功能

输 入				输 出
A_n	B_n	C_n	D_n	Y_n
1	1	1	1	
0	1	1	1	
1	0	1	1	
1	1	0	1	
1	1	1	0	

2. 74LS20 主要参数的测试

(1) 分别按图 1.2、1.3 和 1.5(b)接线并进行测试,将测试结果记入表 1.3 中。

表 1.3 电路主要参数表

I_{CCL} /mA	I_{CCH} /mA	I_{IL} /mA	I_{OL} /mA	$N_O = \frac{I_{OL}}{I_{IL}}$	$t_{pd} = T/6$ (t_{pd}/ns)

(2) 按图 1.4 接线,调节电位器 R_P ,使 V_i 从 0 V 向高电平变化,逐点测量 V_i 和 V_o 的对应值,记入表 1.4 中。

表 1.4 调节电位器 R_P ,不同的 V_i 对应的 V_o 值

V_i/V	0	0.2	0.4	0.6	0.8	1.0	1.5	2.0	2.5	3.0	3.5	4.0	...
V_o/V													

五、实验预习要求

- ① 了解与非门电路构成及工作原理。
- ② 检测各部分电平阈值大小。

六、实验报告

- ① 记录、整理实验结果,并对结果进行分析。
- ② 画出实测的电压传输特性曲线,并从中读出各有关参数值。

七、集成电路芯片简介

数字电路实验中所用到的集成芯片都是双列直插式的。识别方法是:正对集成电路型号

(如 74LS20)或看标记(左边的缺口或小圆点标记),从左下角开始按逆时针方向以 1、2、3…依次排列到最后一脚(在左上角)。在标准型 TTL 集成电路中,电源端 V_{CC} 一般排在左上端,接地端 GND 一般排在右下端。如 74LS20 为 14 脚芯片,14 脚为 V_{CC} ,7 脚为 GND。若集成芯片引脚上的功能标号为 NC,则表示该引脚为空脚,与内部电路不连接。

八、TTL 集成电路使用规则

1) 接插集成块时,要认清定位标记,不得插反。

2) 电源电压使用范围为 $+4.5 \sim +5.5 \text{ V}$ 之间,实验中要求使用 $V_{CC} = +5 \text{ V}$ 。电源极性绝对不允许接错。

3) 闲置输入端处理方法:

① 悬空 悬空相当于正逻辑“1”,对于一般小规模集成电路的数据输入端,实验时允许悬空处理。但易受外界干扰,导致电路的逻辑功能不正常。因此,对于接有长线的输入端,中规模以上的集成电路和使用集成电路较多的复杂电路,所有控制输入端必须按逻辑要求接入电路,不允许悬空。

② 直接接电源电压 V_{CC} (也可以串入一只 $1 \sim 10 \text{ k}\Omega$ 的固定电阻)或接至某一固定电压 V ($+2.4 \text{ V} \leq V \leq 4.5 \text{ V}$) 的电源上,或与输入端为接地的多余与非门的输出端相接。

③ 与输入端并联 若前级驱动能力允许,可以与使用的输入端并联。

4) 输出端不关联 输出端不允许并联使用(集电极开路门(OC)和三态输出门电路(3S)除外);否则不仅会使电路逻辑功能混乱,还会导致器件损坏。

5) 输出端不直接接地与电源 输出端不允许直接接地或直接接 $+5 \text{ V}$ 电源,否则将损坏器件。有时为了使后级电路获得较高的输出电平,允许输出端通过电阻 R 接至 V_{CC} ,一般取 $R = 3 \sim 5.1 \text{ k}\Omega$ 。

1.2 组合逻辑电路的设计与测试

一、实验目的

掌握组合逻辑电路的设计与测试方法。

二、实验原理

1. 设计组合逻辑电路

使用中、小规模集成电路来设计组合电路是最常见的逻辑电路。设计组合电路的一般步骤如图 1.7 所示。

根据设计任务的要求建立输入、输出变量,并列出真值表。然后用逻辑代数或卡诺图化简

法求出简化的逻辑表达式,并按实际选用逻辑门的类型修改逻辑表达式。根据简化后的逻辑表达式,画出逻辑图,用标准器件构成逻辑电路。最后,用实验来验证设计的正确性。

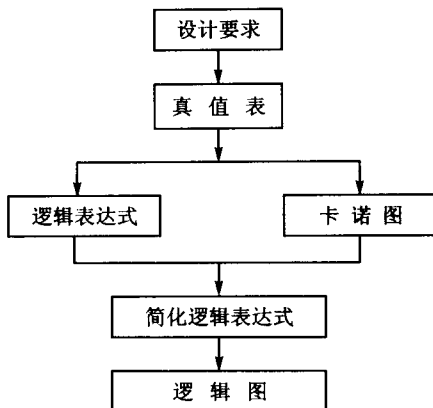


图 1.7 组合逻辑电路设计流程图

2. 组合逻辑电路设计举例

用与非门设计一个表决电路。当 4 个输入端中有 3 个或 4 个为“1”时,输出端才为“1”。

(1) 设计步骤

根据题意列出如表 1.5 所列的真值表,再填入卡诺图表 1.6 中。

表 1.5 4 人表决电路真值表

D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
A	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Z	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	1

由卡诺图得出逻辑表达式,并演化成与非的逻辑形式

$$Z = ABC + BCD + ACD + ABD = \overline{ABC} \cdot \overline{BCD} \cdot \overline{ACD} \cdot \overline{ABD}$$

如图 1.8 所示为根据逻辑表达式画出用与非门构成的逻辑电路。

(2) 用实验验证逻辑功能

在实验装置适当位置选定三个 14 针插座,按照集成块定位标记插好集成块 CC4012;按图 1.8 接线,输入端 A、B、C、D 接至逻辑开关输出插口,输出端 Z 接逻辑电平显示输入插口;按真值表(自拟)要求,逐次改变输入变量,测量相应的输出值,验证逻辑功能,与表 1.5 进行比较,验证所设计的逻辑电路是否符合要求。

表 1.6 4 人表决电路卡诺图表

BC \ DA	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	1	1	1
10	0	0	1	0

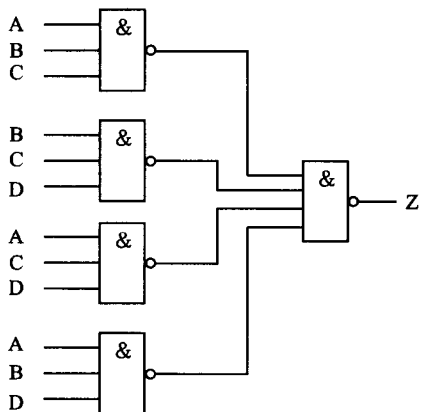


图 1.8 表决电路逻辑图

三、实验设备与器件

① +5 V 直流电源；② 逻辑电平开关；③ 逻辑电平显示器；④ 直流数字电压表；⑤ CC4011×2(74LS00), CC4012×3(74LS20), CC4030(74LS86), CC4081(74LS08), 74LS54×1(CC4085)和 CC4001(74LS02)。

四、实验内容

① 设计用异或门、与门组成的半加器电路。要求按本文所述的设计步骤进行，直到测试电路逻辑功能符合设计要求为止。

② 设计一个一位全加器，要求用异或门、与门、或门组成。

③ 设计一位全加器，要求用异或门、与或非门、与非门实现。

④ 设计一个对两个两位无符号的二进制数进行比较的电路；根据第一个数是否大于、等于、小于第二个数，使相应的三个输出端中的一个输出为“1”，要求用与门、与非门及或非门实现。

五、实验预习要求

① 根据实验任务要求设计组合电路，并根据给定的标准器件画出逻辑图。

② 用最简单的方法验证“与或非门”的逻辑功能是否完好。

③ 与或非门中，当某一组与端不用时，应作如何处理才能达到逻辑功能。

六、实验报告

① 列写实验任务的设计过程，画出设计的电路图。

② 对所设计的电路进行实验测试，记录测试结果。

③ 写出组合电路设计体会。

1.3 译码器功能的测试及其应用

一、实验目的

- ① 掌握中规模集成译码器的逻辑功能和使用方法。
- ② 熟悉数码管的使用。

二、实验原理

译码器是一个多输入、多输出的组合逻辑电路。其作用是翻译给定的代码,变成相应的状态,使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途,不仅用于代码的转换和终端的数字显示;还用于数据分配、存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和显示译码器两大类,前者又分为变量译码器和代码变换译码器。

1. 变量译码器

变量译码器又称二进制译码器,用以表示输入变量的状态,如2线—4线、3线—8线和4线—16线译码器。若有 n 个输入变量,则有 2^n 个不同的组合状态,就有 2^n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。以3线—8线译码器74LS138为例进行分析,图1.9(a)、(b)分别为其逻辑电路及引脚排列。其中 $A_0 \sim A_2$ 为地址输入端, $\bar{Y}_0 \sim \bar{Y}_7$ 为译码输出端, $S_1, \bar{S}_2, \bar{S}_3$ 为使能端。表1.7为74LS138功能表。

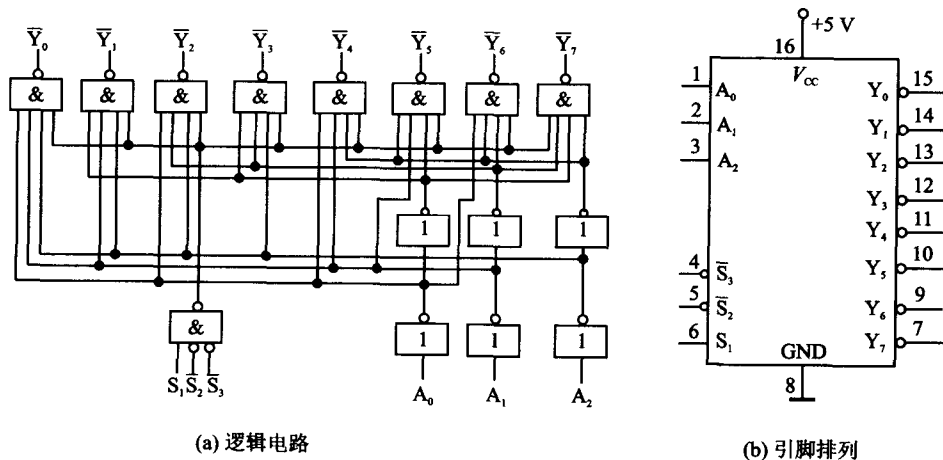


图 1.9 3 线—8 线译码器 74LS138 逻辑图及引脚图排列