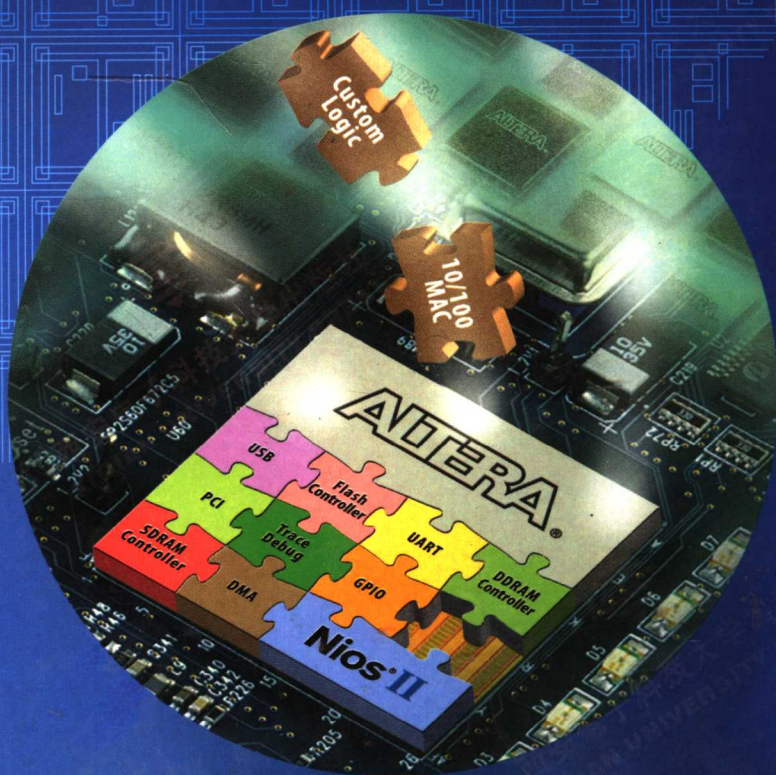


ALTERA®

Nios® II 嵌入式处理器设计大赛 2006年优秀作品精选集

Altera公司 组编



西安电子科技大学出版社
<http://www.xduph.com>

Nios® II

Nios[®] II 嵌入式处理器设计大赛

2006 年优秀作品精选集

Altera 公司 组编

西安电子科技大学出版社

2007

内 容 简 介

2006 年 Altera 公司在中国、韩国、印度和澳大利亚等国家和地区举办了大学生 Nios II 软核嵌入式处理器设计竞赛, 形成了 Altera 公司在亚太地区举办 SOPC 专题竞赛的格局。大学生们利用 Altera 公司提供的 Nios II 软核嵌入式处理器平台, 充分发挥其聪明才智, 设计了许多优秀的作品。本书挑选了竞赛获奖作品中的 18 篇出版, 分为汽车电子、消费电子、通信电子、工业电子 4 大类。

本书内容新颖, 知识面宽, 可作为电子信息类专业教师和学生学习 SOPC 的参考书。

图书在版编目(CIP)数据

Nios® II 嵌入式处理器设计大赛 2006 年优秀作品精选集 / Altera 公司组编. —2 版.

—西安: 西安电子科技大学出版社, 2007.4

ISBN 978-7-5606-1655-1

I. N… II. 美… III. 微处理器-系统设计 IV. TP332

中国版本图书馆 CIP 数据核字(2007)第 039180 号

策 划 臧延新 陈宇光

责任编辑 张晓燕 臧延新

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

http: //www.xduph.com

E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2007 年 4 月第 2 版 2007 年 4 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 20.5

字 数 485 千字

印 数 1~6000 册

定 价 42.00 元

ISBN 978-7-5606-1655-1 / TN·0330

XDUP 1947012-1

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜, 谨防盗版。

Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, mask work rights, and copyrights.

Foreword

One thing hasn't changed since Altera created the world's first reprogrammable logic device more than 20 years ago: a commitment to innovation: ours and yours. We help you take your design ideas from concept to reality with a portfolio of products that includes the Nios® and Nios II soft-core embedded processors. Since they were introduced in June 2000, academic and professional designers worldwide have innovated using Altera's Nios and Nios II processors, integrating them in a wide range of commercial applications from video broadcast systems and WiMAX base stations using high-performance Stratix® II FPGAs to SOHO networking equipment and automotive telematics using low-cost Cyclone® II devices. Today, more than 20,000 development kits have been shipped, and over 5,000 companies—including the world's top 20 original equipment manufacturers (OEMs)—are licensed and implementing Nios processors in their designs.

The versatility of the Nios processor supports creativity and innovation. You can tailor Nios systems with the exact peripherals, memory, and interfaces required, and add your own proprietary functions—your own differentiation—to create a unique competitive advantage. Altera solves the IP integration problem with the SOPC Builder productivity tool that allows you to drag and drop the exact mix of functions required, so you can focus on higher, system-level requirements instead of mundane, error-prone, manual tasks. Plus, Altera® tools work seamlessly with other third-party industry-standard tools, minimizing training time and improving time to market. The soft-core processor implementation enables easy software and design upgrades, effectively making your design obsolescence-proof. With the added advantages of FPGA flexibility, fast time-to-market, and system integration, you have a risk-free path to a custom embedded solution. Your possibilities are unlimited.

Altera continually cultivates designers and supports innovation in Asia and around the world through our University Program. As part of that program, the Nios II Embedded Processor Design Contest aims to increase student interest in embedded processors, improve their design and creative abilities, and ultimately motivate the continued development of FPGA-based embedded processor designs. This year, we received 614 qualified entries—a new record. The significant growth of the program is yet more proof of how rapidly the Nios design community is expanding.

The winning entries presented in this book showcase not only the breadth of possibilities that can be addressed using Altera's embedded solutions—including everything from aircraft navigation, traffic monitoring, robots, watermarking, and oscillographs to video processing and a software-defined radio—but also technology trends in the industry. When you have the tools and flexibility you need, your potential for great design is unlimited.

Congratulations to all the Nios II Design Contest winners and their professors. Keep the fires of innovation burning!

Jordan S. Plofsky
Senior Vice President, Marketing
Altera Corporation

前 言

随着微电子技术的发展,促使集成电路向高速、高集成度、低功耗的系统集成方向发展,SOPC(System-On-a-Programmable-Chip)应运而生。SOPC 将软件和硬件集成到单个可编程逻辑器件平台中,以获得软件的灵活性和硬件的可重构性。SOPC 综合了 SOC 和 PLD、FPGA 各自的优点,集成了硬核和软核 CPU、OSP、存储器、外围 I/O 及可编程逻辑,用户可以利用 SOPC 平台自行设计高速、高性能的 DSP 处理器或特定功能的 CPU 处理器,从而使电子系统设计进入一个全新的模式。SOPC 是现代电子技术和电子系统设计的汇聚点和发展方向。当今 FPGA 设计的特点是系统更加复杂、性能更高和产品面市时间更短。

目前信息产业发展非常迅速,需要系统级芯片的支持。应该指出,掌握 SOPC 技术是电子电路设计开发、教学和科研人员当前重要而紧迫的任务,SOPC 的理论和技術已成为高等学校电子信息类专业本科生和研究生需要掌握的重要内容。美国 Altera 公司一直处于 SOPC 领域的前沿和领先地位,Altera 公司在新技术风险管理、实现所需功能以及降低成本上保持着最好的记录。Nios® II 嵌入式处理器已成为软核嵌入式处理器的标准。基于 Nios II 嵌入式处理器的系统是专为 Altera 的可编程逻辑和可编程芯片系统(SOPC)而设计的解决方案。用户使用 Altera 的 SOPC Builder 系统开发工具创建基于 Nios II 嵌入式处理器的系统,将获得最好的设计灵活性和易用性。

Altera 公司 2006 年在中国、韩国、印度和澳大利亚等国家和地区举办了大学生 Nios II 软核嵌入式处理器设计竞赛,形成了 Altera 公司在亚太地区举办 SOPC 专题竞赛的格局。大学生们利用 Altera 公司提供的 Nios II 软核嵌入式处理器平台,自选题目设计系统使他们有了充分发挥聪明才智的机会,有利于他们活跃思想,拓宽思路,锐意创新。竞赛培养了大学生的创新精神、实践能力和团队合作精神,受到高校广大师生的欢迎。本书挑选了这次竞赛获奖作品中的优秀作品出版,其目的在于促进交流和学习,使嵌入式处理器应用更加广泛和深入,进一步推动电子信息类专业教学内容的改革,提高 EDA 实验水平,适应市场对高技术人才的需求。希望本书的出版能对从事电子信息领域工作和学习的工程师、教师和学生有所裨益。

傅丰林

2007 年 2 月

目 录

第一篇 汽车电子

采用基于 FPGA 的距离变换实现人工智能自动导航系统(一等奖)	Monash 大学	3
驾驶员辅助工具(三等奖)	Hanyang 大学	13
基于 Nios II 多核智能交通车载终端(三等奖)	西安邮电学院	16

第二篇 消费电子

无线自动搜索装置(一等奖)	Kwangwoon 大学	35
实时视频处理器机顶盒(二等奖)	西安电子科技大学	44
基于数字水印技术的商标真伪检测器(二等奖)	北京交通大学	62
基于 SOPC 的语言-文字转换器(二等奖)	National Institute of Technology, Trichy	74
Nios II 嵌入式电子相册(二等奖)	圣约翰科技大学	95
自动报靶系统(三等奖)	华中科技大学	106
基于 Nios II 处理器的多媒体译码器(三等奖)	Indian Institute of Science	148
全方位居家看护机器人(三等奖)	国立中兴大学	157

第三篇 通信电子

网络型高安全度数据保护系统设计(一等奖)	
..... 义守大学	171
软件无线电的 SOPC 实现(一等奖)	
..... National Institute of Technology, Trichy	205

第四篇 工业电子

基于 Nios II 软核的便携式远程多功能逻辑分析仪(一等奖)	
..... 华中科技大学	219
机器人操作黑盒(二等奖)	
..... Hanyang 大学, Seoul National 大学, Yonsei 大学	246
数字示波表(三等奖)	
..... 解放军空军雷达学院	254
基于 Nios II 的喷气织机控制系统(三等奖)	
..... 东华大学	274
基于 Nios II 的语音控制数字示波器(三等奖)	
..... 西安交通大学	284
附录一 Nios II 嵌入式处理器系列	304
附录二 Nios II 嵌入式处理器设计大赛获胜者(2006 年)	317

第一篇

汽车电子

采用基于 FPGA 的距离变换 实现人工智能自动导航系统 (一等奖)

大学院校: Monash 大学
参赛队员: Nathan William Smith
指导教师: Dr.Andrew Price

一、设计概述

本课题实现了用于无人驾驶空间飞行器(UAV)的人工智能导航系统。该系统采用现有的输入数据和自定义的任务书, 收集数据并产生用于其它系统控制飞行器的导航参考信号。图 1 所示为 UAV 导航系统设计框图, 由 Altera Cyclone FPGA 实现。根据输入的动态变化, 该导航系统的输出不断进行更新, 而输入是随着 UAV 或障碍物位置的变化而变化的。导航系统产生的输出信号可用于其它 UAV 系统, 例如飞行器将着陆时需要的信号指示系统, 该系统在 UAV 任务完成或要求飞行器紧急降落时使用。

导航系统也产生忙信号。忙信号通常是静止的, 用于表明由于飞行路线中出现一些复杂障碍物而使导航系统正忙于重新计算一些参数, 并且系统将在一段时间内不能产生所要求的垂直向和行进向。因此, 忙信号促使飞行控制系统进入等待模式(也就是说使 UAV 沿圆形轨道飞行), 直到导航参数计算完成。

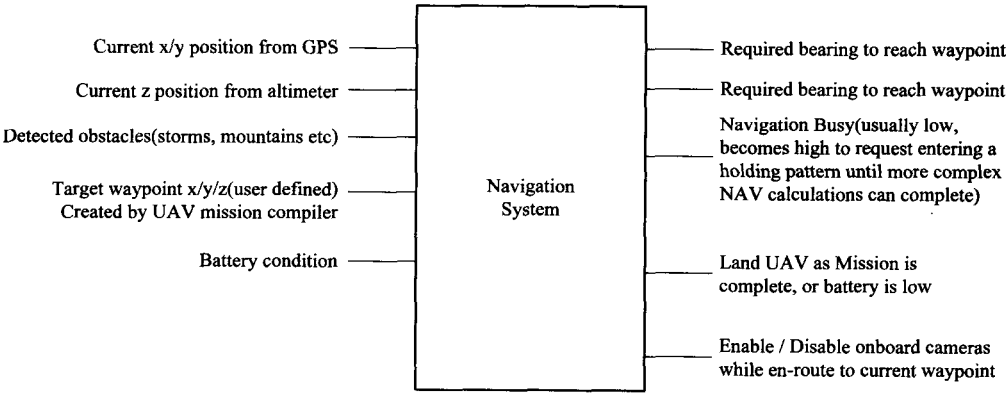


图 1 UAV 导航系统设计框图

导航系统采用新颖的两级距离变换(DT)算法, 在三维坐标系里控制飞行器的经度、纬度和高度。DT 技术一般用于信号处理, 特别是图像处理当中。然而, 目前 DT 技术已越来越

越多地应用于地面交通工具在短距离内的自动导航。本课题将 DT 技术应用于长距离飞行的三维控制的宇航飞行器中。

本课题的设计也包括了重要的系统集成与系统工程。导航系统必须具有与整个 UAV 系统里的其它硬件接口以及进行通信的能力。例如, 一个包括了用电平值来表示 1 bit 信号的简单接口可以用于确定何时着陆。更复杂的接口连接出现在国际航海电子协会 (NMEA)183 通信标准中应用的全球定位系统(GPS)中, 以及要求用于特殊导航信号(垂直和方位)的 RS-232 串行通信中。

选用基于 Cyclone FPGA 的 Nios II 系统来实现本课题的设计主要基于以下几方面的原因:

- (1) 所设计的系统必须能完成快速复杂的计算算法。
- (2) 能够接收来源于各种通信媒体的输入信号, 例如从 GPS 发出的信号。
- (3) 必须能够在界面友好的环境中调试设计的每个部分。

图 2 为要求的系统工程与从导航系统到其它 UAV 系统的接口设计框图。灰色方框表示属于设计范围的系统, 导航系统的通信接口用粗箭头表示。

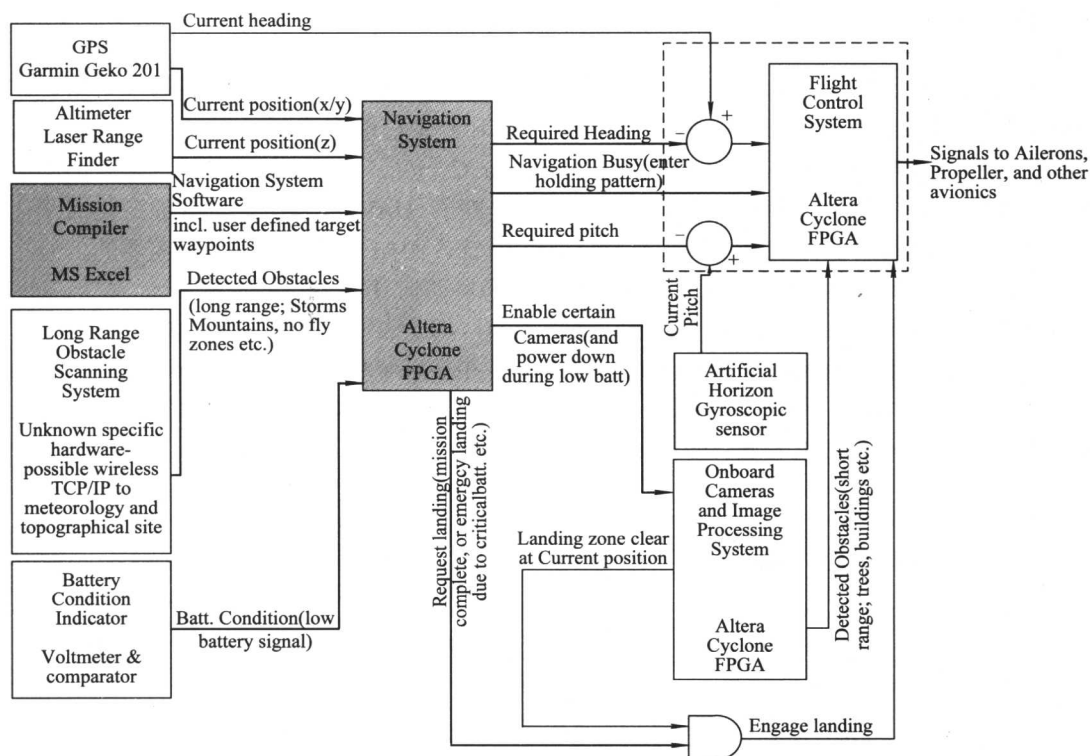


图 2 UAV 系统与接口设计框图

二、功能描述

导航系统硬件的核心是 Altera Cyclone FPGA 芯片, 该芯片与 Monash 大学的微型电路板结合为一体(称为 Monash 袖珍电路板)。图 3 展示了该电路板并描述了其主要组成元件。在其

中, FPGA 被作为可实现常规逻辑的强大微控制器来使用, 或被作为通过使用软件配置设备的微处理器来使用。为了在电路板上配置设备, 需要 Altera Quartus II 软件, 其版本为 5.1。

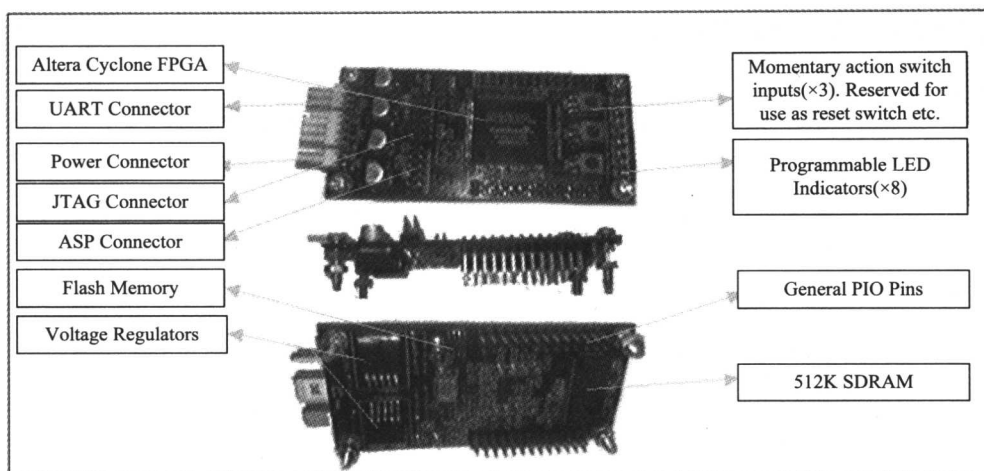


图3 Monash 袖珍电路板

用 Quartus II 软件实现的导航系统如图 4 所示, 它需执行下面几个步骤:

- (1) 在 Quartus II 软件里画出所希望的系统框图, 包括作为常规微处理器的一个模块 (NAV 处理器), 该微处理器采用 SOPC Builder 进行开发。
- (2) 在框图中添加管脚分配(在后面的表 1 中会详细描述)是依据 FPGA 上可得到的物理管脚完成的。这些管脚包括与 FPGA 上的特定管脚通信的 I/O 管脚模块。
- (3) 使用 Quartus II 软件分析并编译设计。
- (4) 根据配置信息, 使用 Quartus II 软件配置 FPGA。

将配置信息下载到 FPGA 里以后, 可以上传特定的 C/C++ 导航软件(由任务提出者提供)给 FPGA 的微处理器, 接下来就可以操纵 UAV 用于希望的导航任务了。

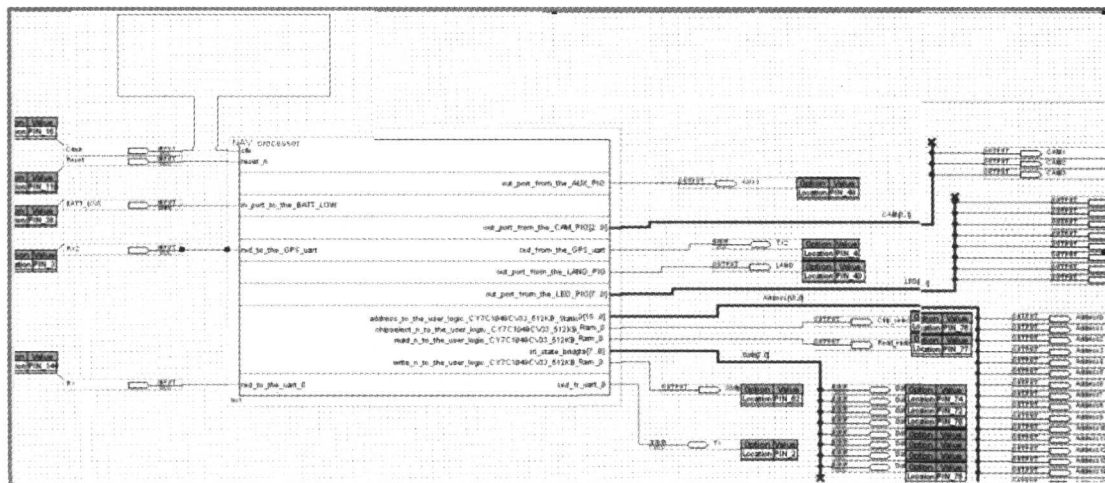


图4 Quartus II 工程

Quartus II 的编译报告如图 5 所示, 该报告描写了系统使用方法。本设计方案使用了超过 70% 的逻辑单元(LE), 这些逻辑单元在 FPGA 上可以得到。

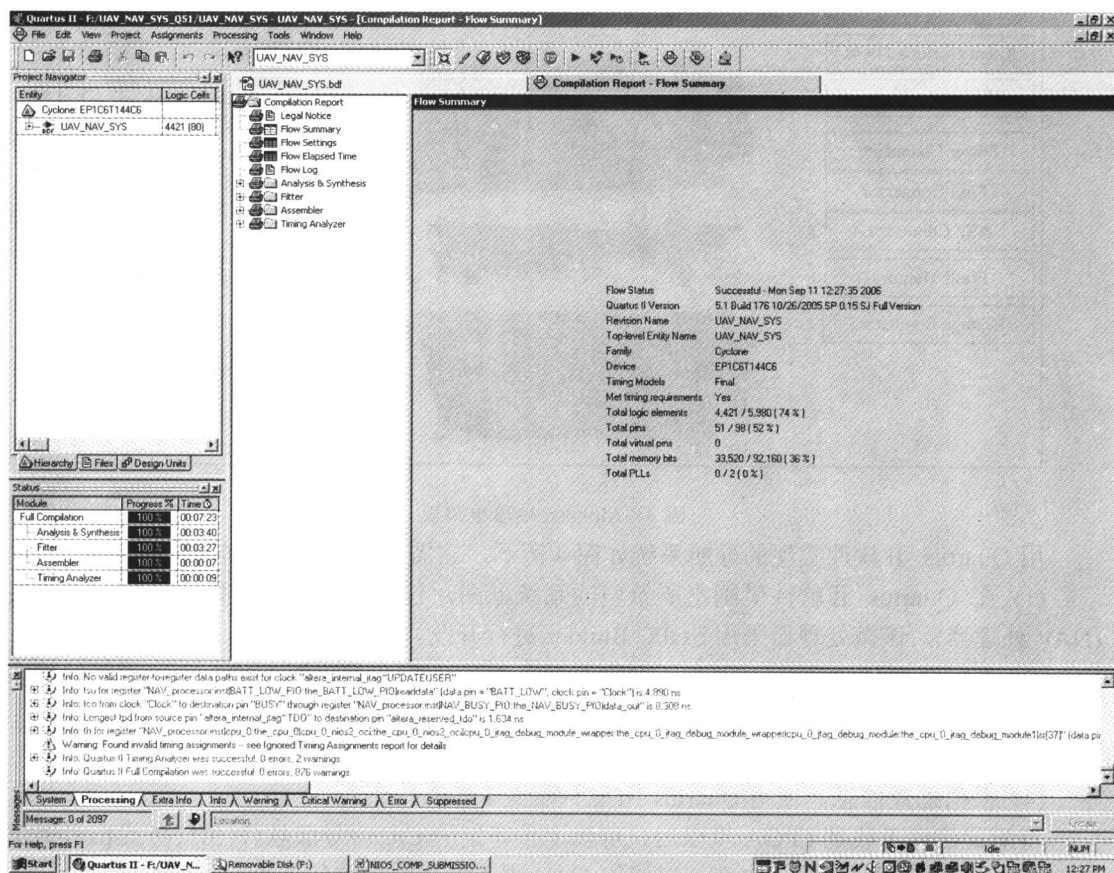


图 5 Quartus II 编译报告

系统的关键部分是微处理器。微处理器执行导航系统软件以用来计算 DT 和产生导航控制信号。SOPC Builder 以绘图方式表示的接口使它很容易选择一个 Nios II 处理器并且将它与导航系统硬件连接起来。SOPC Builder 提供三个处理器变量, 并且能够定制所选择的处理器。依靠已经开发的微处理器系统, 假若所选择的元件适合目标 FPGA 上可以得到的内存/LE, SOPC Builder 就允许设计者进行 UART 输出、以太网接口、VGA 显示等操作。

图 6 给出了在 SOPC Builder 中进行的导航系统的微处理器配置情况, 其中包括所有要求的硬件。该工程采用 Nios II/f 芯片是因为它的速度和数据缓存满足需求。通过反复试验, 本课题选择了合适的缓存大小与流水线性能。在满足软件条件的情况下, 尽可能使用最大的缓存配置, 并且将数据配置进 Cyclone 的内存中。

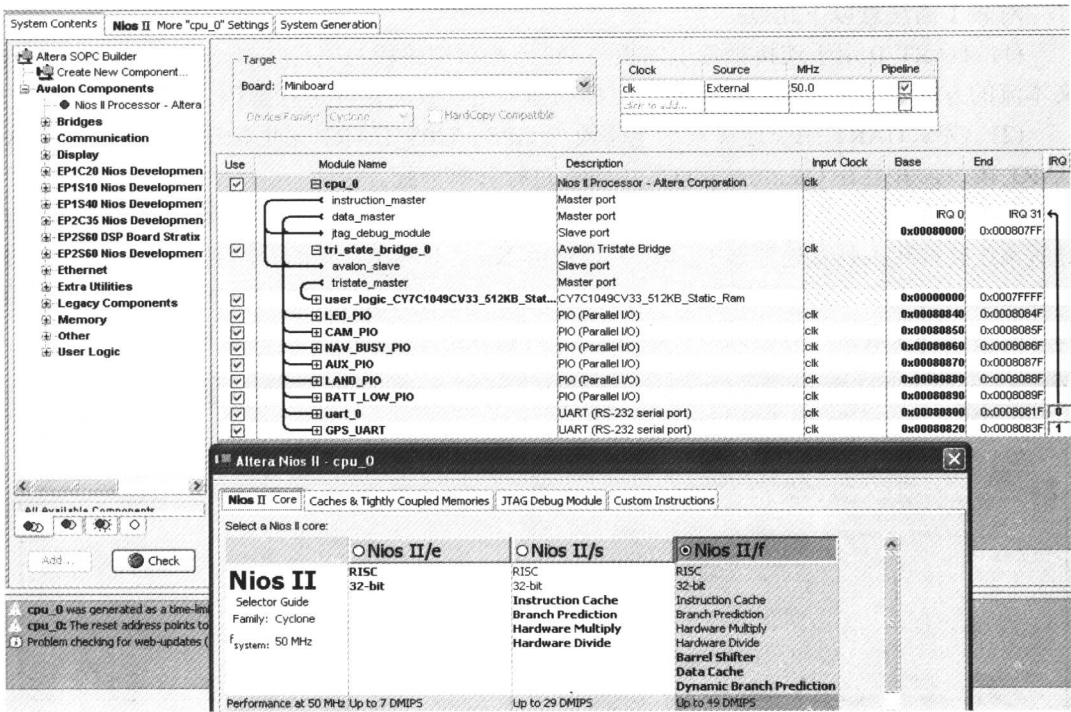


图 6 在 SOPC Builder 中进行的导航系统的微处理器配置

用于导航系统的测试硬件的管脚分配表如表 1 所示，其中的测试硬件是 Monash 袖珍电路板。

表 1 导航系统的管脚分配表

管脚数	类型	功能
16	输入	时钟(CLK)
110	输入	复位(Reset)
3,4	输入 双向	UART 0, Note (1) (RX, TX)
N/A	JTAG UART	GPS_UART, Note (2) (RX, TX)
108, 100, 104, 106, 107, 109, 103,105	输出	LED PIO (LED 1~8)
143,	输出	电池低信号 PIO (BATT)
141	输出	着陆信号 PIO (LAND)
96, 84, 82, 78, 60, 58, 56, 52, 51, 53, 57, 59, 61, 67, 79, 83, 85, 97	输出	512 KB SRAM 的地址总路线(ADR 0~18)
74, 72, 70, 68, 69, 71, 73, 75	双向	512 KB SRAM 的数据总路线(DAT 0~7)
76	输出	512 KB SRAM 的片选信号
77,62	输出	512 KB SRAM 的读、写使能信号
134, 133, 132	输出	相机控制信号 PIO (CAM1~CAM3)
142	输出	导航忙信号 PIO (BUSY)
140	输出	副 UAV 输出 PIO (AUX1)

对表 1 需注意以下几点:

(1) UART 0 用于连接袖珍电路板与 PC 或袖珍电路板与飞行控制电路板。UART 0 以文本流的方式输出所要求的垂直和方位控制信号用于其它硬件进行解码。

(2) GPS_UART 用于连接袖珍电路板与 GPS。GPS_UART 采用袖珍电路板中的 JTAG UART 接口, 并且在 Quartus II 软件中没有进行管脚分配。

将微处理器设计下载到 FPGA 中后, 接着将使用 Nios II 集成开发环境(IDE)进行开发的导航系统软件载入到微处理器里。图 7 表示由 Nios II 终端显示的导航系统输出流。系统输出的信息远远大于 DT 算法所要求的信息(也就是垂直向数据与行进向数据)。像 UAV 的经度和纬度这些特殊数据, 对调试和实际 UAV 飞行路线的数据进行重新编码是非常有用的。

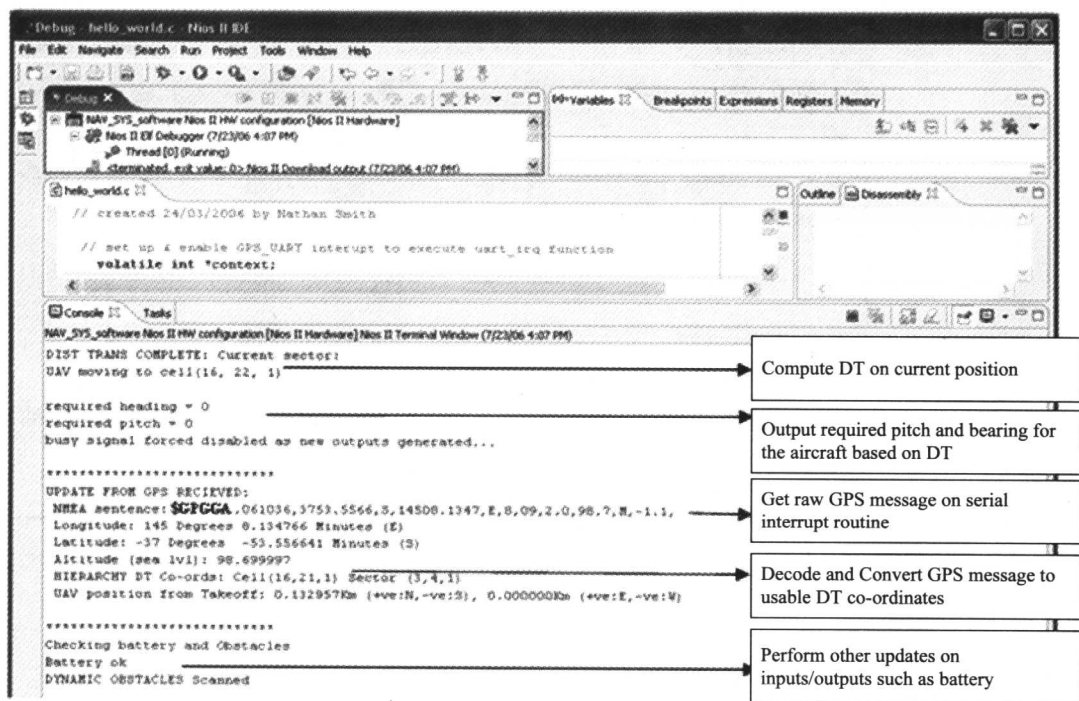


图 7 导航系统输出流

三、性能参数

导航系统最重要的性能参数在于它在规定的时间内越过一个巨大的三维(3D)任务区域(在软件里要求有两个 3D 阵列以完成计算)时,要完成一个 DT 算法,在这段时间里, GPS 接收与输出下一个位置点大约只需 2~3 秒。

SOPC Builder 允许设计者配置微处理器的其它功能选项用于提高计算速度,但这种情况需要消耗系统更多的内存和 LE。特殊情况下,设计者可以控制内核类型(Nios II/s, Nios II/f 等)、流水线操作、硬件乘除以及缓存分配。在微处理器执行周期的每一级里,流水线操作可以允许多条指令并行执行,从而实现导航系统软件的最高执行性能。更大的缓存提供了更多的内存空间以供数据存储,这将加快代码的执行速度。一个大的缓存对于

导航系统软件是非常有用的，它用于增加重复进程(也就是在增加扫描的情况下，更新 DT 矩阵里的值)以确定 DT。然而，越大的缓存也占用越多的 FPGA LE 和内存，而且设计者可能会不经意地产生一个并不适合目标 Cyclone 设备的系统。

最终，本课题所选择的缓存大小与流水线操作是在反复试验的基础上得到的，要达到的目标是：在满足 Cyclone FPGA 设计条件的前提下，最大可能地选择最大的缓存。选择的变量应满足设计时间的要求。所选择的变量与其它硬件选项如表 2 所示。

表 2 硬件配置与性能特征

Nios II 处理器	指令缓存大小 /KB	数据缓存 /KB	时钟流水线	设计符合 Cyclone 设备装配	在 3D 阵列(25×25×25)里完成 DT 算法的时间
Nios II/s	2	N/A	是	是	8 秒
Nios II/s	2	N/A	是	是	4 秒
Nios II/s	2	1	是	否	N/A, 不符合
Nios II/s	1	1	是	否	N/A, 不符合
Nios II/s	1	512	是	是	2 秒 (满足 GPS 时间要求)

四、设计结构

如前面所示，图 1 提供了硬件设计，图 2 给出的是导航系统与其它 UAV 硬件的系统集成。本课题设计是采用 Monash 袖珍电路板与 Garmin Geko 201 GPS 硬件(参见图 8)来实现的。

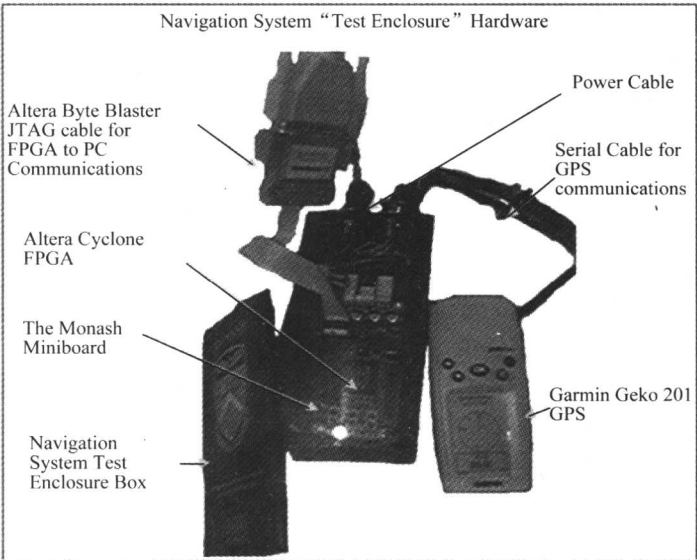


图 8 硬件结构图

导航系统软件流程图如图 9 所示, 图 9 提供了关于软件构造方块的信息以用于开发这个工程。

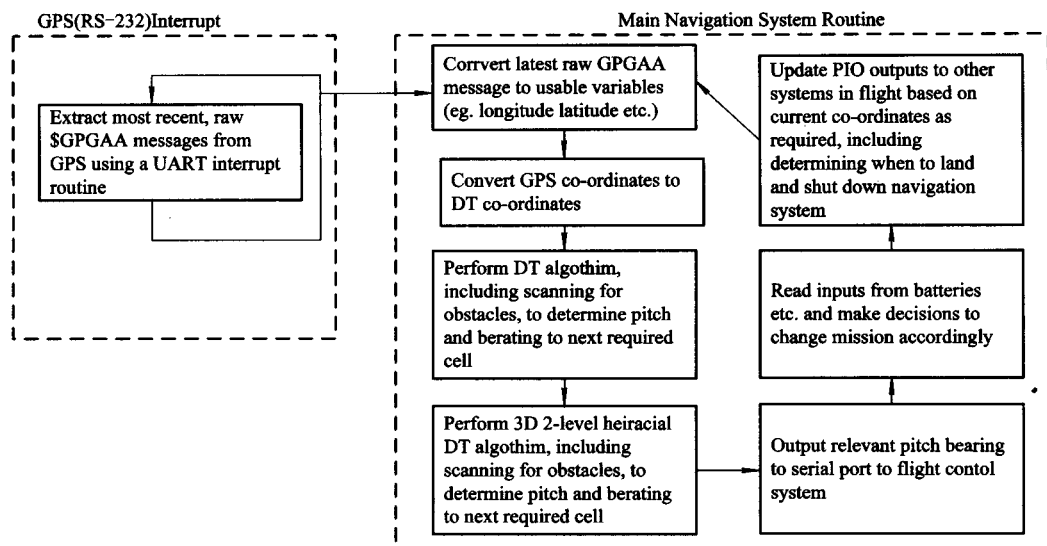


图 9 导航系统软件流程图

五、设计描述

设计的执行步骤如下:

(1) 研究并确定用于导航的 DT 技术的有效性, 并开发用于支持它的软件算法。使用 Quartus II 软件、SOPC Builder 以及 Nios II IDE 研究 Altera FPGA 的使用方法, 使用软件的网络版以及从 Altera 网站上(www.altera.com.cn)可得到的文档。

(2) 产生一个可应用于 Monash 袖珍电路板上器件的 Quartus II 工程, 在 SOPC Builder 里选择一个合适的 Nios II 处理器。编译并调试 Quartus II 设计, 评价如图 5 所示的编译报告。使用简单的 hello world Nios II 程序测试这个工程, 包括测试微处理器的响应以及袖珍电路板(UART 通信等)。

(3) 产生一个用于在 Nios II 处理器中执行的 3D、两级 DT 算法。在适当的测试输入情况下, 在 Cyclone 设备里测试性能。

(4) 更新 SOPC Builder 处理器配置以确定尽可能最快的配置, 这种配置在设备的内存与可得到的 LE 中装配好(如表 2 中所描述)。优化处理器直到满足希望的性能要求。

(5) 使用 Nios II IDE 产生基于中断的接口以用于控制适于导航系统与其它系统集成输入与输出。

(6) 使用可得到的地面交通工具与从 GPS 得到的相对于海平面的高度信息来测试完整的导航系统性能。