



TP332.1

39

2007

可编程逻辑器件实用开发技术丛书

Xilinx 可编程逻辑器件的 应用与设计

黄志强 潘天保 等编著
吴 鹏 俞一鸣



机械工业出版社

本书以深入浅出、图文并茂的方式,系统介绍了FPGA(现场可编程门阵列)集成电路的发明者——美国Xilinx公司的代表性CPLD和FPGA器件产品的结构原理、功能特征及应用设计技术,同时还通过大量的实例详细介绍了Xilinx公司的FPGA资源使用方法、提高资源利用率的技巧、用流水线技术提高系统的运行频率、增量设计等非常实用的设计方法和技巧。本书内容丰富,技术新颖,实用性强。对于消费类电子产品设计、通信系统设计、嵌入式处理器系统设计及控制设备开发设计的工程师、科研人员、大专院校相关专业的研究生、高年级本科生,本书都是一本具有指导价值和实用价值的技术参考书。

图书在版编目(CIP)数据

Xilinx 可编程逻辑器件的应用与设计/黄志强等编著. —北京:机械工业出版社, 2007.4

(可编程逻辑器件实用开发技术丛书)

ISBN 978-7-111-21208-9

I. X… II. 黄… III. 可编程序逻辑器件—系统设计 IV. TP332.1

中国版本图书馆CIP数据核字(2007)第039495号

机械工业出版社(北京市百万庄大街22号 邮政编码100037)

责任编辑:张俊红 版式设计:霍永明 责任校对:陈延翔

封面设计:马精明 责任印制:洪汉军

北京鑫海金澳胶印有限公司印刷

2007年6月第1版第1次印刷

184mm×260mm·23.75印张·583千字

0001—4000册

标准书号:ISBN 978-7-111-21208-9

定价:40.00元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

销售服务热线电话:(010)68326294

购书热线电话:(010)88379639 88379641 88379643

编辑热线电话:(010)88379768

封面无防伪标均为盗版

可编程逻辑器件实用开发技术丛书

编 委 会

主 编：姜宇柏

副主编：张俊红 俞一鸣

编 委：李新新 潘天保 石 英 王 涛

王 冠 王 辉 吴钰淳 吴 鹏

尤晓丽 张海风 张 博 石 新

丛 书 序

随着科学技术的迅猛发展，电子工业界经历了巨大的飞跃。集成电路的设计正朝着速度快、性能高、容量大、体积小和微功耗的方向发展。这种发展必将导致集成电路的设计规模日益增大，复杂程度日益增高。基于这种情况，可编程逻辑器件的出现和发展大大改变了传统的系统设计方法，这种方法使得电子系统设计变得更加简单方便、灵活快速，因此掌握可编程逻辑器件和相应的设计技术已经成为从事电子系统设计的设计工程师和科研人员的一项重要设计手段和技能。

可编程逻辑器件和相应的设计技术体现在三个主要方面：一是可编程逻辑器件的芯片技术；二是适用于可编程逻辑器件的硬件编程技术，即 VHDL 技术和 Verilog 技术；三是可编程逻辑器件设计的 EDA 开发工具，它主要用来进行可编程逻辑器件应用的具体实现。

可编程逻辑器件（Programmable Logic Device, PLD）的逻辑功能是由设计人员根据系统设计的具体要求，通过相应的器件编程来实现的。另外，由于 PLD 的集成度很高，因此它可以满足大多数数字系统设计的需要。历史上，可编程逻辑器件经历了 PROM、PLA、PAL、GAL、EPLD 到 CPLD 和 FPGA 的发展过程，在结构、制造工艺、集成度、逻辑功能、速度和功耗上都有了很大的提高和改进。其中，CPLD 和 FPGA 由于集成度非常高，因此这两种器件成为目前可编程逻辑器件的主流。

可编程逻辑器件的硬件编程技术主要体现在硬件描述语言的应用中，目前广泛使用的硬件描述语言是 VHDL 和 Verilog。这两种描述语言具有强大的功能和硬件描述能力，易于共享和复用，同时还具有独立于器件和工艺的设计能力，因此它们得到了各种 EDA 工具和集成电路厂商的普遍认同和推广，目前正在全球范围内的电子系统设计领域获得广泛应用。如今，国内外一些用户在购买和使用各种 EDA 工具时，通常都把是否支持 VHDL 和 Verilog 作为 EDA 工具是否先进的标准之一。

EDA 开发工具主要包括编辑器、仿真工具、检查/分析工具和优化/综合工具等。其中，编辑器用来对设计输入进行图形或者文本等方面的编辑操作；仿真工具是用来完成设计仿真操作的 EDA 开发工具，主要包括逻辑仿真工具和时序仿真工具；检查/分析工具用来对设计的逻辑产生可能性、电路的电气特性以及时序关系等进行检查和分析；优化/综合工具用来把一种硬件描述转化为底层描述，在转化的过程中伴随着设计的某种优化。现在，高级的 EDA 开发工具都是一种集成的开发环境，即集成了上述的所有开发工具，这样就可以用一种集成开发环境来完成所有的设计工作。

可见，对于可编程逻辑器件的设计来说，上面三个主要方面是相辅相成不可分割

的, 一个高水平的可编程逻辑设计人员必须掌握这三个方面的技术, 这样才能够满足实际设计工作的需要, 从而实现成本低、设计简单和资源优化的完美设计。现在, 可编程逻辑器件获得了极其广泛的应用, 无论是电子设计工程师还是高等院校的学生, 都迫切需要系统地来学习相应的技术, 因此也就需要一套理论严谨、内容新颖、实用性较强的可编程逻辑器件丛书来满足广大读者的学习需要。基于这一点, 机械工业出版社的领导 and 编辑组织了这套“可编程逻辑器件实用开发技术丛书”, 这套丛书重点介绍了 Xilinx 公司和 Altera 公司的 CPLD/FPGA、相应的 EDA 开发工具 ISE 和 MAX + plus II /Quartus II 以及相应的 VHDL 和 Verilog 设计技术。本套丛书具体包括:

- 《VHDL 设计实例与仿真》
- 《通信收发信机的 Verilog 实现与仿真》
- 《面向 CPLD/FPGA 的 Verilog 设计》
- 《面向 CPLD/FPGA 的 VHDL 设计》
- 《MAX + plus II 和 Quartus II 应用与开发技巧》
- 《ISE 应用与开发技巧》
- 《Xilinx 可编程逻辑器件的应用与设计》
- 《Altera 可编程逻辑器件的应用与设计》

为了保证这套丛书的高质量和实用性, 特组织了一批具有丰富可编程逻辑器件设计经验的工程师来进行相应丛书的编写。这套丛书从实际应用的角度出发, 全面系统、由浅入深地介绍了可编程逻辑器件的各个相关技术, 可以使广大读者快速高效地掌握可编程逻辑器件的知识。本套丛书读者范围十分广泛, 它既可作为高等学校计算机和电子工程专业的研究生和本科生的教材或教学参考书, 也可作为广大电子电路设计工程师、ASIC 设计人员和系统设计人员的参考书。

由于可编程逻辑器件技术发展十分迅速, 加上编写时间相对紧张, 书中难免存在不足, 恳请广大读者和专家批评指正, 联系信箱 buptzjh@163.com。

丛书编委会

前 言

从20世纪90年代开始,EDA(电子设计自动化)技术有了飞速的发展,传统的电子设计方法逐步被基于EDA技术的芯片设计方法所代替。可编程ASIC是EDA技术的重要内容,ASIC技术的发展是EDA技术发展的导向。当今大规模可编程ASIC主要包括FPGA和CPLD两类产品,而Xilinx公司是全球最大的FPGA、CPLD芯片制造商,也是FPGA器件的发明者。实际上,Xilinx公司已经远远超出了一个提供芯片的供应商,它还积极参与通信领域很多标准的制定,提供系统集成和系统解决方案。1985年,Xilinx公司生产了世界上第一片FPGA器件;1992年,Xilinx公司又开始生产EPLD。20几年来,可编程器件无论在性能和集成度方面,以及数量和种类方面都有飞速的发展。为了适应信号处理、通信等领域的飞速发展,Xilinx公司不断研发新技术,推出更高性能的可编程器件。从最早期的XC9500、XC4000、Spartan/SpartanXL到现在的Virtex-II、Virtex-II Pro、Spartan-3等,这些器件在性能和成本方面各有其特点,目前已经广泛应用到医疗设备、通信设备、航天、消费等各个领域、Xilinx公司还生产了40多种可用于军事和空间领域的器件。

本书系统地介绍了Xilinx公司的代表性CPLD和FPGA产品的结构原理、性能特点、资源使用方法、设计技巧。而对于Xilinx公司较早的芯片,已经有很多介绍资料,只是选择了其中具有代表性的XC4000进行了介绍,目的是让读者能够从XC4000系列较为简单的结构上透彻地理解FPGA的原理。除了对各种器件的基本性能参数和结构作了简要的介绍外,本书通过大量的实例详细介绍了Xilinx公司的FPGA资源使用方法、提高资源利用率的技巧、用流水线技术提高系统的运行频率、增量设计等非常实用的设计方法和技巧。

本书共分两个部分:第1部分为基础部分,包括前4章的内容;第2部分为提高篇,包括后5章的内容。第1章介绍了XC4000系列器件的结构、特性以及每个模块的构成原理,同时还详细介绍了XC4000系列器件的配置。第2章介绍Spartan系列器件,包括Spartan和Spartan-XL、Spartan-II、Spartan-3系列器件的结构、特性及设计应用,同时还介绍了Spartan-XL系列器件的快速配置方法。第3章介绍了Virtex系列器件的结构、特性以及设计应用,同时还简单介绍了可支持10Gbit/s的串行数据传输模块Rocket I/O。第4章介绍了Xilinx公司的CPLD产品。第5章介绍了如何充分利用Xilinx公司FPGA的Slice资源,包括用查找表资源实现移位寄存器、利用片内触发器提高移位寄存器的同步性能、级联查找表资源(LUT)实现长移位寄存器、利用CLB内的数据选择器资源实现移位寄存器,并用一个匹配滤波器的设计例子说明如何利用Xilinx公司的Slice特有结构

节省硬件资源。第6章介绍了Xilinx公司FPGA的综合实现技巧,包括增量设计、可综合性工程的建议、用片内逻辑分析仪工具——ChipScope Pro进行调试等综合和调试技巧。第7章介绍了提高系统工作频率的方法,并对时钟处理模块的原理、实用方法作了详细的介绍,最后通过一个实际的设计例子说明用流水线技术提高系统工作频率的方法。第8章介绍了块状存储器(Block RAM),包括块状存储器的基本原理和基本时序以及块状存储器的基本实用方法。第9章在第8章的基础上对块状存储器的高级应用技巧进行了介绍,主要包括用块状存储器实现圆循环缓存器、用块状存储器实现串并转换、用块状存储器实现函数发生器以及用块状存储器实现成形滤波器。

本书基础部分对Xilinx公司的器件进行介绍,让读者深入了解Xilinx公司器件的内部结构和各个资源模块的原理,为进一步学习提高部分的内容打下基础。只有掌握了基本的原理,才能深刻体会提高篇中的各种设计方法和技巧,明白设计的初衷。本书尽量克服大部分芯片介绍书籍简单机械地罗列器件结构和性能参数的缺点,用大量的开发实例说明如何在了解基本原理和构造的前提下,充分利用Xilinx公司的FPGA的独特结构提高硬件资源的利用率。本书中给出的开发实例大部分都已经得到实际应用,程序代码可以直接综合仿真,而且大多数的例子都给出了综合结果和仿真结果,本书的例子都用Verilog硬件描述语言开发,由于篇幅有限,本书没有涉及硬件描述语言Verilog方面的知识,读者可以参考专门的Verilog方面书籍。

本书由黄志强、潘天保、吴鹏和俞一鸣等共同编写,书中包含着作者多年使用可编程逻辑器件和EDA技术开发工程项目的经验总结。在本书编写的过程中,姜宇柏、葛树涛、夏钦东、王涛、张海涛、渠丰沛、曹建军、赵鑫、李玉红、张海风、张博、李晓凯、蒋建新、姜雪峰、尤晓丽、杜平、渠丽娜、邹德智、曹霖、赵海波、蒋伟和张学静完成了全书的程序调试和文字校对工作,并完成了部分章节的编写工作。这里,向所有工作人员的辛勤劳动表示感谢。另外,作者在编写本书的过程中参考了不少专家和学者的著作以及Xilinx公司的数据手册,在此表示深深的谢意!

大规模可编程逻辑器件是一门正在飞速发展的技术,涉及的内容广,技术更新快,新器件不断涌现,由于编者水平有限,书中难免有错误和不妥之处,恳请广大读者批评指正。

作 者

目 录

丛书序

前言

第 1 章 XC4000 系列 FPGA 1

1.1 XC4000 系列 FPGA 的基本结构 1

1.1.1 可配置逻辑块 2

1.1.2 用户可编程输入/输出模块 6

1.1.3 内部可编程连线资源 7

1.2 XC4000 系列 FPGA 的配置 9

1.2.1 主串模式 9

1.2.2 从串模式 11

1.2.3 主并模式 12

1.2.4 从并模式 12

第 2 章 Spartan 系列 FPGA 15

2.1 Spartan 与 Spartan-XL 系列 FPGA 15

2.1.1 可配置逻辑功能块 16

2.1.2 输入/输出单元 20

2.1.3 快速进位逻辑 22

2.1.4 Spartan 与 Spartan-XL 系列器件的配置 24

2.2 Spartan- II 系列 FPGA 35

2.2.1 Spartan- II 系列 FPGA 的技术性能 35

2.2.2 Spartan- II 系列 FPGA 的内部结构 36

2.3 Spartan-3 系列 FPGA 50

2.3.1 Spartan-3 系列 FPGA 的技术性能 50

2.3.2 Spartan-3 系列 FPGA 的内部结构 50

2.3.3 Spartan-3 系列 FPGA 的块状 RAM 和时钟管理模块 58

2.3.4 Spartan-3 器件的配置 60

第 3 章 Virtex 系列 FPGA 63

3.1 Virtex 系列 FPGA 简介 63

3.2 Virtex 系列 FPGA 的内部结构 64

3.2.1 输入/输出单元 64

3.2.2 可配置逻辑单元 67

3.2.3 可编程布线矩阵 70

3.3 Virtex- II 系列器件 72

3.3.1 Virtex- II 系列 FPGA 的结构框图 74

3.3.2 可编程的 I/O 块 76

3.3.3 可配置逻辑单元 78

3.3.4 可选择的块状 RAM 80

3.3.5 Rocket I/O 82

3.3.6 数字时钟管理器 102

3.4 Virtex- II Pro FPGA 102

3.4.1 Virtex- II Pro 系列 FPGA 的结构框图 102

3.4.2 Rocket I/O 模块 104

3.4.3 可编程 I/O 105

3.4.4 FPGA 开发系统的电源设计 110

第 4 章 CPLD 产品介绍 116

4.1 XC9500 系列 CPLD 116

4.1.1 XC9500 系列 CPLD 的结构框图 119

4.1.2 XC9500 系列 CPLD 的基本单元 120

4.1.3 XC9500 系列 CPLD 的时序模型 129

4.2 CoolRunner XPLA3 系列 CPLD 132

4.2.1 CoolRunner XPLA3 系列 CPLD 的结构框图 134

4.2.2 CoolRunner XPLA3 系列 CPLD 的基本单元 135

4.2.3 CoolRunner XPLA3 系列 CPLD 的时序模型 139

4.3 CoolRunner- II 系列 CPLD 139

4.3.1 CoolRunner- II 系列 CPLD 的结构框图 142

4.3.2 CoolRunner- II 系列 CPLD 的基本单元 142

4.4 Xilinx CPLD 的命名 145

第 5 章 用 Slice 资源实现移位

寄存器 147

5.1 基于查找表资源的移位寄存器原理	147	7.1.3 典型 DLL 原语的使用	250
5.2 基于查找表资源的移位寄存器实现	149	7.2 DCM 设计	265
5.2.1 移位寄存器的硬件原语及 典型应用	150	7.2.1 DCM 的标准原型	265
5.2.2 利用片内触发器提高移位 寄存器的同步性能	154	7.2.2 使用 DCM 实现设计	266
5.2.3 利用级联查找表资源实现 长移位寄存器	156	7.3 提高系统的工作频率	271
5.2.4 利用 CLB 内的数据选择 器资源实现移位寄存器	171	7.3.1 影响系统工作频率的因素	271
5.3 充分利用 SRL16E 结构实现设计	180	7.3.2 提高系统工作频率的实例	273
5.3.1 传统的 FIR 滤波器的实现方法	180	第 8 章 块状 RAM 的原理	301
5.3.2 Xilinx 公司资料中推荐的实现 方法	200	8.1 块状 RAM 简介	301
5.3.3 两种实现方法的比较	208	8.1.1 块状 RAM 的工作模式及 端口信号	302
第 6 章 Xilinx 公司 FPGA 的综合 实现技巧	209	8.1.2 块状 RAM 的读写模式	303
6.1 增量设计	209	8.2 块状 RAM 的实现	310
6.1.1 增量设计的必要性	209	8.2.1 用硬件原语调用双口 RAM	310
6.1.2 增量设计的流程	209	8.2.2 用 IP 核调用块状 RAM	317
6.2 用片内逻辑分析仪工具 ChipScope Pro 进行调试	221	8.2.3 先写后读模式块状 RAM 的硬件原语调用	323
6.2.1 ChipScope Pro Core Generator 的使用	222	8.2.4 先读后写模式块状 RAM 的硬件原语调用	328
6.2.2 ILA 内核的生成	226	第 9 章 块状 RAM 的高级应用技巧	332
6.2.3 虚拟 I/O 内核的生成	230	9.1 块状 RAM 使用方法	332
6.2.4 内核的使用	233	9.1.1 双口块状 RAM 用作两块单口 块状 RAM	333
6.2.5 使用 ChipScope Pro Analyzer 进行调试	237	9.1.2 用块状 RAM 实现串并转换	337
第 7 章 提高系统的工作频率	246	9.1.3 用块状 RAM 实现圆 循环缓存器	343
7.1 数字延时锁相环	246	9.2 利用块状 RAM 实现函数发生器	348
7.1.1 数字延时锁相环的结构原理	247	9.2.1 DDS 的实现框图	348
7.1.2 典型的 DLL 原语	248	9.2.2 DDS 的 Verilog 实现	349
		9.2.3 利用块状 RAM 实现 FIFO	355
		9.2.4 利用块状 RAM 实现成形滤波	361
		参考文献	367

第 1 章 XC4000 系列 FPGA

20 世纪 80 年代中期, Xilinx 公司提出了现场可编程的概念, 同时生产了世界上第一片 FPGA 器件。通常, 这类器件是在 PAL、GAL 和 EPLD 等可编程逻辑器件的基础上发展起来的一种新型器件, 它既克服了定制电路的不足, 同时也克服原有可编程逻辑器件门电路数目有限的缺点, 因此获得了极其广泛的应用。

自从 20 世纪 80 年代中期发明并推出第一片 FPGA 器件以来, Xilinx 公司又陆续推出了 XC3000、XC4000、Spartan 和 Virtex 等 4 个系列的 FPGA 器件, 这些器件在各个领域中均获得了广泛的应用。可见作为 FPGA 的发明者, Xilinx 公司在可编程逻辑器件性能和应用灵活性方面一直保持着 FPGA 领域的全球领先地位。随着科学技术的发展和对可编程逻辑器件性能要求的不断提高, XC3000、XC4000、Spartan 系列中的 Spartan 和 Spartan-XL、Virtex 系列中的 Virtex 和 Virtex-E 等 FPGA 器件已经逐渐退出了应用舞台, 而 Spartan-II、Spartan-II E、Virtex-II 和 Virtex-II Pro 系列 FPGA 器件则成为了 Xilinx 公司的主流 FPGA 产品。然而 XC3000、XC4000 是 Xilinx 早期的典型产品, 其结构对了解新的 FPGA 器件的结构很有用处, 因此本书首先对 XC4000 系列进行简单的介绍。

XC4000 系列 FPGA 有以下主要特点:

- 1) XC4000 系列 FPGA 全面兼容 PCI, 速度等级为 -2 或者更快, 可以实现单芯片的 PCI 解决方案。
- 2) XC4000 系列 FPGA 中的 RAM 的写操作可以配置为同步边沿触发的模式, 这一变化不会对读操作造成影响。
- 3) XC4000 系列 FPGA 内部集成双口 RAM, 而且如果需要, 可以将 CLB 中的 16×2 的 RAM 转换成 16×1 的双口 RAM。
- 4) XC4000 系列 FPGA 支持高达 66MHz 的系统时钟, 内部性能超过 150MHz。
- 5) XC4000 系列 FPGA 支持时钟使能 I/O 触发器、宽输入译码器。

1.1 XC4000 系列 FPGA 的基本结构

XC4000 系列 FPGA 由三种可编程单元: 可配置逻辑块 (Configurable Logic Block, CLB)、可编程输入/输出块 (Input/Output Block, IOB)、可编程连线资源 (Programmable Interconnect, PI) 和一个用于存放编程数据的静态存储器组成。CLB 是实现各种逻辑功能的基本单元, 其中包括组合逻辑、时序逻辑、RAM 以及各种运算功能。CLB 以 $n \times n$ 阵列形式散布于整个芯片, 同一系列中不同型号的 FPGA, 其阵列规模也不同。可编程 IOB 是芯片外部引脚数据与内部数据进行交换的接口电路, 通过编程可将 I/O 引脚设置成输入、输出和双向等不同的功能。IOB 通常分布在芯片的四周。CLB 之间的空隙部分是布线区, 分布着可编程连线资源, 这些连线资源包括金属导线、可编程开关点和可编程开关矩阵。金属导线以纵横交错的格栅状结构分布在两个层面 (一层成为横向线段, 另一层为纵向

线段), 有关的交叉点上连接着可编程开关或可编程开关矩阵, 通过对可编程开关和可编程开关矩阵的编程实现 CLB 与 CLB 之间、CLB 与 IOB 之间以及全局信号与 CLB 和 IOB 之间的连接。

1.1.1 可配置逻辑块

CLB 是 FPGA 中的基本逻辑单元, 它可实现绝大多数的逻辑功能。XC4000 系列可编程逻辑块简化的原理框图如图 1-1 所示。由图可知, CLB 中包含有三个逻辑函数发生器、两个触发器、进位逻辑、编程数据存储单元、数据选择器及其他控制电路。3 个组合逻辑块中两个是独立的 4 输入函数功能发生器 (F 和 G), 可实现任意独立的 4 变量逻辑函数。第三个逻辑功能发生器 (H) 可实现任意 3 输入的逻辑函数, 这些输入可以是 F 和 G 的输出, 或其中任一个, 或都不选, 其他输入来自 CLB 外部。这样每个 CLB 可以实现最高达 9 个变量的逻辑函数。函数发生器也可以配置实现 RAM, 这种 RAM 被称作分布式 RAM。与块状 RAM 不同, 这种分布式 RAM 使用更加灵活, 不需要大块的存储资源, 在存储量要求不是很大的情况下, 这种分布式 RAM 非常实用。一个 CLB 可以实现以下几种 RAM:

- 1) 两个 16×1 单口 RAM, 同步或异步触发。
- 2) 一个 32×1 单口 RAM, 同步或异步触发。
- 3) 一个 16×1 双口 RAM, 同步触发。

单口 RAM 的读写地址口相同, 读写操作不能同时进行; 而双口 RAM 有独立的地址和数据端口, 可以同时对不同地址或相同地址的存储单元同时读写。每个 CLB 的 13 个输入和 4 个输出提供组合逻辑函数发生器和输出触发器的通路, 这些输入和输出连接到功能块外部的可编程连线资源。图 1-1 中的梯形符号均为可编程的二选一或四选一数据选择器逻辑表示符号。F1 ~ F4、G1 ~ G4 为组合逻辑信号输入, K 为时钟信号, C1 ~ C4 为控制信号输入, 由多路开关分配给时钟使能 EC、置位/复位 SR/H0、直接输入 DIN/H2 和第 9 输入 H1。SR、

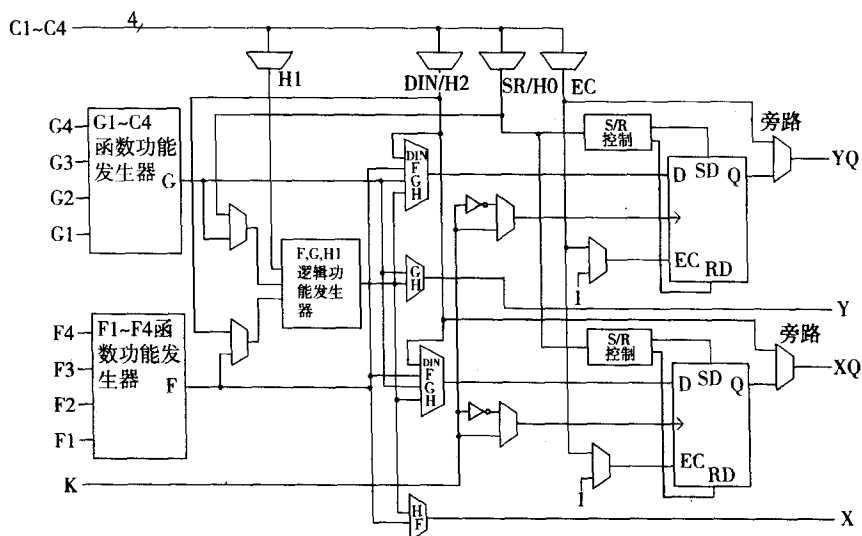


图 1-1 XC4000 系列 FPGA 的 CLB 结构

DIN 和 H1 三个信号是复用的，在 CLB 用作 RAM 时分别用于写信号 WR、数据输入信号 DI 和 DO（或第 2 位地址线）。

每个 CLB 包含两个可用来存储函数发生器输出的存储单元，即两个 D 触发器。它们共有一个时钟信号 K 和时钟使能输入，但是这些存储单元和函数发生器也可独立使用。同时，时钟信号可以选择高电平或低电平有效。两个 D 触发器的输入信号可以在 F、G'、H 以及直接输入信号 DIN 中选择，输出驱动 XQ 端和 YQ 端。另外，两个触发器的时钟使能端 EC、置位/复位端 SIR 均可受编程控制，CLB 还有两个组合逻辑输出 X 端和 Y 端。逻辑函数发生器是一个 N 输入 $2N$ 位的存储器，能实现其输入的任何函数。三个逻辑函数发生器分别以 F、G 和 H 标志。F 和 G 为 4 输入（变量）逻辑函数发生器，它们的输入是彼此独立的，其输出可通过可编程数据选择器送到 CLB 外，或送到 H 中。F、G 各有 16 个编程数据存储单元，当给这些存储单元写入特定的数据时，便可实现各自特定的逻辑运算，这些编程数据存储单元也称为查找表（Look Up Table, LUT）。H 为 3 输入（变量）逻辑函数发生器：其中的两个输入分别由两个数据选择器控制，可以选择 G 以及 F 的输出；另外一个输入取自外部输入信号。由此可见，经过三个逻辑函数发生器的两级组合，在 H 可以实现多达 9 个输入（变量）的组合逻辑函数，使 CLB 的组合逻辑能力进一步得到提高。

每个 CLB 包含两个可用来存储函数发生器输出的寄存单元，但是这些寄存单元和函数发生器也可以独立使用。这些寄存单元在 XC4000E 和 XC4000EX 器件中可以配置为 D 触发器，在 XC4000EX 中，它们可以被选择来配置为锁存器。

CLB 的 2 个 D 触发器带有时钟使能输入（EC），另一个公共输入可以被编程为对于每个触发器独立的异步置位或复位信号。另外，还可以提供 1 个独立的全局复位/置位线，在加电或重新配置期间设置或清除寄存器。D 触发器输入端的数据可以在 F、G、H、DIN 中选择，输出驱动 XQ 端或 YQ 端。另外，CLB 块内含有快速进位逻辑，能够通过一定的配置来激活。CLB 中的逻辑函数产生器由 4 输入的查找表组成。所谓查找表，实际上是由静态存储器（SRAM）组成的存储器阵列。1 个 8 位 $\times$ 1 位的 SRAM 阵列可以实现 3 输入的查找表，1 个 16 位 $\times$ 1 位的 SRAM 阵列可以实现 1 个 4 输入或 2 个 3 输入的查找表。16 位 $\times$ 2 位数据存储器的原理如图 1-2 所示，查找表中的数就是 SRAM 阵列中所存逻辑函数的真值，查找表的输入就是 SRAM 的地址输入。用查找表实现逻辑数的过程是将逻辑函数的真值表事先存储在查找表的存储单元中，当逻辑函数的输入变量取不同组态时，由相应的组态的二进制取值构成 SRAM 的地址，选中与相应的地址对应的 SRAM 单元，也就得到与输入变量组合对应的逻辑值。

一个 CLB 可以实现以下任何一个函数：

- 1) 最多 4 个输入变量的任何函数，加上最多 4 个无关变量的第 2 个任何函数，以及最多 3 个无关变量的第 3 个函数；
- 2) 任何单个 5 变量的函数；
- 3) 任何 4 变量函数与某些 6 变量函数在一起；
- 4) 某些 9 变量的函数。

每个 CLB 的 F 和 G 函数发生器包括为快速产生进位和借位信号的专用算术逻辑，这个输出可以传递到邻近 CLB 的函数发生器中。这种专用的快速进位逻辑电路极大地加快了用来实现加法器、减法器、累加器、比较器和计数器的工作频率和性能，在实现其他类型的算

术逻辑电路时，也可以提高所设计电路的效率和性能。2 个 4 输入的逻辑函数发生器可以配置为 1 个带内部隐含进位的 2 位二进制加法，称它可以进行级联扩展。图 1-3 给出了快速进位逻辑的内部结构，从图中可以看出，进位逻辑与函数发生器共享操作数和控制输入，进位输出连接到函数发生器的输入端上，它们与操作数产生带进位的运算结果。

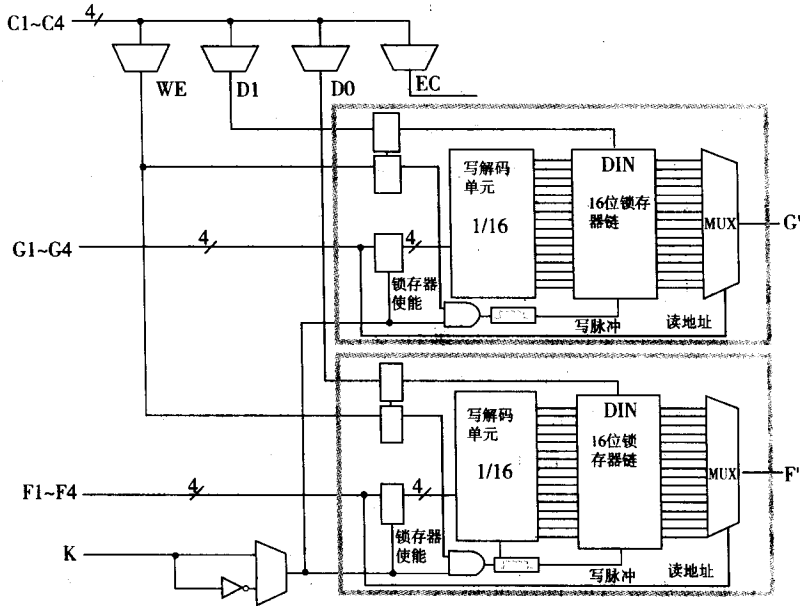


图 1-2 16 位 × 2 位数据存储器的原理电路

XC4000 系列 FPGA 的 CLB 中的函数发生器可以定义为片内 RAM，每个 CLB 都有一种定义方式，使得 F 和 G 的组合逻辑发生器中的存储检索表可以用作 16 位 × 2 位或 32 位 × 1 位的读写存储器使用。函数发生器的 F1 ~ F4、G1 ~ G4 作为地址线。当 CLB 用作 16 位 × 2 位的 RAM 时，H1 和 DIN 为两个数据输入线，而 S/R 线则为写使能（WE）输入；当用作 32 位 × 1 位的 RAM 时，D1 作为第 5 位地址位，而 D0 作为数据输入，被寻址存储器的单元值输出到函数发生器的输出 F 和 G，通过 X 和 Y 输出，或者利用 CLB 的触发器锁存输出。

将 CLB 组合逻辑发生器配置为读、写存储器时，不会影响 CLB 其他部分的功能。H 组合逻辑发生器可用来实现 F、G 和 D1 的逻辑函数，而 D 触发器可以锁存 F'、G、H 或 D0 信号。这些 RAM 的速度很快，读操作和组合逻辑延时一样，大约为 5ns，写操作时间大约为 6ns。片内 RAM 在系统设计中可以实现很多新的功能，如累加器、状态寄存器、变址寄存器、DMA 计数器。当 CLB 配置为读/写存储器（RAM）来使用时，每个 CLB 的函数发生器可以有下列 3 种配置方式：

- 1) 两个 16 位 × 1 位的 RAM，有两个数据输入，两个数据输出。
- 2) 一个 32 位 × 1 位的 RAM，有一个数据输入和一个数据输出。
- 3) 一个 F 或 G 函数发生器可以配置为一个 16 位 × 1 位的 RAM，而另一个函数发生器用来实现任何 5 输入的逻辑函数。

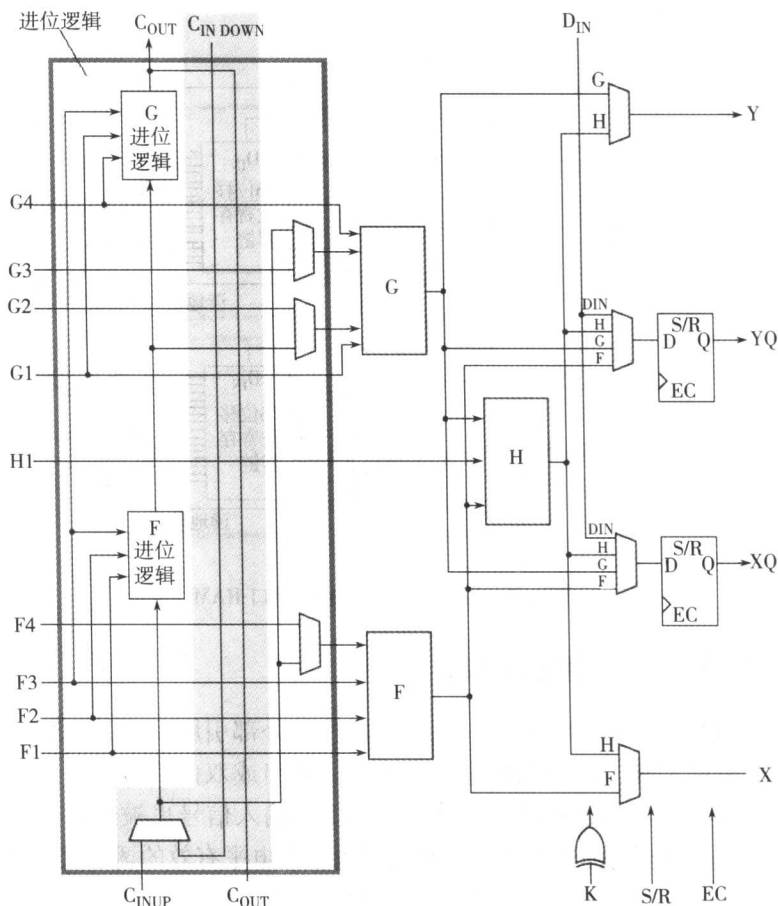


图 1-3 XC4000 系列 FPGA 的 CLB 中快速进位逻辑

XC4000 系列 FPGA 的 RAM 可以有两种定时模式：

- 1) 沿触发（同步），数据由 CLB 时钟指定的沿写入，WE 信号起时钟使能作用。
- 2) 电平有效（异步），外部 WE 信号起写入闸门的作用。
- 3) 读取口的数目也是可编程的。
- 4) 单口，每个函数发生器有公共的读和写口。
- 5) 双口，两个函数发生器一起配置为具有一个写入口和两个读取口的单个 16×1 位的双口 RAM，支持瞬时读和写操作到相同或不同的地址。

表 1-1 列出所支持的 CLB 存储器配置和对单口或双口模式的定时模式。图 1-4 所示为一个 CLB 配置为 32 位 $\times 1$ 位沿触发单口 RAM 的功能图。

表 1-1 XC4000 系列 FPGA 片内 RAM 的配置方式

端口	16×1	16×2	32×1	沿触发定时	电平有效定时
单口	✓	✓	✓	✓	✓
双口	✓			✓	

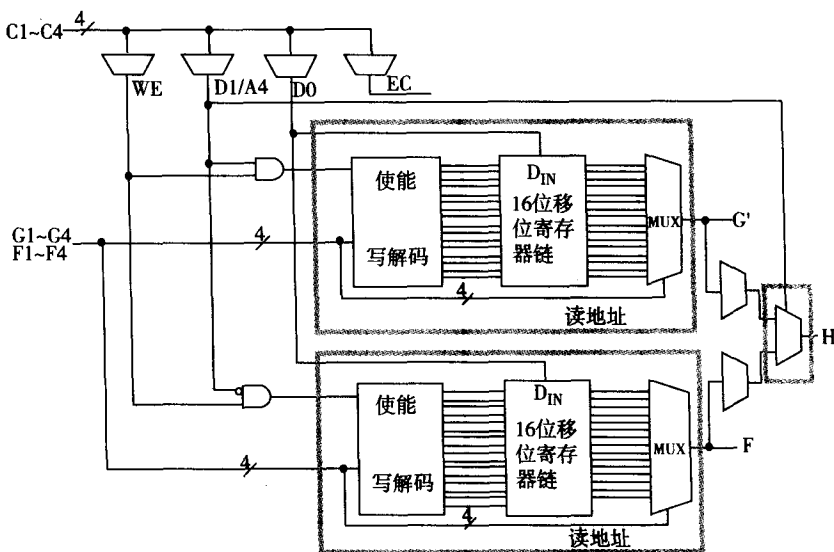


图 1-4 32 位 × 1 位沿触发单口 RAM

1.1.2 用户可编程输入/输出模块

用户可编程输入/输出模块（IOB）提供了器件的外部引脚和内部逻辑之间的连接。每个 IOB 控制一个外部引脚，它可以被定义成输入、输出或双向信号端。外部引脚的输入信号经 IOB 后，通过 I1、I2 和逻辑阵列相连。事实上，输入信号也被送到一个输入寄存器的输入端，该寄存器可以设置为边沿触发的触发器或一个电平有效的透明锁存器。因为时钟线必须先通过一个全局缓冲器才到达 IOB，输入到寄存器的信号可以被延迟几个纳秒，以补偿时钟线的延迟，这就消除了信号在外部引脚上需要一定的保持时间的要求。IOB 的输出 I1 和 I2 信号可以是直接输入的信号，也可以是寄存器输入信号。IOB 的输出信号可以经过以下处理：倒相或不倒相，直接输出到引脚或是通过一个边沿触发器输出。另外，还可选择使能信号使输出处于高阻状态或三态输出或双向 I/O。通过设置控制，输出和输出使能可以倒相。输出缓冲的翻转速率也可以通过编程降低，以减少瞬态功耗。每个 XC4000 系列 FPGA 的输出缓冲器可以吸入 12mA 电流，两个相邻的输出缓冲器进行线与之之后可以达到 24mA。在 XC4000A 和 XC4000H 系列中，每个输出缓冲器有 24mA 的吸入电流。

IOB 还有许多可设置选项，可设置上拉或下拉电阻，把不用的引脚挂到 VCC 或 GND，以使功耗最小。输入和输出寄存器有各自的时钟，时钟可以倒相，可以用上升沿触发，也可选择下降沿触发。和 CLB 一样，一旦 RESET 信号有效，一个全局信号线传递该信号来对 IOB 进行置位或复位。

在 IOB 上附有测试逻辑，与 IEEE-1149.1 标准兼容，可以用来进行边界扫描，允许进行简单的芯片或电路板一级的测试。

(1) IOB 输入方式 当 IOB 工作在输入方式时，其输入信号是通过在图 1-5 示出的 I1 和 I2 两个通道进入内部 CLB 的。输入信号也连接到输入寄存器上，通过数据选择器的编程，也可以将 D 触发器的输出切换到 I1 和 I2 两个通道而进入内部 CLB。在图 1-5 中下面的 D 触发器就是这个输入寄存器，它可以被配置为边沿触发器或电平触发器。在图 1-5 中还可以看

到一个标有延迟的环节，这是一个延时环节，可以在设计时激活这个延时环节，以改变输入信号的延时性能。

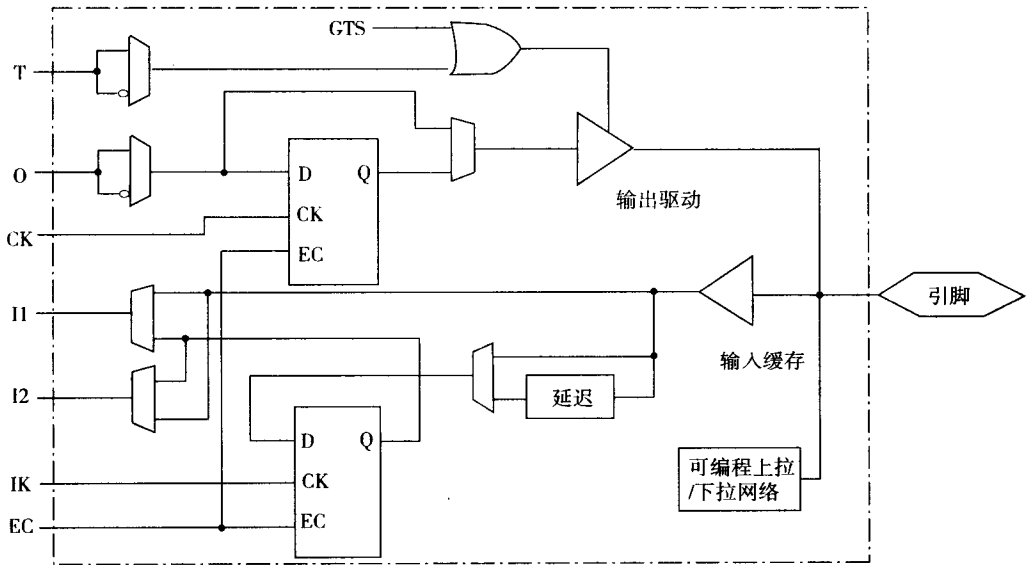


图 1-5 IOB 输入/输出方式

(2) IOB 输出方式 当 IOB 工作在输出方式时，来自芯片内部的信号直接或经过 D 触发器寄存后到达输出缓冲器的输入端。在图 1-5 中，上面的 D 触发器就是这个输出寄存器，输出缓冲器可以编程为三态输出、直接输出。在设计时还可以根据需求，改变输出的传输延时特性：快速传输可以提高系统的速度性能；而慢速传输可以提高系统的抗干扰能力，提高系统的稳定性。

(3) IOB 双向方式 当 IOB 工作在双向方式时，必须利用输出方式的三态输出性能，通过控制输出使能，来实现数据的双向传输。当输入数据时，关闭输出使能，数据经过输入路径输入到 CLB 的内部逻辑电路上；当输出数据时，三态输出控制端使能，输出数据经过输出路径输出到外部电路中去，同时也可经过一个始终使能的输入缓冲器反馈到内部逻辑电路中。因此，在设计双向传输的功能时，应该确保输出数据对内部电路的工作没有影响。

1.1.3 内部可编程连线资源

模块之间的内部连线是由可设置开关的结点或开关矩阵连接的金属线组成的。可编程连线资源分布在 CLB 阵列的行、列间隙上，由水平和垂直的两层金属线段组成格栅状结构。XC4000 系列 FPGA 中有 5 种类型的可编程连线：单长线、双长线、长线、全局时钟线和进位链。与以前的 LCA 相比，连线资源大大地增加了。用于全局分布的信号线从 2 条增到 8 条，而且这些线可以连到所有时钟或逻辑输入。设计一个同步系统时，设计者不仅可以把时钟线，也可以把控制信号通过全局线分配到芯片上去，而不用担心延迟效应。XC4000 系列 FPGA 具有两倍多的水平长线和竖直长线，这些线可以将信号在长或宽方向上以最小的延迟传输。水平长线可以用三态缓冲器来驱动，它们可用来当作单向或双向数据总线，或者用于