

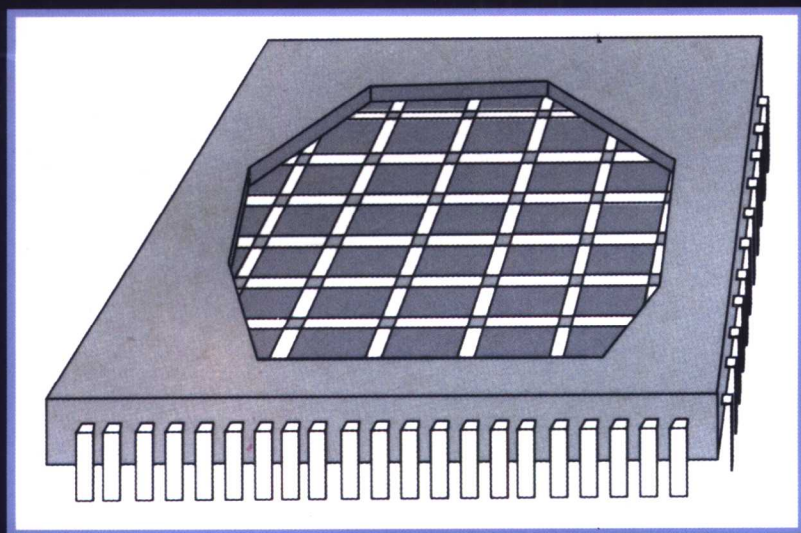
Axel Jantsch and Hannu Tenhunen (Eds.)

网络化芯片

Networks on Chip

〔瑞士〕 阿克塞尔·詹奇 编
汉努·腾胡宁

王 忠 孙继银 周国昌 等译
郝 跃 审校



西安交通大学出版社
XI'AN JIAOTONG UNIVERSITY PRESS

Networks on Chip

网络化芯片

阿克塞尔·詹奇

Axel Jantsch

Royal Institute of Technology, Stockholm

[瑞士]

编

汉努·腾胡宁

Hannu Tenhunen

Royal Institute of Technology, Stockholm

王 忠 孙继银 周国昌 等译

郝 跃 审校



西安交通大学出版社

Xi'an Jiaotong University Press

Translation from the English language edition:

Networks on Chip By Axel Jantsch and Hannu Tenhunen

Copyright © 2003 Kluwer Academic Publishers, The Netherlands, being a part of Springer Science+Business Media

All Rights Reserved

本书中文简体字版由斯普林格科学与商业传媒公司授权西安交通大学出版社独家出版发行。未经出版者预先书面许可,不得以任何方式复制或发行本书的任何部分。

陕西省版权局著作权合同登记号:25-2006-004号

图书在版编目(CIP)数据

网络化芯片/(瑞士)詹奇,(瑞士)腾胡宁编;王忠等译. —西安:西安交通大学出版社,2007.6

书名原文:Networks on Chip

ISBN 978-7-5605-2432-0

I. 网... II. ①詹... ②腾... ③王... III. 芯片-微电子技术 IV. TN43

中国版本图书馆 CIP 数据核字(2007)第 077277 号

书 名	网络化芯片
编 者	(瑞士)阿克塞尔·詹奇 (瑞士)汉努·腾胡宁
译 者	王 忠 等
出版发行	西安交通大学出版社
地 址	西安市兴庆南路 10 号交大出版大厦(邮编:710049)
电 话	(029)82668357,82667874(发行部) (029)82668315,82669096(总编办)
网 址	http://press.xjtu.edu.cn
电子邮件	xjtupress@163.com
印 刷	西安交通大学印刷厂
字 数	243 千字
版 次	2007 年 6 月第 1 版 2007 年 6 月第 1 次印刷
开 本	687 mm×1012 mm 1/16
印 张	19.375
印 数	0001~3000
书 号	ISBN 978-7-5605-2432-0/TN·95
定 价	38.00 元

版权所有 翻版必究

中文版序

所谓网络化芯片,是指一个芯片上集成了大量的计算资源、存储资源以及连接这些资源的通信网络。计算资源包括并行处理器、协处理器、存储器阵列、可重构硬件等,片上的网络则用来实现这些资源之间的高速通信。大量采用可重构资源将是 NoC 的一个显著特征。随着微电子技术向纳米级发展,要充分发挥一个芯片内上亿只晶体管的运算能力,利用网络连接的高度并行的多处理器阵列结构是新一代复杂计算体系结构的必然选择。

NoC 提倡从物理层、算法和体系结构层,一直到操作系统和应用层上,都采用一种系统的方法来设计高集成度系统芯片,并面向具体领域和典型算法以充分利用现代微电子技术所提供的高集成度资源。由于 NoC 是新一代复杂计算系统的体系结构,所以它包含更为广泛的意义,不仅涉及到通信基础结构、中间件、操作系统和提供的计算服务等一系列概念的革新,也涉及到设计方法学的变革,以及将应用映射到 NoC 的工具的创新。

本书从设计方法学、硬件基础结构和软件与应用等三个层次讨论 NoC 涉及的关键问题,并以论文集的形式将国际 NoC 的研究动态呈现给读者,既进行了综述,也探讨了今后 NoC 的发展方向,相信读者在阅读本书之后,会受益匪浅。

中国科学院院士

陈维良

译者序

2003 年的夏天,当沈绪榜院士将《网络化芯片》的原版书交给我们这些学生阅读时,我们就被书中所提倡的设计思想所吸引。针对超深亚微米工艺条件下,甚大规模集成电路设计所面临的一系列问题,作者提出了一种站在系统角度上的解决策略,并建立了一种称之为构架平台系统(BPS)设计方法。书中所列举的一系列研究事例,证明了这种设计思想的可行性、科学性和正确性。

NoC 这个概念在超大规模集成电路设计领域的出现时间不过短短 5 年左右,但目前无论在学术上还是商业上都已得到蓬勃发展。NoC 已经成为集成电路设计领域许多重要国际会议的核心议题,第一家基于 NoC 技术的公司——Arteris(<http://www.arteris.com>)于 2003 年在法国成立。

正如本书的作者所指出的“NoC 将对今后的平台开发、系统设计和应用建模的方式带来根本性变革。至少对当前单片可以集成数十亿晶体管的时代来讲,它会导致一种可扩展的平台体系结构的产生”。相信读者在阅读完本书后,会和作者有同样的感受。

本书的翻译得到西安电子科技大学微电子学院博士后流动站、航天科技集团骊山微电子技术研究所和第二炮兵工程学院 2110 工程建设的支持。全书由王忠、孙继银负责翻译,参加翻译的还有车德亮、周国昌、钟升、马晓华等。由西安电子科技大学郝跃教授负责审校和统稿,在此表示衷心的感谢。鉴于译者水平有限,对翻译不妥之处,敬请读者批评指正。

前 言

从 20 世纪 90 年代开始,微电子技术的发展使我们可以将大量的处理器核和一些规模较大的可重用构件集成到单个芯片上,即众所周知的 SoC,但同时也带来一些问题,如构件接口的标准化问题,整个系统的物理特性和功能特性的验证问题,这些问题目前仍未得到有效解决。片上的构件进行互连的主要方式是总线和点对点方式。由于总线可以被许多构件共享,同时又可以提供比较高的互连性能,因此总线方式比较受欢迎。

随着硅工艺的发展,特别是 2000 年以后,总线方式逐渐显露出它的局限性,主要体现在三个方面:首先,为了能够保持较高的互连性能,总线上的构件数量一般在 3~10 个。总线性能并不随着挂在总线上的构件数量的增加而提高。更糟糕的是,对其中的某个构件来说,由于总线上的其它构件也要使用总线,总线变得不可预测了。其次,深亚微米工艺使全局总线和长走线的性能变低,可预测性变差,功耗变大,抗干扰能力变弱。再者,从应用角度来看,一个系统中各子系统之间通信关系的设计和验证本身就是一个很困难的问题,若采用基于总线的通信网络,由于总线性能的不可预测,要在运行时实现系统各个构件之间通信的均衡,就显得更加困难。另外,由于不同系统具有不同的通信结构,这也使可重用变得很困难。

根据这种情况,1999 年前后,一些研究机构开始使用系统的方法研究 SoC 的通信单元。不久人们就认识到要解决这个问题,需要从各个层次入手,即从物理层、体系结构层、操作系统层,一直到应用层。因此,NoC 的概念在今天有着较为广泛的意义,它包含了硬件的通信基础结构,中间件,操作系统提供的通信服务,设计方法学以及将应用映射到 NoC 的工具集等。所有这些集成在一起称为 NoC 平台。这也正是本书的讨论范围,涉及 NoC 平台中从物理层一直到嵌入式软件的各个层次。对一个年轻的、快速发展的领域来讲,有些术语还没有

得到正式统一,读者在阅读这本书的时候可能会发现,不同的作者使用了不同的术语。

第一部分主要讨论设计方法学问题。众所周知的“设计生产力差距”是推动设计方法、体系结构和实现结构产生变革的最有力,可能也是最重要的因素。只有当我们能够成功地以某种合理的方式对设计空间进行限制时,才有可能充分利用工艺的潜在优势。第一部分的大量章节都将重点放在设计过程的可预测性,以及与实现无关的系统高层特性的保证上。

第二部分主要讨论硬件基础结构。包括网络拓扑、功耗管理、容错、测试和时钟等,它们都是必须要解决的影响 NoC 可用性的关键问题。

第三部分讨论软件和应用问题。重点是今后 NoC 系统的通信服务、操作系统等。

尽管本书涉及到 NoC 的绝大多数关键问题,但许多问题的讨论还比较肤浅,有些关键问题也没有触及。NoC 是一个崭新的领域,要评价某个解决方案的优劣,我们还有好多东西要学习,如网络拓扑、开关设计、通信或操作系统服务等。我们希望在不久的将来,能够对专用领域 NoC 的性能和成本进行研究。例如,如何表达 NoC 的通信性能?对于包含多种可变业务模式的应用情况来讲,其中可能既有实时控制信息流,又有高吞吐量的视频数据流,这时,仅仅用带宽来表示可能就不合适了。另外,偶发的瞬态错误可能破坏所传输的信息,因此需要一个错误管理和重发机制,但这又将依赖于对数据的敏感程度。因此,一个特定 NoC 系统的效能,将会越来越以某种与应用或应用领域相关的方式进行表达。现有的测试基准可以用来解决这些问题,但更需要新的和改进的测试基准。

正如本书中所频繁指出的,NoC 将对今后的平台开发、系统设计和应用建模的方式带来根本性变革。至少对当前单片可以集成数十亿晶体管的时代来讲,它会导致一种可扩展的平台体系结构的产生。总之,我们希望 NoC 会不断发展、繁荣,不断创新,并希望本书会对此有所贡献。

阿克塞尔·詹奇 (Axel Jantsch)

汉努·腾胡宁 (Hannu Tenhunen)

目 录

第一部分 系统设计方法学

第 1 章	NoC 会缩小设计生产力差距吗	(3)
第 2 章	基于 NoC 的系统设计方法学	(18)
第 3 章	并发应用与体系结构之间的映射	(37)
第 4 章	NoC 的 QoS 保障	(57)

第二部分 硬件和基本结构

第 5 章	片上通信的包交换网络	(83)
第 6 章	NoC 的功耗与可靠性折衷	(102)
第 7 章	NoC 的测试策略	(124)
第 8 章	NoC 的时钟策略	(148)
第 9 章	将并行计算机作为 NoC 的区域	(168)
第 10 章	基于 IP 的片上包交换网络	(188)

第三部分 软件和应用接口

第 11 章	超越冯·诺依曼机器	(211)
第 12 章	NoC 的应用编程接口	(232)
第 13 章	NoC 的多层次软件验证	(256)
第 14 章	多处理器 NoC 软件	(276)

第一部分

系统设计方法学

第 1 章

NoC 会缩小设计生产力差距吗

Axel Jantsch and Hannu Tenhunen

Royal Institute of Technology, Stockholm

axel@imit.kth.se, hannu@imit.kth.se

摘 要:本章首先介绍 IC 设计过程的两个特性:任意组合特性和线性工作量特性。本章认为,一个设计模式如果同时具有这两个特性,该设计模式就是可扩展的,并且具有和工艺发展相匹配的潜在能力。接着讨论了一些促使当前的设计方法学和设计技术产生变革的发展趋势。最后论述了新兴的 NoC 模式将有希望解决这些发展趋势提出的各种问题,并兼有任意组合和线性工作量两个特性。作为结论,本章认为 NoC 很有可能是今后 SoC 平台和设计方法学的基础。

关键词:网络化芯片(networks on chip) 生产力差距(productivity gap) SoC 设计方法学(system on chip design methodology)

1 引言

提高设计生产力的关键是在为一个给定的设计增加构件时,所投入的工作量能够不依赖于原有设计的规模,而只与新增加的构件规模有关。换句话说,设计工作量必须是新增构件的规模的线性函数。如果这种情况存在,原有设计中一些大的构件和模块就可以进行重用,

工作量可以投入到新增构件上。一个设计方法学、一个体系结构以至于一个平台,如果要有较强的生命力,能够做到普遍适用于数个工艺时代,这是一个必要的前提。

本章的中心议题是:NoC 具有提供这样一种普适性平台的潜力。如果这个观点正确的话,将会引发一场 SoC 体系结构和设计过程的巨大变革,甚至可以称为是一场模式的变革。即使不是这样,NoC 也将为嵌入式系统设计者提供一种可选的体系结构和开发平台。

任意组合特性 (arbitrary composability property): 给定一个构件的集合和一个组合操作符的集合,假设使用组合操作符可以将构件组合成大的构件组合体。如果可以使用任意的组合操作符将任意一个构件与一个给定的构件组合体 A 进行组合,即对 A 进行扩展,但不改变 A 的相关行为,就称构件和组合操作符都是可任意组合的。

请注意,这个定义和下面将要给出的线性工作量的定义都是仅仅针对工程研究使用的,并不包括数学特性,如果是那样就理想了,在较高或较低的层次上都可以实现。

另外,这个特性是相对于一个称为“相关行为”(relevant behavior)的概念进行定义的。因此,同一个构件或组合操作符可能有,也可能没有任意组合特性,这取决于给定的行为目标和行为定义。

例如,标准逻辑门 NAND、NOR、INV 等,就它们的逻辑级 I/O 行为而言,就具有这种特性。给门级网表增加新的逻辑门,除非原来的连接关系被破坏,否则并不会改变原来网表的行为。一个给定的门级网络可以用在任何环境中,不论它周围是什么网络,它都会表现出相同的行为。使用电路的其他部分所产生的输出和结果,新的门级网络可以添加到当前的网络中而不必改变原有部分。这是能够在任何环境下进行百万门级的电路设计,并对一些大的模块进行重用的基础。

应当指出的是,逻辑门的这种优良特性部分归功于它的实现工艺,这种实现工艺可以使晶体管的大小等比例地变化,可以插入缓冲器,利用自动工具可以产生的合理的布局和布线等。

任意组合特性如果得不到满足将会产生一些不良后果,我们可以从中受到启发。当前设计方法的两个最严重问题就是违反了任意组合原则带来的。一个是时序收敛问题,即电路时序的正确实现问题。

这是一个非常困难的问题,原因在于即使对网表进行很小的改变,都可能导致整个系统的时序发生改变,这或者是因为延长了关键路径,或是因为看起来是与时序无关的一些器件的布局布线带来了不可预料的影响。另一个问题是系统验证问题,系统验证是极其困难的,因为系统级的行为很难控制,一个器件的很细微的变化就可能会对其余看起来似乎无关的器件产生无法预料的影响。对这两种情况,设计工作量是以超线性的方式随系统规模的扩大而增大的。

如果任意组合特性可以得到保证,为一个现有系统增加新构件所投入的工作量就只与新构件有关,而不与可重用系统的大小有关(图 1.1)。

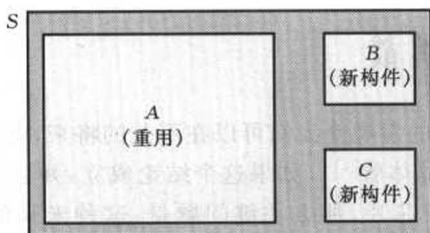


图 1.1 根据任意组合特性,为一个给定系统增加新构件的工作量依赖于增加过程所花费的工作量和设计新构件本身的工作量,而不是取决于 A 的大小。这是因为在此之前已经使用了一定的工作量完成 A 的设计,此处只是对 A 重用。即: $\text{Deffort}(S) = \text{Deffort}(B) + \text{Deffort}(C) + \text{Ieffort}(3)$

据此推论,任意组合特性带来的一个必然结果就是下面的线性工作量特性。

线性工作量特性(linear effort property): 给定一个构件的集合和一个组合操作符的集合。假设使用组合操作符可以将构件组合成大的构件组合体。对一个使用构件和组合操作符建立系统的设计过程而言,如果对给定的一组构件组合体 $A_1, \dots, A_n$, 可以使用组合操作符将它们集成到系统 S 中,而所用工作量只依赖于 n , 并不依赖于组合体的大小 $\text{Ieffort}(n)$, 就称这个设计过程具有线性工作量特性。系统 S 的总设计工作量为:

$$\text{Deffort}(S) = \text{Deffort}(A_1) + \cdots + \text{Deffort}(A_n) + \text{Ieffort}(n)$$

需要注意的是,这个特性意味着一个组合体的接口复杂性并不依赖于该组合体的大小。很显然,这实际上是不现实的,但显然同时也是建立任意大系统的必要先决条件。因此,我们必须将这种理想化的概念尽可能地接近实际,以便建立越来越大的系统。实际上,我们不能充分接近理想状态的根本原因也是产生设计生产力差距的原因。

我们相信,基于 NoC 的平台具有同时拥有上述两种特性的潜力,但不能使这两种特性都自动得到保障。本章中,我们以这两种特性为主线展开。首先先回顾一下导致 NoC 及其类似体系结构出现的潜在趋势及其提出的挑战。

2 趋势和挑战

IC 制造技术的发展使我们可以不久的将来,就可以在单个芯片上集成数十亿只晶体管^[1]。如果这个结论成立,并且假设市场也需要更高集成度的 IC 芯片,那么关键问题是:这种未来的芯片将如何组织?未来含有这种芯片的系统将如何进行设计? IC 领域的许多发展趋势将会使 IC 的体系结构和设计方法产生显著的变化。

通信和计算 工艺水平的进步给晶体管带来的好处要比给互连线的多得多。这使得互连线逐渐超过晶体管,成为影响性能参数、功耗和面积的主要因素,并使设计从以计算能力为主转向以数据传输和通信能力为主,并在系统层次上产生了深刻的影响^[2,3,4]。由于通信越来越难设计,越来越难以正常工作,所以通信常常成为开发的瓶颈。

深亚微米效应 交叉耦合、干扰和瞬态错误只是工艺进步所带来的许多副作用的一部分^[5,6]。为了将工艺水平使用到极致,需要花费相当大的技巧、经验、知识和时间来将这些副作用置于控制之中。一个数字电路设计师或是一个系统设计师,即使具有每天设计数百万只晶体管的设计能力,也不见得对这些负面效应处理得很恰当。因此,设计者采用可重用的思想。可以将专家使用专门技巧精心设计出来的一些模块进行重用。但是,这样做的关键在于,当对这些模块进行任意组合时,不会再出现深亚微米效应。这样我们就可以得到一个结论:在物理设计层次,任意组合特性意味着在对模块进行组合时,模块

的电气和物理特性不受影响。

全局同步性 深亚微米工艺的物理效应使得对芯片上所有器件维持全局同步变得越来越困难^[7]。时钟信号将会花费数个周期才能从芯片的一端传输到另一端,时钟偏斜将变得难以控制,时钟树则早已成为影响芯片功耗和成本的一个主要因素。随着几何尺寸向越来越小,而时钟频率向越来越高的方向发展,这些问题将变得越来越突出。因此,对甚大规模集成电路芯片来讲,将来有可能不会采用单独一个同步时钟。

设计生产力差距 综合和编译技术跟不上 IC 制造工艺的发展^[4],为了完成单芯片系统的设计和实现,我们要么指数级地增加设计时间,要么指数级地增加设计人员。由于这两者都是不现实的,因此在过去的一段时期内,我们将越来越复杂的构件做为基本单元,并藉此方法来缓解这个问题。这些基本设计单元从单个的晶体管级开始,一直发展到门、整个 ALU、乘法器、确定状态机、处理器核等级别。实际上,将越来越复杂的设计元素可重用已经成为提高生产力的主要手段,并且看来还会继续下去。这使我们越来越接近理想的线性工作量特性。

功能的异构性 显然,能够在单个芯片上实现的系统正变得越来越复杂。芯片上集成了越来越多具有不同功能、不同特征尺寸、不同时期、不同特性的许多功能模块。产生和恢复射频信号的信号处理功能、全局控制功能、维护和统计功能,以及自然语言理解和产生功能共存于同一个芯片上。这些功能模块是由不同的设计人员在不同的环境下,采用不同的设计语言和工具设计出来的,然而特定的应用需要将它们集成到同一个芯片上。

为了进行详细的讨论,下面我们介绍 NoC 的一个典型体系结构。在第 4 节我们将探讨 NoC 模式怎样解决上面列出的种种问题。为了更清楚地进行概括,第 5 节给出了使用基于 NoC 方法的开销。最后,第 6 节我们对如何改变设计过程进行推测。

3 NoC

NoC 的一个典型体系结构如图 1.2 所示,它为资源提供了一个通

信的基础结构。使用这种方式可以将硬件资源作为独立的模块单独进行开发,然后再将这些模块作为网络元素连接起来,并最终建立 NoC。这个平台非常灵活,是可扩展和可配置的,可以适合不同工作负载的需要,同时又能保持应用开发方法和实践的通用性。

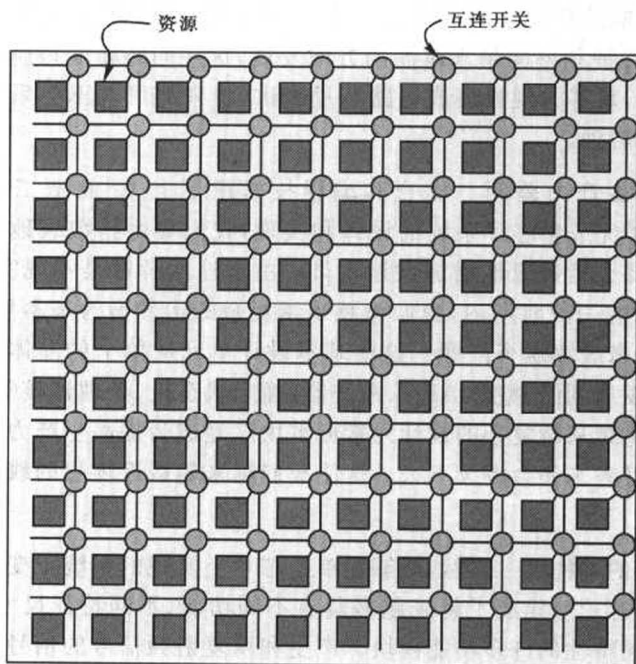


图 1.2 mesh 中的每个节点都包含一个开关和一块资源

从版图角度来看,二维网格互连拓扑结构是最简单的,资源和开关之间的局部互连不依赖于网络的大小。另外,二维 mesh 中的路由也比较容易,这意味着可以小开关、大带宽、短时钟周期和全局可扩展性较强。NoC 是由资源和开关直接互连构成的,资源之间可以通过收发消息进行通信。一块资源是一个计算或存储单元。开关对资源之间的消息进行路由和缓冲。每一个开关通过输入和输出通道与其相邻的四个开关互连。一条通道包含两条单向点对点链路,通道可以连接两个开关,也可以连接一个开关和一块资源。开关内部可以有队列来处理阻塞。我们希望一块资源的大小,或者是给定工艺条件下可以

进行同步控制的区域,或者是挂在一条总线上的计算资源和存储资源簇。我们还希望每个资源块的大小会随着工艺发展而逐渐缩小,即产生这样一种结果:资源块的数量将增加,开关之间和资源与开关之间的带宽将增加,但整个网络的通信协议不变。

需要指出的是,这里指的只是一个简单的 NoC,只是为了便于进行下面的讨论,文献[8,9,10,11,12,13,14]中给出了一些复杂 NoC 的例子。

4 NoC 是怎样解决问题的?

尽管需要从许多方面对许多因素都要进行讨论,但我们将重点放在 NoC 的两个关键机制上:可重用性和可预测性。在所有与 NoC 有关的因素当中,这两个是最重要的。

4.1 可重用性

如上所述,可重用性一直都是弥补工艺差距的主要技术途径^[15,16,17]。从晶体管开始,接着是门,然后是诸如 ALU、乘法器之类的功能模块,一直到微处理器和 DSP 核,作为基本模块的构件变得越来越复杂。在这种情形下,设计者可以提高抽象层次,采用功能越来越强的“基本”构件来对系统的功能特性进行描述。但奇怪的是,综合技术只是在一个相对肤浅的层次上进行抽象,这在软件和硬件领域都可以看到。工艺映射、逻辑和 RTL 综合是在一个特征化的优化空间里,原则上采用直接的方法进行的,而跨层次的,支持深层设计的逻辑综合技术一直没有成功,高层和体系结构综合就是这方面的例子。在软件方面,将 C 语言映射到微处理器的指令集多多少少都是很直接的,因此,与之相应的编译技术取得了很大的成功。与此相反,从功能、逻辑和其他高级语言开始的编译缺少有效性,因此从来没有成为主流。据此可以推断,通过提供更加复杂的构件而得到的可重用性,仍将是使工艺得到最充分利用的主流技术。综合和编译技术将为更有力的系统描述提供到基本构件的表面映射。

然而有一点与原先不同,通信“构件”,更确切地说是通信结构及其服务,也将成为基本设计元素。这正是基于 NoC 的方法的精髓所在:即通信服务的可重用。