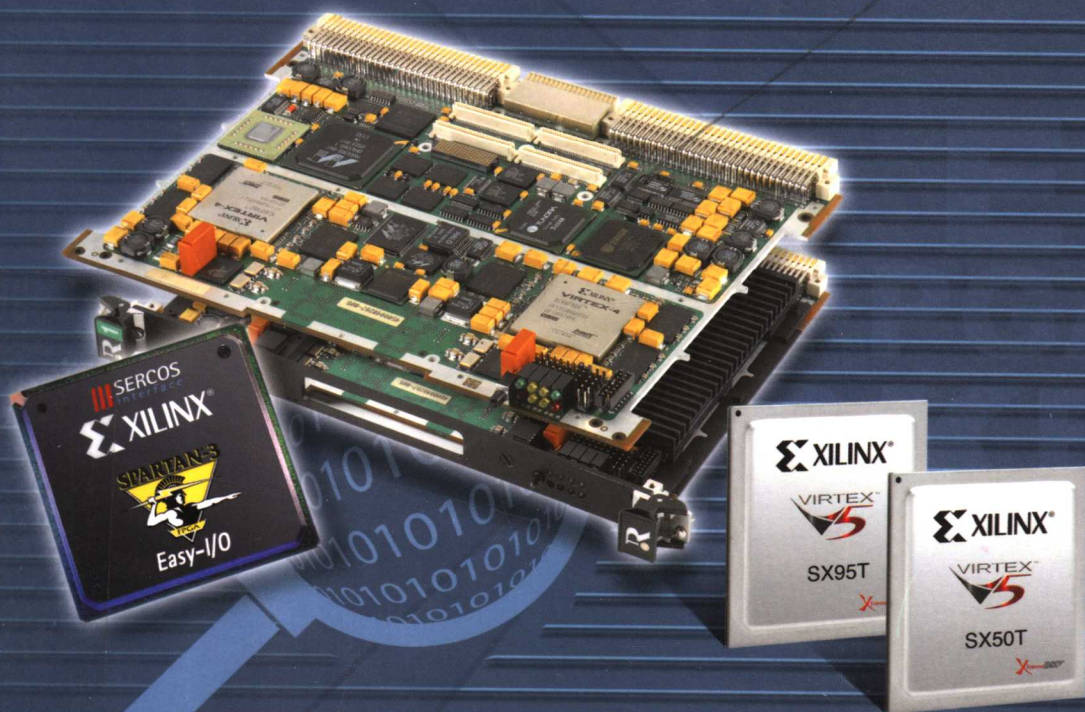


基于EDK的FPGA 嵌入式系统开发

杨强浩 等编著



TP332.1/49D

2008

电气信息工程丛书

基于 EDK 的 FPGA 嵌入式系统开发

杨强浩 等编著

机械工业出版社

本书介绍 Xilinx 公司的嵌入式集成开发平台 EDK 工具组的使用方法, FPGA 内嵌 CPU 核——软核 Microblaze 和硬核 PowerPC405, 以及使用这些 CPU 核与 Xilinx 提供的多种外设 IP 核进行嵌入式设计的流程与方法。引导读者熟悉 EDK 开发环境, 以较小代价快速进入片上系统开发的广阔天地。

本书以 Xilinx 公司的技术资料为基础, 深入浅出地阐述了 EDK 工具组中各组成工具的使用方法, 彼此间的分工与联系, EDK 工具组与 ISE 工具组的协同开发技巧, 以及必要的第三方工具配合方法, 为读者展现了一个完整的基于 EDK 的 FPGA 嵌入式开发流程。既可作为学习 Xilinx 嵌入式开发的入门指导书, 也可作为设计参考手册。

本书附带一张光盘, 包含了作者为本书编写的若干实验程序, 内容由浅入深, 从基础结构设计到嵌入式 Linux 移植等多个方面。每个程序都包括完整的源码、所有中间生成文件以及硬件烧录文件, 均已经过作者的验证, 可直接运行。

本书可供电子工程、通信、计算机、自动控制等专业内从事硬件设计、系统开发、嵌入式设计的工程技术人员和教师阅读参考, 也可作为相关专业高年级本科生和研究生的教材。

图书在版编目(CIP)数据

基于 EDK 的 FPGA 嵌入式系统开发/杨强浩等编著. —北京:机械工业出版社, 2008.1
(电气信息工程丛书)
ISBN 978-7-111-22914-8

I. 基… II. 杨… III. 微型计算机—系统开发 IV. TP360.21

中国版本图书馆 CIP 数据核字 (2007) 第 182413 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑: 陈 皓

责任印制: 杨 曦

三河市国英印务有限公司印刷

2008 年 1 月第 1 版·第 1 次印刷

184mm×260mm·21.5 印张·527 千字

0001—5000 册

标准书号: ISBN 978-7-111-22914-8

ISBN 978-7-89482-475-2(光盘)

定价: 38.00 元(含 1CD)

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

销售服务热线电话: (010)68326294

购书热线电话: (010)88379639 88379641 88379643

编辑热线电话: (010)88379739

封面无防伪标均为盗版

序

20 世纪 90 年代末,半导体工业和嵌入式领域所面临的主要课题之一是设计片上系统(System-on-a-Chip, SoC)。片上系统可将过去一个,或多个印制电路板上的功能集成到一块芯片中,从而大大降低产品的开发周期,提高产品的安全性、可靠性,缩小产品的物理尺寸,降低成本。一个 SoC 可包含微处理器,数字信号处理器,数字、模拟及混合电路模块,总线,时钟,电源分布,测试结构等,支持标准的工业接口和通信协议。基于现场可编程门阵列器件(Field Programmable Gate Arrays, FPGA)的 SoC 与基于 ASIC 的 SoC 相比,具有风险小、开发周期短、成本低、可擦写等优点,是当今业界在快速原型技术(Rapid Prototyping)和系统解决方案上的流行趋势之一。

从设计传统的嵌入式系统到片上系统是对设计人员从设计思想、设计方法、设计工具,到开发流程和产品性能上的巨大挑战。硬件描述语言(Hardware Description Language, HDL),现场可编程门阵列,复杂的可编程逻辑器件(Complex Programmable Logic Device, CPLD),前/后端设计,核(Cores)与知识产权模块(IPs),设计复用(Design Reuse),设计验证与逻辑仿真(Design Verification and Logic Simulation),嵌入式操作系统,嵌入式软件设计与开发,软硬件协同设计(Software and Hardware Co-design)等新概念,新技术正以前所未有的速度推动着电子产品的更新换代。对于大多数设计人员来说,这一切既陌生而又令人生畏。人们发现过去可由软、硬件工程师相对独立完成任务,现在则必须协同开发;过去使用的直观而有效的设计调试方式,现在却必须借助于功能强大的 EDA 工具;设计这些复杂的嵌入式系统需要人们能够轻松地跨越传统的“软件设计”和“硬件设计”的分界线,根据不同应用问题的需求,进行软、硬件协同设计,以达到优化系统设计,减少开发周期,降低成本,提高产品竞争力的目的。

本书是一本为基于 Xilinx 公司的 FPGA 和嵌入式开发平台(EDK)进行嵌入式系统开发的初学者编写的参考书和工具书。它帮助读者了解 Xilinx 可编程门阵列器件,嵌入式系统的开发流程,电子设计自动化(EDA)工具,操作系统支持,应用软件开发等内容,为初学者展示了基于 FPGA 的嵌入式系统开发的路径。作者以多年在高校从事教学工作和在企业从事项目开发的经验,从读者的角度,将相关知识一一展开,帮助初学者克服因知识爆炸及技术更新换代而带来的困惑与困难。

基于 FPGA 的嵌入式系统的设计与开发在中国还刚刚起步。我相信通过业界的共同努力,中国的嵌入式系统设计和开发技术在不久的将来会取得长足进步,并赶超国际先进水平。

东北大学东软信息学院
嵌入式系统工程系主任,教授

加拿大阿尔伯他大学
电子与计算机工程系兼职教授

孙晓凌 博士
2007 年 4 月 3 日

前 言

数字电路设计经过半个世纪的发展,已经呈现出多种表现形式,其重点也从单纯的硬件设计扩展到集合硬件(Hardware)设计、固件(Firmware)设计和软件(Software)设计的系统设计范畴。FPGA设计和嵌入式设计是数字电路设计中最具有活力的方向,FPGA设计以灵活的表现形式见长,嵌入式设计以广泛的适用面见长。Xilinx公司将两者的优势相结合,创造性地为用户提供了基于FPGA的嵌入式设计方案,帮助用户快速“量身定做”合适的嵌入式SoC。设计者使用Xilinx的EDK工具,在FPGA上创建软硬件协同开发的基础平台,可以很快地将CPU核与外设核,以及系统软件集成到单一芯片中,构成需要的产品。EDK工具也提供了强大的调试功能,并以集成界面和命令行两种方式呈现,方便不同用户的工作习惯。再配合Chipscope Pro硬件调试工具,构成了完善的SoC调试平台,极大提高了调试的效率,降低了设计难度。随着FPGA成本的降低和功能的增强,基于FPGA的嵌入式平台必将在嵌入式领域占有越来越重要的地位。

本书适合作为电子工程、通信、计算机、自动控制专业,以及相关专业对嵌入式开发有兴趣的高年级本科生和研究生教材,也适合有一定FPGA开发经验或希望了解FPGA嵌入式开发的工程师,以及希望能加入FPGA开发和嵌入式开发的准工程师们自学使用。本书的读者只要具有一定的C语言基础,并认真地阅读本书内容,完成书中的实验,积极思考,勇于实践,就能很快掌握基于FPGA的嵌入式设计方法,从而进入到SoC设计的广阔天地。

本书的配套光盘包括10个目录,包含了本书使用的所有试验工程文件:

- simaple _ example:包含两个基本的例子(microblaze和ppc)由第7章“EDK工程设计流程”产生,是后续很多章节试验的原始模型,也用于第8章“仿真和调试”;
- microblaze _ ddr:带有DDR内存的Microblaze设计,可替换simaple _ example中的microblaze例子进行所有试验;
- ppc _ ddr:带有DDR内存的PowerPC405设计,可替换simaple _ example中的ppc例子进行所有试验;
- ise _ edk:用于第9章“ISE工具和EDK工具协作设计”;
- ise _ ngc:用于第9章“ISE工具和EDK工具协作设计”;
- add _ ip:用于第10章“定制和添加外设”;
- chipscope:用于第11章“使用Chipscope Pro调试设计”;
- Xilkernel:用于第15章“基于Xilkernel的软件设计”,这是一个基于EDK8.1的,带百兆以太网接口版本;
- Xilkernel82:用于第15章“基于Xilkernel的软件设计”,这是一个基于EDK8.2的,带千兆以太网接口版本;
- mvlinux:用于第16章“移植Montavista Linux”,在内嵌PPC405上移植Montavista Linux。

除了一个工程使用EDK8.2SP2外,其他均使用EDK8.1SP1工具。本书针对EDK8.1版本编写,可以用于EDK8.2,但EDK8.1以前的版本由于界面相差较远,指导性较弱。使用的其他工具包括:ISE8.1SP3、Chipscope Pro8.1SP3、Modelsim6.1b,本书配套光盘中没有包含这

些工具。本书所有例子均可以在 Xilinx 公司的 ML403 板上验证。EDK 工程对目录没有要求,在任何目录结构下均可运行,但 ISE 工程等其他设计对目录要求比较苛刻,光盘上的任何设计目录复制到:E:\work\book 目录下均可正常运行。

本书电路图中使用的逻辑符号为国外流行符号,附录 A 中列出了常用逻辑符号对照表,方便读者对照阅读。另外,本书使用了大量的英文缩略语,为方便读者阅读,附录 B 中列出了本书常用英文缩略语中英文对照表。

在本书的撰写过程中,Xilinx 公司和 AVNET 公司提供了全方位的技术支持。内容的编排也参考了众多相关行业工程师的意见。郭明、任霞、刘庄、郭郁等工程师参与了部分章节的撰写。加拿大阿尔伯他大学孙晓凌教授还在百忙之中为本书作序,在此一并表示感谢。

虽然本书涉及多个专题,但仍然存有遗憾。加之作者的能力与时间有限,难免存在错误。在本书出版后,作者将继续对本书内容进行修正和补充,详细情况可以通过访问作者的博客了解。

<http://fpgacpld.bokee.com/>

读者对本书有任何意见与建议,可发 email 至以下电子邮箱:

jsjfw@mail.machineinfo.gov.cn

作者

目 录

序	
前言	
第 1 章 绪论	1
1.1 嵌入式系统发展趋势	1
1.2 基于 XILINX FPGA 设计嵌入式产品的优势	2
1.3 如何阅读本书	3
第 2 章 Xilinx 公司新型 FPGA 结构	5
2.1 Spartan-3 系列 FPGA	5
2.1.1 Spartan-3 型 FPGA	5
2.1.2 Spartan-3E 型 FPGA	7
2.1.3 Spartan-3L 型 FPGA	8
2.1.4 Spartan-3A 型 FPGA	9
2.2 Virtex-4 型 FPGA 结构	11
2.2.1 CLB 结构	11
2.2.2 DCM 结构	14
2.2.3 PMCD 结构	18
2.2.4 局部时钟网络	19
2.2.5 IO 特性	20
2.3 Virtex-5 型 FPGA 结构	24
2.3.1 CLB 逻辑架构	25
2.3.2 时钟资源	26
2.3.3 其他资源优势	27
第 3 章 Microblaze 处理器结构	29
3.1 Microblaze 逻辑结构	30
3.2 Microblaze 总线结构	31
3.2.1 Microblaze 的 OPB 总线	32
3.2.2 Microblaze 的 LMB 总线	38
3.2.3 Microblaze 的 FSL 总线	41
3.3 Microblaze 的寄存器结构	43
3.3.1 通用寄存器组	43
3.3.2 特殊功能寄存器组	43
第 4 章 PowerPC405 处理器核	45
4.1 PowerPC405 总体结构	45
4.2 PowerPC405 核的总线与控制器	47
4.2.1 OCM 控制器	47
4.2.2 APU 控制器	49
4.2.3 PLB 总线	50
4.3 寄存器结构	52
4.3.1 通用寄存器	52
4.3.2 特殊寄存器	52
第 5 章 嵌入式设计的 FPGA 配置	63
5.1 传统配置和嵌入式设计配置	63
5.2 SPI/BPI FLASH 加载原理	64
5.2.1 FPGA 和 SPI FLASH 的连接	64
5.2.2 复用 SPI FLASH	66
5.2.3 复用 BPI FLASH	67
5.2.4 SPI FLASH+ 通用 FLASH	69
5.3 混用并行 FLASH 加载原理	69
5.4 基于 System ACE 的加载方式原理	70
5.4.1 System ACE 技术简介	70
5.4.2 System ACE 的构成	71
5.4.3 ACE 控制器的连接电路	72
5.4.4 ACE 控制器的时序	74
5.4.5 ACE 控制器的内部寄存器	77
第 6 章 Xilinx 的 XPS 和 SDK 开发环境	82
6.1 Platform Studio 8.1 工具套件简介	82
6.2 XPS 使用的特殊文件	82
6.2.1 XMP 文件结构	83
6.2.2 MHS 文件结构	83
6.2.3 MSS 文件结构	84
6.2.4 UCF 文件结构	85
6.2.5 CMD 文件结构	86
6.3 XPS 的图形界面	87
6.3.1 XPS 的窗口	87

6.3.2 XPS 的菜单	94	8.2.6 使用第三方仿真核仿真复杂嵌 入式设计	155
6.4 软件调试图形界面	99	8.3 使用 XMD 工具调试嵌入式 软件	159
6.4.1 软件调试图形界面的窗口	99	8.3.1 XMD 工具的基本命令	160
6.4.2 软件调试图形界面的菜单	100	8.3.2 使用 XMD 工具	164
6.5 SDK 图形界面	101	8.3.3 使用 XMD 命令行界面	165
6.5.1 SDK 图形界面的窗口	102	8.3.4 使用图形调试界面基本流程	169
6.5.2 SDK 图形界面的菜单	103	第 9 章 ISE 工具和 EDK 工具协作 设计	174
第 7 章 EDK 工程设计流程	110	9.1 ISE 工具简介	174
7.1 设计流程图	110	9.2 在 ISE 工具中添加处理器 结构	175
7.2 建立一个简单的 Microblaze 工程	111	9.3 输出 EDK 设计到 ISE	180
7.2.1 构建基本硬件结构	111	第 10 章 定制与添加外设	188
7.2.2 连接所有组件	116	10.1 IP 核简介	188
7.2.3 生成硬件比特流文件	121	10.2 EDK 提供的 IP 核	188
7.2.4 分析报告和日志	122	10.3 添加 EDK 提供的 IP 核	190
7.2.5 编译相关测试应用软件	122	10.3.1 添加 SPI 接口核	190
7.2.6 下载设计到目标板	125	10.3.2 添加 System ACE 接口核	194
7.3 建立一个简单的 PPC405 工程	126	10.4 使用 IPIF 接口定制 IP 核	194
7.3.1 构建基本硬件结构	126	10.4.1 生成 OPB 总线上的新外设	195
7.3.2 连接所有组件	128	10.4.2 添加用户逻辑代码	199
7.3.3 其他步骤	130	10.4.3 输入 IP 核到 EDK 工程	200
7.4 使用 SDK 建立应用软件 工程	131	10.4.4 验证生成的 IP 核	207
7.4.1 创建 C 语言工程	131	10.5 完全定制 IP 核	207
7.4.2 添加和调试源代码	134	10.5.1 构建用户逻辑	208
7.4.3 运行程序和分析统计信息	135	10.5.2 编写功能文件	208
7.4.4 向 XPS 加入调试后的应用软件 工程	138	10.5.3 输入 IP 核	210
第 8 章 仿真和调试	139	10.5.4 验证 IP 核	212
8.1 仿真技术简介	139	第 11 章 使用 Chipscope Pro 调试 设计	214
8.2 使用 Modelsim 工具仿真嵌入式 设计	140	11.1 Chipscope Pro 简介	214
8.2.1 Modelsim 工具简介	140	11.2 在 EDK 中可使用的 Chipscope core	215
8.2.2 生成 Modelsim 嵌入式仿真库	141	11.2.1 Chipscope _ icon 原理	215
8.2.3 设置 Modelsim 嵌入式仿真 环境	143	11.2.2 Chipscope _ ila 原理	215
8.2.4 Testbench 初步	146	11.2.3 Chipscope _ opb _ iba 原理	217
8.2.5 仿真一个简单的嵌入式设计	148	11.2.4 Chipscope _ plb _ iba 原理	218

11.2.5	Chipscope_vio 原理	218	设计	255
11.3	在设计中添加和配置		14.1	应用软件工程的组成
	Chipscope core	218	14.1.1	代码文件
11.3.1	在设计中添加和配置		14.1.2	编译与连接选项设置
	ICON 核	219	14.1.3	连接文件的结构
11.3.2	在设计中添加和配置		14.1.4	软件平台设置与生成 BSP 库
	ILA 核	219		文件
11.3.3	在设计中添加和配置		14.2	Microblaze 的 BSP
	IBA 核	223	14.2.1	中断操作类
11.3.4	在设计中添加和配置		14.2.2	异常操作类
	VIO 核	227	14.2.3	指令缓存操作类
11.4	通过 Analyzer 调试嵌入式		14.2.4	数据缓存操作类
	设计流程	228	14.2.5	FSL 总线接口宏
11.4.1	调试前的准备工作	228	14.2.6	寄存器操作宏
11.4.2	连接 Analyzer 工具与目标板	229	14.3	PowerPC405 的 BSP
11.4.3	使用 Analyzer 观察 ILA		14.3.1	启动代码
	信号	230	14.3.2	缓存操作类
11.4.4	使用 Analyzer 观察 IBA		14.3.3	异常操作类
	信号	233	14.3.4	文件操作类
11.4.5	使用 Analyzer 观察 VIO		14.3.5	内存操作类
	信号	234	14.3.6	计时器操作类
第 12 章	用于 FPGA 的嵌入式操作		14.3.7	FSL 总线接口宏
	系统	236	第 15 章	基于 Xilkernel 的软件设计
12.1	嵌入式操作系统发展历程	236	15.1	Xilkernel 简介
12.2	嵌入式操作系统分类与选型		15.2	Xilkernel 的 API 函数
	原则	237	15.2.1	线程管理类
12.3	嵌入式 Linux 操作系统	240	15.2.2	信号灯类
12.4	VxWorks 操作系统	241	15.2.3	消息队列类
12.5	Nucleus 操作系统	242	15.2.4	共享内存类
第 13 章	EDK 软件库	244	15.2.5	互斥锁类
13.1	LibXil Net 库	245	15.2.6	动态缓冲内存管理类
13.2	LibXil File 库	249	15.2.7	软件计时器类
13.3	LibXil FATFile System		15.3	Xilkernel 的开发流程
	(FATfs)库	250	15.3.1	构造硬件结构
13.4	LibXil Memory File System		15.3.2	设置软件平台
	(MFS)库	251	15.3.3	代码分析
13.5	LwIP 库	253	15.4	生成文件系统并验证设计
13.6	LibXil Drivers 库	254	第 16 章	移植 Montavista Linux
第 14 章	基于 Standalone 的软件		16.1	Montavista Linux 简介

16.2	构建基于 Montavista Linux 的交叉编译环境	305	Linux	320
16.3	构造基于 PowerPC405 的硬件 系统	311	16.8 通过 SystemACE 固化 Montavista Linux 内核	321
16.4	生成基于 Montavista Linux 的 BSP	313	16.9 Montavista Linux 移植中容易 出现的错误	322
16.5	给 Montavista Linux 内核 打补丁	315	16.10 通过网络获得 Montavista Linux 帮助资源	326
16.5.1	补丁文件解析	315	附录	328
16.5.2	操作步骤	317	附录 A 常用逻辑符号对照表	328
16.6	定制和编译 Montavista Linux 内核	317	附录 B 本书常用英文缩略语中 英文对照表	329
16.7	基于 RAM 方式启动 Montavista Linux	320	参考文献	331

第1章 绪 论

1.1 嵌入式系统发展趋势

什么是嵌入式系统？这是一个比较难以回答的问题，众多的组织和文献对嵌入式系统做了不同的界定，由于定义太多，以致这个概念的边界非常模糊。本书采用其中的一种定义：嵌入式系统是以嵌入式计算机为技术核心，面向用户、面向产品、面向应用，软硬件可裁减的，适用于对功能、可靠性、成本、体积、功耗等综合性能有严格要求的专用计算机系统。

嵌入式系统应具有的特点是：

- 高可靠性，在恶劣的环境或突然断电的情况下，系统仍然能够正常工作；
- 实时性，许多嵌入式应用有此需求，要求嵌入式操作系统具有实时处理能力，以及嵌入式硬件结构具有很强的实时反应能力；
- 软硬件一体化，嵌入式系统和具体应用有机地结合在一起，它的升级换代也与具体产品同步进行；
- 软件固化，嵌入式系统中的软件代码一般都固化在只读存储器中或闪存中，也就是说软件要求固态化存储，而不是存储在磁盘等载体中。

尽管嵌入式系统在二三十年前就已经出现，但其蓬勃发展是由上世纪 90 年代开始的，传奇的 PowerPC 和 ARM 两种处理器分别在中端和低端嵌入式市场占据了优势。到本世纪初，在全球新一轮汽车、通信、信息电器、医疗、军事等行业的智能化装备市场需求下，全球嵌入式系统产业得到了快速发展，可以说已经广泛地应用于人类生活的方方面面，同时也涌现出了更多的嵌入式供应商。2005 年全球嵌入式系统产品的产值已达到 2700 亿美元，估计全世界嵌入式系统产品潜在的市场将超过 10000 亿美元。

在中国，虽然嵌入式系统行业起步不久，但进展神速。2005 年我国嵌入式处理器芯片销售总量大约为 13 亿片，销售产值约为 120 亿元。由于中国是全世界最大的制造业基地，在 DVD 播放器、机顶盒、音视频接收设备、MP3 播放器、数码相机和汽车电子等各个领域，嵌入式系统已无处不在，市场规模已接近通用 DSP 的两倍。尽管 2006 年半导体市场略呈下降的走势，但半导体业内的嵌入式系统部门却保持了高增长。

在今后的几年，随着移动多媒体、数字娱乐、手机、终端汽车电子等领域的迅速发展，手机、便携式多媒体设备、家庭娱乐用音视频产品的嵌入式解决方案的增长潜力将会增大。加上我国政府正在力推 HDTV、IPTV 等产业的发展，新兴的便携式多媒体播放机将逐渐迎来曙光。此外，面向医疗、金融、军事等行业的特殊应用也正在为嵌入式系统提供越来越多的商机。

我国的操作系统行业也在积极调整战略，纷纷投向嵌入式操作系统领域。可以说，在未来十年内，嵌入式系统将继续保持高增长态势，创造出更多的财富。

1.2 基于 XILINX FPGA 设计嵌入式产品的优势

使用 FPGA 设计嵌入式产品对大部分嵌入式工程师和 FPGA 工程师来说还并不熟悉,目前使用 FPGA 设计的嵌入式产品在全球嵌入式市场占有比例并不大,不足 5%。为什么要使用 FPGA 来设计嵌入式产品?相比原有的嵌入式 CPU,FPGA 在这个市场具有哪些优势?

使用 FPGA 设计嵌入式产品的最大优势在于定制性,也就是量身定做。嵌入式设计工程师都知道,设计产品的第一步是选片。事实上,大部分时候,是在选 CPU 集成的外设,外设不完备的嵌入式 CPU 是没有生命力的。选到的芯片只是尽可能的接近需求,很难做到完全合适。用户需要为不使用的外设资源支付费用,而且也需要为在 PCB 板上添加 CPU 没有集成的外设资源而支付费用。FPGA 则不存在该问题,在 FPGA 内,用户可以通过配置添加任意外设的数量,剔除不必要的外设,也可以根据产品实际需要修改外设的功能,甚至自主设计独特的外设,做到每一分钱都花在有效的资源上。

相比传统的嵌入式 CPU,FPGA 内部的处理器核运算能力有一些不足,但嵌入式产品的主要功能是控制,在这点上,FPGA 可以使用纯逻辑控制方式,具有天然的优势。尤其是在实时性要求较高的场合,FPGA 硬件的反应时间在 ns 级,这是传统嵌入式 CPU 所不能企及的。

Xilinx 公司是全球最大的 FPGA 供应商,目前占有超过全球 50% 的市场,也是全球首选的 FPGA 嵌入式软处理器解决方案商。包括非 FPGA 供应商在内,Xilinx 也能排在芯片架构供应商的前 10 名,紧随 Intel、Freescall、ARM 等厂商之后。

Xilinx 公司提供全面的处理器解决方案和器件,是 FPGA 业界唯一同时提供处理器软核与硬核的厂商,能支持嵌入式系统设计人员为满足自己的嵌入式处理需求而选择最佳的性能和价位点组合。在 VirtexII Pro、Virtex4、Virtex5 系列 FPGA 器件中植入了硬连线的业界标准 PowerPC405 32 位处理器硬核,提供了所有 FPGA 器件中最高的处理器性能。在其所有系列的 FPGA 中提供了 MicroBlaze 32 位处理器软核,这是可配置的通用 RISC 处理器,根据成本和性能要求,提供高性价比的处理性能。Xilinx 公司还为那些对成本敏感的应用提供了 PicoBlaze 8 位微控制器软核,不但可用于所有的 FPGA 系列,也可应用于 Xilinx 公司的 CoolRunner、CoolRunnerII 等型号的 CPLD 中,是全球唯一可以用于 CPLD 的微控制器软核。Xilinx 公司通过全面的产品覆盖为用户提供了完善的嵌入式处理器解决方案,相比其它公司,产品线更加完整。

相比较传统的嵌入式 CPU,FPGA 在价格上也具有优势,主要表现在较低端的控制型处理器核,以 MicroBlaze 为例,一个可以运行 Linux 的 MicroBlaze 加上必要的外设、内存颗粒、保存操作系统内核与文件系统的 Flash,较同等级的 ARM7 系统大约节省 0.4 美元。但对于比较复杂的嵌入式系统,如需要使用大规模 PowerPC 的环境,由于传统嵌入式处理器的运算能力较高,FPGA 并不占有芯片成本上的优势。但考虑到某些中高端嵌入式产品需要很高的带宽处理能力,常采取嵌入式 CPU 加 FPGA 的设计方式,并需要在 CPU 与 FPGA 中实现很大流量的数据交换。集成嵌入式 CPU 到 FPGA 中,不但可以节省 CPU 的成本,也可以节省 FPGA 的 IO 资源。在这类应用中,从系统整体来说使用 FPGA 设计嵌入式产品,成本是较低的。

Xilinx 公司与众多 EDA 厂商、嵌入式操作系统厂商合作,为用户提供了丰富的外设 IP 核、操作系统平台、开发工具以及开源或不开源的应用软件,方便用户以最简单的方式使用

FPGA 开发嵌入式产品。

可以预见,在未来使用 FPGA 开发嵌入式产品将成为潮流,作为一个 FPGA 工程师或嵌入式工程师,单纯掌握原有的知识体系已经不能满足需要了。

1.3 如何阅读本书

本书的目标是向读者描述基于 Xilinx 公司 FPGA 开发嵌入式产品的过程,主要是使用 EDK 工具组。有一定 FPGA 开发经验或希望了解 FPGA 嵌入式开发的工程师,以及希望能加入 FPGA 开发和嵌入式开发的准工程师们适合阅读本书。总体上来说,这是一本入门的书籍,帮助读者从对 FPGA 嵌入式开发一无所知到可以开发一些简单的产品。虽然本书也描述了在 FPGA 内部如何移植 Linux,但这不作为重点。如果您已经是一位嵌入式高手,将不能在本书内看到太多令人振奋的信息,这本书的内容是为初学者越过刚开始的门槛而设定的。

阅读本书需要什么预备知识? 最基本的要求:了解 C 语言。使用 FPGA 进行嵌入式开发没有那么难,Xilinx 提供的工具可以帮助用户迅速地构建系统,不需要对 FPGA 硬件或硬件开发语言有太多的了解,就可以完成一个产品。C 语言是必须的,任何产品可以很简单地构建硬件结构,但应用软件还是要通过 C 语言逐句编写的。如果还能会一些 VHDL 或 Verilog 语言就更好了,这样可以自由地设计自己的 IP 核,并应用在系统中。其他的知识如 ISE 工具、仿真工具和调试工具的使用,本书在相应的章节均有简单介绍,通过介绍,看懂本书的内容是没有问题的,但作为实际项目使用,还是建议在读完本书后找一些相关的资料进行深入学习。

看完本书可以达到什么水平? 实际地说,只能达到开发功能相对简单的产品的水平,用业界工程师的话说,也就是简单应用水平,但已经可以设计产品了。当作者看到书店中有很多专业书籍冠以“从入门到精通”这样的字眼时感觉很有意思,通过短短的三、四百页书籍,还包括插图和代码分析,就可以让一个从未了解的人成为专家,这是不可想象的。从入门到精通需要经过很长时间的學習,众多实际项目的磨练和对以往经验教训的总结,才有可能实现,决不是单纯读一两本书籍可以做到的。读者通过本书可以度过学习 FPGA 嵌入式开发最初的茫然阶段,具备开发实际的简单嵌入式产品的能力。

如何有效地阅读本书? 本书的 2 至 6 章,以及第 12 章都是介绍 FPGA 嵌入式知识,一开始可以简要的浏览,知道一些名词即可,等到在其它章节中遇到时再了解相关知识,这样比较不枯燥;其他章节最好的阅读方式是将每章配套的试验做一遍,每章至少有一个试验,通过试验贯穿整个专题的内容,本书的附带光盘上含有这些试验的工程文件、所有的中间文件、工具报告、以及最后的下载文件,读者可以用来对比自己的试验结果。相信当做完所有的试验,也就读懂了所有的内容。

如何获得更多的资料? 本书的篇幅有限,只重点描述第 7 章设计流程图中列出的步骤,不能做到将 FPGA 设计嵌入式产品的方方面面都详细介绍,因此读者如何获得更多自己感兴趣的资料是很重要的。通过本地 Xilinx 的技术支持是一个方法,但不要抱非常大的希望,技术支持不是万能的,也不是仅为一个人服务的,正确理解需求,并做出反应,是需要时间的,尤其是小客户,这个时间可能会更长。互联网是资料的主要来源,事实上,本书写作过程中所有的资料均来自于互联网公开的资料。下面介绍两个非常有效的网站: www.xilinx.com 和 www.google.com。第一个是 Xilinx 公司官方网站,Xilinx 具有业界内最全面的资源网站,但

是由于太全面了,用户反而难以找到必要的资料,很容易淹没在繁杂的资料列表中。需要牢记的是,Xilinx 推出可以进行嵌入式设计的 FPGA,是希望大家使用的,因此会不遗余力的推广,在其网站上可以找到所有需要的资料,包括使用方法、应用实例与配套代码、例程、错误说明及改正方法等。使用 Google 搜索引擎配合查找是一种很有效的方式,用户可以在 Xilinx 公司官方网站上使用,也可以在 Google 官方网站上使用,只需要先键入“xilinx”,再用英文键入需要查找的内容即可,在出现的前 30 个搜索结果内一般都可以找到 Xilinx 公司官方网站对此问题的解释,以及相应的说明文档。如果不能找到,建议看一下使用的关键词是否不是业界内的通常用法。建议不要使用中文搜索,中文相关的资料链接太少(包括 Xilinx 公司中文官方网站)。如果经过反复确认还是不能找到相应的解答,那么就要恭喜你了,因为你发现了非常少见的问题,这从一个侧面说明,在这个问题上,你已经有希望成为专家了。使用互联网还可以帮助读者加入全球的工程师邮件列表和新闻组,本书在不同章节列出了相关主题的邮件列表和新闻组链接,通过和全球的工程师互动,可以快速地提高水平。

本书的另一个特点是作为一个资料目录,在每一个章节都描述了与内容相关的原始资料的名称或来源,读者如果需要在某个方面深入了解,可以通过互联网下载这些资料,获得更深入的知识。

第 2 章 Xilinx 公司新型 FPGA 结构

2.1 Spartan-3 系列 FPGA

Spartan-3 系列是 Xilinx 公司高性价比 FPGA,是全球首先采用 90nm 工艺的高性能低价格 FPGA。Spartan-3 系列根据用户的实际需求,陆续推出了基于同一工艺,具有不同侧重点的不同类型的 FPGA,形成了完整的高性价比 FPGA 系列。Spartan-3 系列包含的 FPGA 类型如下:

- Spartan-3 型 FPGA(简称 SP3),这是 Spartan-3 系列最早推出的类型,这个系列也以此命名,该系列中其他类型的 FPGA 均是在其基础上裁减或加强部分功能后派生出的。SP3 具有容量大(最多 33280 个 Slice),IO 多(最多 784 个),价格低廉,型号丰富(8 个型号)等综合优势,是高密度集成数据处理应用的理想选择。
- Spartan-3E 型 FPGA(简称 SP3E),是 Xilinx 在 SP3 基础上,针对用户对更低成本的需求推出的成本优化 FPGA。SP3E 具有低价格(同等密度最低),同系列中最多的时钟资源(最多 8 个 DCM)等优势。SP3E 的目标在于较低容量、成本敏感的领域。主要满足要求有效逻辑和大量处理资源的逻辑集成、DSP 协处理器和嵌入式控制等应用。
- Spartan-3L 型 FPGA(简称 SP3L),是 Xilinx 在 SP3 基础上,针对用户对低功耗的需求推出的功耗优化 FPGA。SP3L 具有同系列中最低的功耗,在正常工作模式下为同等规格 SP3 的 40%,在休眠模式下为同等规格 SP3 的 1%。虽然 SP3L 只有三种规格,但与同规格的 SP3 资源封装完全一致,可实现直接替换。
- Spartan-3A 型 FPGA(简称 SP3A),是 Xilinx 在 SP3E 基础上,针对用户对丰富 IO 的需求推出的 IO 优化 FPGA。SP3A 的优势在于具有同系列 FPGA 中最大的 IO 密度(同等逻辑容量产品中 IO 最多),能支持最多的 IO 标准(26 种差分 and 单端 IO 标准)等,是要求宽接口或多种桥接、差分信号和存储器接口功能应用的理想选择。

Spartan-3 系列性价比很高,是目前 Xilinx 公司销售量最大的产品系列,下面我们将逐一介绍该系列各类型 FPGA 的特点。

2.1.1 Spartan-3 型 FPGA

SP3 借助于 90nm 工艺实现了最低的单位逻辑成本(CPL),满足了业界对大批量、I/O 可优化 FPGA 解决方案的需求。SP3 器件提供最多 500 万个标准系统门(XC3S5000)用以满足用户对大逻辑容量的需求;提供最多 784 个单端 I/O、最多 344 个差分 I/O 对,并辅以 XCITE 数控阻抗(DCI)技术,通过阻抗映射实现每个 Bank 的 IO 阻抗独立可配置,使 SP3 的 IO 特性灵活稳定。

SP3 使用了和 Virtex-II 类似的 8 层金属工艺,提供了更高的逻辑密度和更多的特性,通过在单个器件上集成多种功能,降低了整体系统成本。SP3 架构组合了逻辑、存储器、数学、处

理器、I/O 和系统管理,实现了广泛的应用,其架构特性有:

(1) 可配置逻辑块(CLB)

SP3 最主要的结构是可配置逻辑块(Configurable Logic Blocks, CLB),通过软件程序配置 CLB 可以实现各种同步或异步逻辑。每个 CLB 包含 4 个 SLICE:2 个 SLICEM(包含分布式 RAM 和逻辑)、2 个 SLICEL(仅包含逻辑)。CLB 具有宽输入函数配置,每个 CLB 中可实现 16:1 多路复用器。考虑到用户对数学算法的需求(主要是对加法类算法),SP3 的每列 CLB 有 2 个先行进位链,方便实现快速数学运算函数。每个 CLB 还可以配置成为 4 个 16 bit 可寻址移位寄存器(SRL16),并支持级联构成更复杂的移位寄存器逻辑。CLB 内部通过开关矩阵进行的普通布线,实现了局部布线最优化,再加上不同 CLB 之间的快速直接布线,实现了全局布线的最优化。

(2) 高速的嵌入式 Block RAM 与分布式 RAM

与 Xilinx 其它系列的 FPGA 一样,SP3 包含两种 RAM:Block RAM 和分布式 RAM(Distributed RAM)。SP3 含有最多 1.87 Mbit 的 Block RAM,主要应用于构造数据高速缓冲存储器、深的 FIFO 和缓冲器等。每个 Block RAM 均为 18Kbit,结构为真正双端口 RAM,包含两套完备的 36 bit 读写数据总线以及相应的控制总线。每块 Block RAM 均可被配置为单端口 RAM(最大带宽为 72 bit)或双端口 RAM(最大带宽为 36 bit),并支持级联,可级联多达 104 个同步 18 Kbit Block RAM。SP3 的 Block RAM 支持多种纵横比、多种数据带宽转换,并支持奇偶性操作。

由于使用 Distributed RAM 会大量消耗逻辑资源,SP3 含有的 Distributed RAM 数量远少于 Block RAM,最多有 520 Kbit。由于 Distributed RAM 对位宽的最小需求是 1bit,对存储深度的最小要求是 16 单元(地址线 4 位),因此 Distributed RAM 主要用于构建具有灵活尺寸的存储器、FIFO 与缓冲器,如控制信号传递、令牌等。SP3 的每个 LUT 都可作为单端或双端 RAM/ROM 使用,如果有必要,LUT 也可以级联构成更大的存储器。

(3) 乘法器

乘法器是构建 DSP 结构必不可少的,SP3 的乘法器可以用来实现简单的算法与算术功能,以及超过每秒 3300 亿 MAC 运算的高级 DSP 功能。SP3 含有最多 104 个 18×18 嵌入式乘法器,支持 18 位有符号或 17 位无符号应用,并支持级联,从而实现更宽位的乘法操作。通过与 SP3 片上存储器(Block RAM 或 Distributed RAM)协同工作,并辅助以相适应的逻辑单元,可以非常方便地构建灵活的乘加移位一体化单元,从而建立最贴近 DSP 算法的体系结构。逻辑单元乘法器可通过用户的算法(如 Baugh-Wooley,Booth 与 Wallace 树)来实现,也可以通过 Xilinx CORE Generator 工具使用 Xilinx 提供的通用乘法器。

(4) 数字时钟管理器(DCM)

从 SP3 开始,Xilinx 将以往的数字锁相环(DLL)升级为数字时钟管理器(DCM),为用户提供了更优秀的时钟控制单元。SP3 最多包含四个最大输出时钟为 325 MHz 的 DCM,提供了完善的数字时钟管理,不受系统抖动、温度、电压变化和其他集成到 FPGA 中的 PLL 常见问题的影响,可以很灵活地产生从 18 MHz~325 MHz 的输出时钟,并且保证抖动小于 100 ps。DCM 不但保留了 DLL 的 0、90、180、270 度固定相移输出,还增加了 CLKFX 输出,通过整数倍乘和除法参数,可输出更多频率的时钟,并通过求积控制和精确相移控制,获得良好的增益控制($1/256$ 时钟周期),用于时钟数据同步。SP3 的 DCM 具有温度补偿,可根据工作温度的

变化调整生成时钟的锁相机制,不但使得相移和倍频精度更高,还有助于精确生成 50/50 占空比的时钟系统。

(5) 完善的 IO 系统

SP3 支持 23 种不同的单端与差分 I/O 标准。支持的单端标准包括:LVTTL、LVCMOS 3.3/2.5/1.8/1.5/1.2、PCI 3.3V、SSTL2 I 和 II 级、SSTL1.8 I 级、HSTL I 和 III 级、HSTL1.8 I、II 和 III 级、GTL、GTL+, 当作为单端 IO 使用时,SP3 可以支持目前主流的内存接口包括 DDR(最高支持 166 MHz)和 DDR2(最高支持 166 MHz)。支持的差分标准包括:LVDS2.5、Bus LVDS2.5、Ultra LVDS2.5、LVDS_ext2.5、RSDS、LDT2.5,差分信号具有比单端信号更高的性能,主要表现在:每个引脚可以提供更高的 I/O 性能、更低的 I/O 成本和总成本、低输出电压摆幅、更高的噪声抵抗能力和较低的功耗,还可以降低 EMI,当作为差分使用时,每对管脚的最大传输速率为 622 MHz。

(6) XCITE 数控阻抗技术(DCI)

为保持信号完整性,需要 I/O 终端负载匹配,对于有数百 I/O 和采用大容量封装技术的 FPGA 器件来说,外部终端匹配电阻方式不再可行。SP3 继承了 Virtex-II 的 DCI 技术,即将每个 Bank 的 DCI 管脚连接相应的电阻,通过阻抗映射技术使该 Bank 的 IO 具有一定的阻抗匹配,效果就像每个 IO 上都进行了终端负载匹配。XCITE 技术动态消除了由于工艺、温度和电压波动所导致的驱动强度变化,节省了 PCB 板面积,也方便了布线。XCITE DCI 技术的优点在于:

- 节约成本,更少的匹配电阻和 PCB 布线保证了更小的电路板面积,使 PCB 成本更低;
- 任意 I/O 支持任意终端阻抗匹配的方式提高了 IP 的灵活性;
- 更小的振铃和反射保证了 IO 的眼图扩大,从而使 I/O 带宽更大;
- 温度和电压变化会导致严重的阻抗不匹配,XCITE 技术动态调整片上阻抗,使 IO 匹配适应此类变化,从而提高了可靠性。
- 由于 IO 上不存在实体匹配阻抗,即封装引脚与电阻器间没有距离,所以消除了线端反射,改善了分离终端带来的驻波;
- 减少电路板上的器件,尤其是分立元件,提高了可靠性。

(7) 丰富的 IP 核支持

Xilinx 公司及其合作伙伴为 SP3 提供了数百个 IP 核和参考设计,例如:PCI/PCIX/PCIe、LVDS 高速差分接口、8B10B 编解码、前向纠错和高性能接口等,并支持向下兼容,保证 IP 具有从前几代 Spartan 设计中进行移植的能力,保证对用户以前的设计进行最大程度的继承。特别需要注意的是,SP3 支持 32 位 MicroBlaze 与 8 位 PicoBlaze 软处理器核。

SP3 型 FPGA 提供了广泛的 I/O 和密度选项,以突出的性价比被众多市场(如消费类、数字视频、工业、医疗、通信和计算机等)所采用。

2.1.2 Spartan-3E 型 FPGA

2005 年 3 月 10 日,Xilinx 通过市场对 Spartan-3 型 FPGA 的反馈,进一步优化逻辑密度,调整各种资源配比,降低单位密度价格,推出了 Spartan-3E 型 FPGA,其主要的竞争对手可能是 Altera 公司的 CycloneII 型 FPGA。Xilinx 认为 SP3E 比 SP3 具有更好的结构,但很明显 SP3E 更关注于对 FPGA 容量需求较小的系统,功能覆盖面也没有 SP3 广,因此 SP3E 更适合