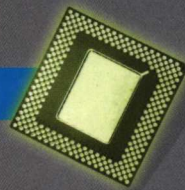


嵌入式系统开发技术丛书

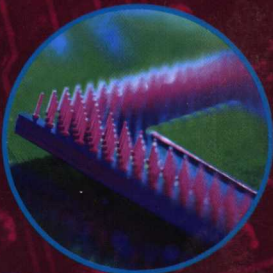
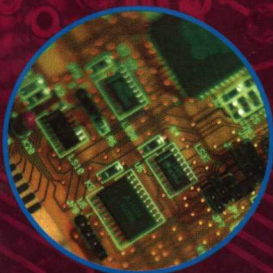


ASIC

芯片设计

从实践到提高

池雅庆 廖峰 刘毅 编著
杨银堂 主审



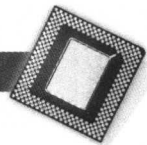
- 以大型项目开发的讲解为主线，完整、清晰地介绍了ASIC芯片设计的全部流程和EDA工具的使用方法，具有很强的实用性和指导性
- 详细介绍了ASIC设计的仿真验证及综合技术、布局布线技术、集成电路设计语言Verilog HDL和VHDL等知识，具有很强的专业性和典型性
- 理论与实践紧密结合，是从事ASIC芯片设计的初学者、高等院校相关专业学生的理想参考书



中国电力出版社

www.infopower.com.cn

嵌入式系统开发技术丛书



ASIC

芯片设计

从实践到提高

池雅庆 廖峰 刘毅 编著
杨银堂 主审



中国电力出版社

www.infopower.com.cn

内 容 简 介

本书结合具体的实例,对 ASIC 芯片设计开发的整个流程及各个阶段所使用的 EDA 工具进行了系统地介绍。全书共 8 章,分为 4 个部分:第 1 部分介绍了 ASIC 的基础知识和目前广泛应用的 EDA 工具;第 2 部分分别介绍了两种常用的集成电路设计语言 Verilog HDL 和 VHDL;第 3 部分详细地阐述了 ASIC 设计的仿真验证及综合技术;第 4 部分主要介绍了布局布线技术。

本书既阐述了 ASIC 设计的基本理论,又结合实际工程项目,给出了一些具体的例子,适合初学 ASIC 开发的技术人员阅读,也可作为高等院校相关专业本科生和研究生学习 ASIC 系统开发的参考书。

图书在版编目(CIP)数据

ASIC 芯片设计从实践到提高 / 池雅庆, 廖峰, 刘毅编著. —北京: 中国电力出版社, 2007.6

(嵌入式系统开发技术丛书)

ISBN 978-7-5083-5378-4

I. A… II. ①池…②廖…③刘… III. 集成电路-电路设计 IV. TN402

中国版本图书馆CIP数据核字(2007)第053922号

责任编辑: 夏花香

责任校对: 崔燕菊

责任印制: 李文志

书 名: ASIC 芯片设计从实践到提高

编 著: 池雅庆 廖峰 刘毅

出版发行: 中国电力出版社

地址: 北京市三里河路 6 号 邮政编码: 100044

电话: (010) 68362602 传真: (010) 68316497

印 刷: 航远印刷有限公司

开本尺寸: 185 × 260 印 张: 15.5 字 数: 372 千字

书 号: ISBN 978-7-5083-5378-4

版 次: 2007 年 6 月北京第 1 版

印 次: 2007 年 6 月第 1 次印刷

印 数: 0001—4000

定 价: 26.00 元

敬告读者

本书封面贴有防伪标签,加热后中心图案消失

本书如有印装质量问题,我社发行部负责退换

版 权 专 有 翻 印 必 究

这是一个令人激动的时代，嵌入式系统的应用深入到了整个社会。环顾四周，总会发现嵌入式系统正在深刻地改变着我们的生活。十年前，一个数字寻呼机就能彰显用户的身份，而如今，手机已经成为我们生活的必备品，不仅能打电话和发短信，还能拍照片、玩游戏、看电影；十年前，我们得冲洗胶卷后才能看到拍摄的相片，发现拍摄的失误时往往已经为时已晚，十年后的今天，数码相机已经深入到每个家庭，它不仅可以让我们的马上看见拍摄的照片，而且不使用胶卷，数字信息也更易于传递。这一切的变化，都得益于嵌入式系统发展所起的举足轻重的作用。

► 关于嵌入式系统

嵌入式系统是一种专用的计算机系统，它根据应用要求，把相应的计算机直接嵌入到应用系统中。嵌入式系统涉及到了当前信息技术最新成果的方方面面，融合了计算机软/硬件技术、通信技术、半导体微电子技术等，设计与制造相当不易。嵌入式系统的重要性与日俱增，而这方面的人才却十分紧缺。

► 丛书的内容

本丛书包括 ARM 系统开发、ASIC 芯片设计、嵌入式系统无线互联、FPGA 应用开发、SoC 系统开发和 DSP 应用开发 6 个专题，共分 6 本书。每本书以一个或几个案例为基础展开，并提供了大量的源代码，便于读者学习和使用。

► 丛书特点

在编写本丛书的过程中，力求以简明扼要的语言，重点突出地描述清楚基本概念和开发流程。在本丛书的内容中，融入了作者以往的研发经验和科研工作实例。通过案例分析与设计，逐步完成某个完整嵌入式系统的设计。案例剖析不仅能够提高读者的阅读兴趣，克服对复杂问题的恐惧心理，而且能够使设计思想与设计过程更容易理解，帮助读者尽快上手训练。

► 作者优势

我们组织了在嵌入式领域具有长期开发经验的研究人员与工程师编写了本套丛书，他们都有丰富的电子产品研发编程经验，在专业期刊上发表过很多学术论文，在实际开发过程中积累了丰富的项目实践经验，相信他们提供的应用方法和技巧能有效地帮助读者提高实际操作能力。

► 读者对象

本丛书可作为有关科学研究与产品开发人员的工作学习参考书，也可作为高等院校相关专业本科生与研究生的教学参考书。

► 其他声明

尽管作者做了很大努力，但限于水平和时间，错误和不妥之处在所难免，敬请读者批评指正，我们的联系方式是 liu_chi@cepp.com.cn。同时希望各行业从事嵌入式系统及相关技术工作的专家、学者、工程技术人员借此机会积极参与图书的选题开发和编写工作，将您在工作实践中获得的丰富经验总结出来，共同推进我国嵌入式系统技术的发展！

丛书编委会

2007年5月

前 言

从 20 世纪 50 年代末开始,电子技术的发展进入了集成电路发展的新时期,随着集成电路技术的发展,无论是在通信、汽车电子、自动化控制系统,还是在一般的仪器仪表、玩具电路等领域,集成电路都得到了广泛地应用,集成电路技术已成为现代高科技发展的基础。在这种情况下,专用集成电路(ASIC)技术应运而生,专用集成电路能够降低设备的价格和功耗,提高设备可靠性,减小体积,减轻重量,它为电子设备和电子线路的设计方法提出了重大的变革。近几年来,专用集成电路在国外发展很快,在国内也受到了很大程度的重视,国家也在不断地加大投入,培养专用集成电路设计人员。专用集成电路的设计已成为电子系统设计人员必须掌握的知识。

本书基于一个实际项目的开发,涵盖了 ASIC 的前端设计、功能验证、综合仿真以及最后的版图设计、布局布线等技术,让读者对 ASIC 设计的整个流程有一个整体的认识,并对广泛使用的 EDA 工具及其使用方法进行了比较详细的叙述,希望对进行 ASIC 设计的技术人员和广大学生有一定程度的启发。

本书深入浅出,通俗易懂,理论与实践紧密结合,适合作为 ASIC 的初学者进行 ASIC 设计的入门指导书,也适合作为一般的工程技术人员进行设计时的参考书。

本书得以出版要感谢西安电子科技大学副校长、博士生导师杨银堂教授的大力支持。全书由池雅庆博士主编,廖峰和刘毅教授编写,李建伟、王青松和郭晋亮参与了本书的统稿工作,杨银堂教授对本书的技术部分进行了审校,在此一并致谢。

限于作者水平和时间,书中难免存在疏漏之处,敬请广大读者批评指正。

作 者

2006 年 3 月于西安

目 录

丛书序

前 言

第 1 章 ASIC 简介	1
1.1 ASIC 的发展	1
1.2 ASIC 的类型	2
1.3 ASIC 设计流程	2
第 2 章 常用 EDA 工具的使用方法	5
2.1 FPGA 设计工具——Quartus II	5
2.1.1 Altera 产品简介	5
2.1.2 Quartus II 软件概述	6
2.1.3 Quartus II 的用户界面	7
2.1.4 Quartus II 的设计流程及使用方法	7
2.2 FPGA 设计软件——ISE	14
2.2.1 Xilinx 产品介绍	14
2.2.2 ISE 概述	16
2.2.3 ISE 的设计流程	17
2.3 ModelSim 仿真工具	25
2.3.1 ModelSim 概述	25
2.3.2 ModelSim 的用户界面	25
2.3.3 ModelSim 仿真流程	26
2.4 高效综合软件——Synplify/Synplify Pro	32
2.4.1 Synplify/Synplify Pro 的功能特点	32
2.4.2 Synplify Pro 的用户界面	32
2.4.3 Synplify Pro 综合流程	33
2.5 Synopsys 综合工具——Design Compiler (DC)	39
2.5.1 DC 的功能和特点	39
2.5.2 DC 的用户界面	40
2.5.3 DC 的综合流程	40
2.6 Cadence 仿真工具——NC-Verilog	41
2.6.1 NC-Verilog 概述	41
2.6.2 NC-Verilog 的用户界面	42
2.6.3 NC-Verilog 的仿真过程	45
第 3 章 Verilog HDL 语言基础	50
3.1 Verilog HDL 的基本结构	50

3.1.1	模块	50
3.1.2	行为描述与结构描述	51
3.2	数据类型	52
3.2.1	线网类型 (Net-type)	52
3.2.2	寄存器类型 (Register-type)	55
3.3	参数定义、宏替换及模拟时间单位的定标	58
3.3.1	参数定义语句 parameter	58
3.3.2	宏替换'define	59
3.3.3	模拟时间定标'timescale	59
3.4	操作符	60
3.4.1	算术操作符	61
3.4.2	关系操作符	63
3.4.3	相等关系操作符	63
3.4.4	逻辑操作符	63
3.4.5	按位操作符	64
3.4.6	归约操作符	64
3.4.7	移位操作符	65
3.4.8	条件操作符	65
3.4.9	连接操作符	66
3.5	Verilog HDL 行为描述	66
3.5.1	块语句	66
3.5.2	赋值语句	67
3.5.3	高级程序语句	69
3.5.4	任务与函数	71
3.6	Verilog HDL 结构描述	72
3.6.1	门级描述	72
3.6.2	开关级描述	74
3.7	Verilog HDL 的编码风格	75
3.8	实例分析	79
3.8.1	简单的组合逻辑设计	80
3.8.2	简单时序逻辑电路的设计	81
3.8.3	利用条件语句实现较复杂的时序逻辑电路	82
3.8.4	利用有限状态机进行复杂时序逻辑的设计	84
3.8.5	利用状态机的嵌套实现层次结构化设计	90
第4章 VHDL 语言基础		95
4.1	VHDL 程序结构	95
4.1.1	实体 (Entity) 说明	95
4.1.2	结构体 (Architecture)	96
4.1.3	块语句结构 (Block)	97
4.1.4	进程 (Process)	97
4.1.5	子程序 (Subprogram)	98
4.1.6	配置 (Configuration)	100
4.1.7	包集合 (Package)	101

4.1.8	库 (Library)	101
4.2	VHDL 语言要素及其分类	102
4.2.1	VHDL 数值表示规则	102
4.2.2	标识符	103
4.2.3	VHDL 数据对象	104
4.2.4	VHDL 预定义数据类型	105
4.2.5	VHDL 用户自定义数据类型	109
4.2.6	VHDL 数据类型转换	110
4.2.7	VHDL 运算操作符	111
4.3	VHDL 语法基础	112
4.3.1	VHDL 顺序语句	112
4.3.2	VHDL 并序语句	119
4.4	实例分析	124
第 5 章	验证技术	131
5.1	验证的策略和手段	131
5.1.1	验证流程	131
5.1.2	验证的策略	131
5.1.3	验证的手段	133
5.2	构建测试平台 (Testbench)	136
5.2.1	Testbench 概述	136
5.2.2	结构化的 Testbench	137
5.3	仿真技术	138
5.3.1	前仿真	138
5.3.2	后仿真	139
5.4	静态时序分析 (STA)	141
5.4.1	STA 概述	141
5.4.2	STA 的类型	143
5.4.3	PrimeTime 简介	144
5.4.4	PT 命令简介	149
5.4.5	用 PT 做静态时序分析的步骤	150
5.5	实例分析	151
第 6 章	综合技术	162
6.1	面向综合的代码编写	163
6.2	综合的目的和流程	164
6.3	操作对象与基本设置	167
6.3.1	综合对象属性设置	167
6.3.2	环境设置	169
6.4	综合约束、策略及优化技术	172
6.4.1	环境约束	172
6.4.2	时序约束与面积约束	176
6.4.3	综合策略与优化技术	181
6.5	综合后处理	185
6.6	实例分析——数字信号处理器 (DSP) 的综合	187

第 7 章	FPGA 验证技术	190
7.1	FPGA 的基本结构	190
7.1.1	Xilinx 公司产品结构	190
7.1.2	Altera 公司产品结构	194
7.2	FPGA 验证流程	198
7.2.1	设计输入	198
7.2.2	功能验证	199
7.2.3	综合	201
7.2.4	布局布线	202
7.2.5	时序验证	203
7.2.6	下载并进行板级调试	203
7.3	FPGA 设计的指导原则	203
7.3.1	面积和速度平衡原则	203
7.3.2	硬件原则	204
7.3.3	系统原则	205
7.3.4	同步设计原则	206
7.4	实例分析	206
第 8 章	ASIC 版图设计技术	210
8.1	版图设计流程	210
8.1.1	数据的准备与导入	210
8.1.2	建立布图规划与布局	216
8.1.3	生成时钟树	220
8.1.4	布线	221
8.1.5	设计规则检查 (DRC) 与版图电路关联检查 (LVS)	222
8.2	布局布线工具 Silicon Ensemble (SE)	224
8.2.1	Silicon Ensemble (SE)	224
8.2.2	SoC Encounter	225
8.3	实例分析	230

ASIC 简介

1.1 ASIC 的发展

ASIC 是专用集成电路 (Application Specific Integrated Circuit) 的简称, 指应特定用户要求或电子系统的需要而设计、制造的集成电路。数字系统设计正朝着高速度、大容量、小体积、低功耗的方向发展, 面对日益复杂的电子系统, 电子设计自动化 (EDA) 工具提供了“自顶向下”的设计方法, 而硬件描述语言 (HDL) 的出现为 EDA 技术的发展奠定了坚实的基础, 给电子系统硬件设计领域带来了一场革新。集成电路技术和 EDA 工具的发展促成了专用集成电路的出现。尽管在集成电路发展初期就已着手探索以阵列方式排布门电路或改变母片上的互连引线来获得不同功能的集成电路产品, 但是, 直到 20 世纪 80 年代初期, 集成电路技术和 EDA 技术日趋成熟时, ASIC 产品才开始步入市场。ASIC 芯片的问世, 使得系统的关键电路可以用一片或几片专用集成电路实现, 极大地提高了系统的设计效率、性能、灵活性和通用性, 并且具有高可靠性和保密性的优点, 同时减小了系统的体积和重量, 降低了功耗。随着 EDA 技术的发展, 应用范围超出了数字系统, 已应用到了模拟电路和数模混合电路的电子系统设计, 真正实现了电子系统设计自动化。目前, ASIC 产品在逻辑电路领域内已占有超过 50% 的市场份额。

随着集成电路技术的迅猛发展, 当一个电子部件甚至一个系统可以集成在一个半导体芯片上的时候, 部件的功能设计和芯片的物理设计就越来越难以分离, 就半导体集成电路工艺技术而言, ASIC 似乎没有引入任何新的原理或新的概念, 然而 ASIC 却造成了电子系统和集成电路设计概念上的根本变革。ASIC 的设计涉及从电子系统到集成电路制造的整个过程。ASIC 设计师应当具有逻辑抽象、电路技术、器件物理、加工工艺等方面的综合知识。电子系统设计是和集成电路工程在先进的 CAD 工具协助下实现合作的, 是克服知识缺陷、实现高质量 ASIC 设计的关键。

最近十几年来, 大规模 (LSI) 和超大规模集成电路 (VLSI) 技术发展很快, 集成度和性能价格比都得到了不断地提高, 例如广泛用于计算机结构中的微处理器、存储器, 在数据处理能力、运算速度和集成度上都有了很大程度的提高, 而芯片面积却没有显著的增大。有了高质量、高性能的微处理器和存储器, 针对一些特定的用途, 又派生出许许多多的新

电路，其中大部分就是 ASIC 产品。例如数字信号处理器（DSP）、专用 DRAM 以及用于通信方面的各种电路等。

超大规模集成电路设计技术的发展主要体现在以下几个方面：一是器件尺寸按比例进行缩小；二是器件缩小后新的物理机制和理论模型的建立；三是计算机辅助设计（CAD）技术的进步。近年来，CAD 工作站的性能在不断地提高，为 VLSI 电路设计带来了极大的方便。在各种 EDA 软件的支持下，许多工作站都能够提供完整的元器件原理图设计、仿真模拟、布局布线设计以及版图的编辑检查等功能。

总之，大规模通用集成电路正在向专用集成电路发展，设计、制造、测试等方面的自动化程度越来越高，高速度、高频率、高功率、大数据处理量、低功耗和耐高压的集成电路产品也在不断研究发展之中。

1.2 ASIC 的类型

按设计方法不同，ASIC 可分为全定制和半定制两类。全定制是基于芯片级的设计方法，设计师使用版图编辑工具，从晶体管的版图尺寸、位置及互连线开始亲自设计，以得到面积利用率高、速度快、功耗低的 ASIC 芯片，但这种方法的设计周期长、费用高，适合于如 CPU 等大批量的 ASIC 芯片的设计。半定制是一种简化设计、缩短设计周期、提高芯片成品率的约束性设计方法。半定制 ASIC 分为掩膜 ASIC 和可编程 ASIC，可编程 ASIC 是指由用户编程实现所需功能的专用集成电路，最具代表性的是 FPGA（现场可编程逻辑阵列），它与掩膜 ASIC 相比，具有研制周期短、成本低、设计灵活等特点，近年来发展迅速，已在国内外的计算机硬件、工业控制、智能仪器仪表、数字电路系统、家用电器等领域得到广泛应用，并成为 20 世纪 90 年代电子产品设计变革的主流器件。

1.3 ASIC 设计流程

集成电路的设计方法可以分为自底向上和自顶向下两种基本方法。自底向上的方法是充分利用工艺特性和电特性都相当成熟的典型基本电路单元，自底向上地综合设计出各种芯片产品的过程。而自顶向下的方法是从系统级开始，然后通过各种 EDA 工具，实现逻辑级的设计，最后直到物理级的设计，并生成相应的版图。一个典型的基于模块的自顶向下的 ASIC 设计流程一般可以分为四部分：算法建模、RTL 编码、综合和版图设计。设计框图如图 1-1 所示，如果把设计流程看成一个黑盒子，那么它的输入就是规格的制定，而输出就是 GDS II 文件，其中流程图的右边列举出了每个过程常用的语言和 EDA 工具。

ASIC 设计的第一步是给出一个清晰的系统规范。该规范应写明系统的功能、性能、费用和开发时间等。

接下来就要创建一个系统行为模型。该模型实现了规范要求的功能，并且可以用来初步验证设计的性能。建立完模型之后，需要对这个模型进行细化，即进行算法设计。算法包括浮点数算法和定点数算法。算法确定以后，要进行详细的架构设计。最后要进行软硬件的划分。在建立模型的时候，需要一系列激励作为测试向量，实现对整个流程的所有功能验证；同时，还要考虑到模型与实际硬件之间可能产生的不匹配情况。

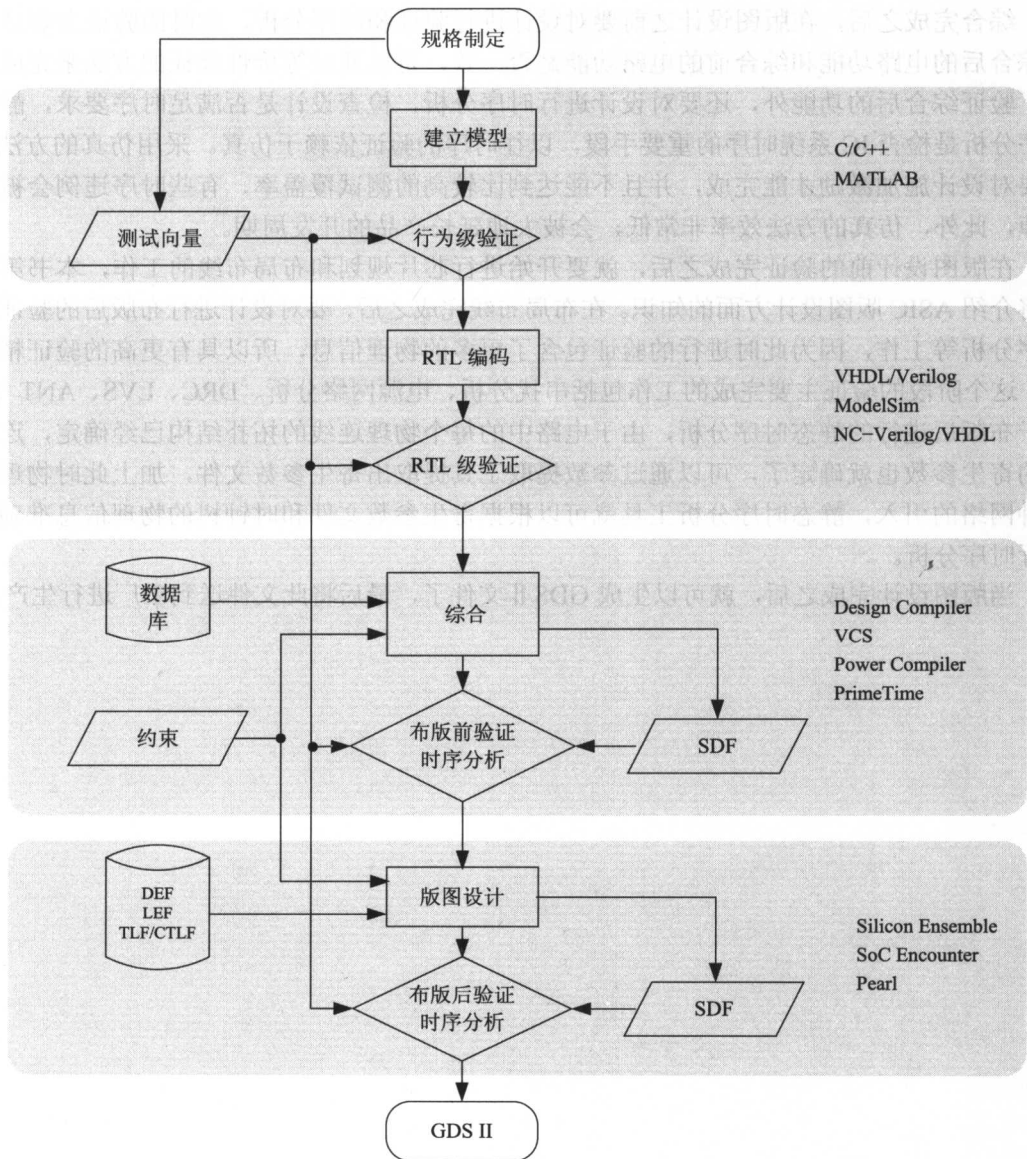


图 1-1

RTL 编码是将设计思想转换为电路实现的步骤。在现阶段，设计者主要用 Verilog HDL 与 VHDL 进行 RTL 实现。一般而言，在业界 Verilog HDL 更常用，在学术界 VHDL 更流行。进行 RTL 设计时，要考虑到性能、面积、可复用性、易读性、可测性、功耗等诸多因素。在本书的第 3 章和第 4 章将分别讲述 Verilog HDL 和 VHDL 的一些基本知识。

在 RTL 编码完成后，要对 RTL 代码实现的功能进行验证，这就需要构建测试平台（Test-bench），并通过添加测试向量来对其进行验证。本书的第 5 章将通过实例对验证技术进行讲解。

在 RTL 验证通过以后，就可以利用逻辑综合工具生成门级网表。综合可以分为逻辑综合和物理综合。逻辑综合的结果没有芯片规划（Floorplan）的信息，而物理综合是在芯片规划之后重新进行综合的。第 6 章将对综合的原理和流程等方面的一些知识进行说明。

综合完成之后，在版图设计之前要对设计进行验证和时序分析，此时的验证主要是比较综合后的电路功能和综合前的电路功能是否一致，可以通过等价性验证的方法来完成。除了验证综合后的功能外，还要对设计进行时序分析，检查设计是否满足时序要求，静态时序分析是检查 IC 系统时序的重要手段。以往时序的验证依赖于仿真。采用仿真的方法，需要对设计施加激励才能完成，并且不能达到比较高的测试覆盖率，有些时序违例会被忽略掉，此外，仿真的方法效率非常低，会被大地延长产品的开发周期。

在版图设计前的验证完成之后，就要开始进行芯片规划和布局布线的工作，本书第 8 章将介绍 ASIC 版图设计方面的知识。在布局布线完成之后，要对设计进行布版后的验证和时序分析等工作，因为此时进行的验证包含了更多的物理信息，所以具有更高的验证精确度，这个阶段的验证主要完成的工作包括串扰分析、电源网络分析、DRC、LVS、ANT 等。对于布版后进行的静态时序分析，由于电路中的每个物理连线的拓扑结构已经确定，连线上的寄生参数也就确定了，可以通过参数提取工具提取出寄生参数文件，加上此时物理级时钟网络的引入，静态时序分析工具就可以根据寄生参数文件和时钟树的物理信息准确地进行时序分析。

当版图设计完成之后，就可以生成 GDS II 文件了，最后将此文件送到工厂进行生产。

常用 EDA 工具的使用方法

2.1 FPGA 设计工具——Quartus II

2.1.1 Altera 产品简介

1. Altera 公司简介

Altera 公司于 1983 年由 Robert Hartman、Michael Magranet、Paul Newhagen 和 Jim Sansbury 共同创立，总部位于美国加州的圣何塞。通过对半导体行业的仔细调查分析，他们发现使用用户可编程的和标准的产品来替代门阵列将使客户从中获得收益。针对这样一种市场需求，该团队成功开发了第一个可重复编程的逻辑器件，第一款商业化的 Altera PLD，即 Classic。在 1988 年和 1992 年，Altera 又分别推出了基于乘积项的 MAX 构架和基于查找表（LUT）的 FLEX 构架，进一步拓展了它在行业中的技术领先地位。通过其最近推出的更新、更强大和更高效的 Quartus II 开发系统和广泛的 IP 功能，Altera 再次证明其继续走在可编程系统级芯片（SOPC）时代的前沿。Altera 向全世界近 14 000 家客户提供了超值的可编程解决方案。

2. Altera 产品

Altera 提供了多种形式的可编程器件，包括 CPLD、FPGA 和结构化的 ASIC 等。下面对 Altera 公司目前常用的可编程器件系列进行简单的介绍。

(1) MAX 系列。MAX 系列是 Altera 公司开发的低成本、低功耗的 CPLD 器件，适用于便携式设备，包括 MAX 和 MAX II 两种型号，提供了瞬时接通、非易失、低密度的解决方案。常用于通信、计算机、消费电子、汽车、工业和许多其他终端系统中。

(2) Cyclone 系列。这个系列是 Altera 公司开发的 FPGA 器件，它从根本上针对低成本进行设计，具有低功耗的特点，包括了 Cyclone 和 Cyclone II 两种型号，这个系列的器件集成了片内存储器、低速率到中等速率 I/O，支持 Nios II 嵌入式处理器，Cyclone II 型号的器件还集成了嵌入式 18×18 DSP 乘法器。主要应用在通信、消费类电子、工业控制和汽车电子等领域。

(3) Stratix 系列。Stratix 系列的器件是 Altera 公司设计的高密度、高端 FPGA，是设计

完整的可编程芯片系统，其型号包括 Stratix、Stratix II 和 Stratix III。在这些器件中，除了集成嵌入式 DSP 模块、片内存储器、灵活的 I/O，Stratix II 和 Stratix III 还集成了 GX 收发器，除此之外，片上的高速外部接口支持 HardCopy 结构化 ASIC 无风险移植。

(4) HardCopy 系列。HardCopy 是面向大批量生产的低成本结构化 ASIC，可以实现从 Stratix 系列 FPGA 原型到结构化 ASIC 的无缝移植，相对于 Stratix 系列的 FPGA 原型器件，具有更低的功耗、更高的性能。这个系列包括 HardCopy 和 HardCopy II 两种型号。HardCopy 系列结构化 ASIC 具有独特的 FPGA 前端设计方法，实现了风险低、产品面市快的解决方案。

3. Altera 开发工具

Altera 提供了工业界快速的、适应能力强的软硬件开发工具。其中硬件开发工具包括各种开发板、接口和连线等。软件开发工具包括各种 FPGA 设计软件，其中比较常用的是 Quartus II 和 MAX+PLUS II，以及一些嵌入式设计软件，这些开发工具拥有能让用户方便易学的特性，容易整合开发环境。Altera 开发工具具有如下特点：

- 支持所有 Altera 器件系列。
- 支持多种平台，包括 Windows 98/2000/NT、Sun SPARCstation 及 HP 9000 Series 700/800。
- 支持多种语言，包括 VHDL、Verilog HDL 及 Altera Hardware Description Language (AHDL)。
- 支持与多种第三方厂家的 EDA 工具的无缝连接，例如 Mentor Graphics ModelSim、Cadence NC-Verilog、Synopsys VCS 等。

2.1.2 Quartus II 软件概述

Quartus II 是 Altera 公司推出的 CPLD/FPGA 开发工具，Quartus II 提供了完全集成且与电路结构无关的开发包环境，具有数字逻辑设计的全部特性，包括：

- 可利用原理图、结构框图、Verilog HDL、AHDL 和 VHDL 完成电路描述，并将其保存为设计实体文件。
- 芯片（电路）平面布局连线编辑。
- LogicLock 增量设计方法，用户可建立并优化系统，然后添加对原始系统的性能影响较小或无影响的后续模块。
- 功能强大的逻辑综合工具。
- 完备的电路功能仿真与时序逻辑仿真工具。
- 定时/时序分析与关键路径延时分析。
- 可使用 SignalTap II 逻辑分析工具进行嵌入式的逻辑分析。
- 支持软件源文件的添加和创建，并将它们链接起来生成编程文件。
- 使用组合编译方式可一次完成整体设计流程。
- 自动定位编译错误。
- 高效的期间编程与验证工具。
- 可读入标准的 EDIF 网表文件、VHDL 网表文件和 Verilog 网表文件。
- 能生成第三方 EDA 软件使用的 VHDL 网表文件和 Verilog 网表文件。

2.1.3 Quartus II 的用户界面

Quartus II 软件为设计流程的每个阶段提供 Quartus II 图形用户界面、EDA 工具界面以及命令行界面。可以在整个流程中只使用这些界面中的一个，也可以在设计流程的不同阶段使用不同界面。

利用图形用户界面，可以实现设计输入、约束输入、综合、布局布线、时序分析、仿真和编程等功能的操作。在 2.1.4 节讲述的设计流程中将介绍利用图形界面实现设计的过程。

Quartus II 软件允许在设计流程的不同阶段使用第三方 EDA 工具。可以与 Quartus II 图形用户界面或者 Quartus II 命令行可执行文件一起使用这些工具。Settings 对话框 (Assignments 菜单) 的 EDA Tool Settings 页面允许指定与 Quartus II 软件一起使用的 EDA 工具，如图 2-1 所示。

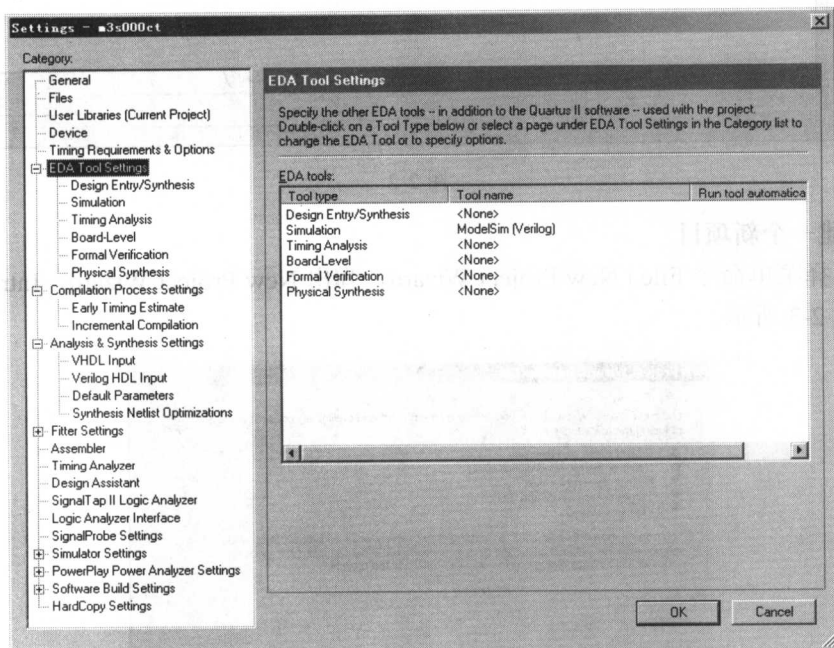


图 2-1

Quartus II 软件还提供全面的命令行界面解决方案。它允许使用命令行可执行文件和选项完成设计流程的每个阶段。使用命令行流程可以降低内存要求，并且可以使用脚本或标准的命令行选项和命令（包括 Tcl 命令）控制 Quartus II 软件。

2.1.4 Quartus II 的设计流程及使用方法

1. 启动

Quartus II 常用的两种启动方式：

- 双击桌面上的 Quartus II 快捷方式图标。
- 选择菜单命令“开始”|“所有程序”|Altera|Quartus II 5.1。

Quartus II 启动界面如图 2-2 所示。