

周明德 编著

嵌入式处理器

(x86系列)

应用编程

清华大学出版社



TP332/123

2007

周明德 编著

嵌入式处理器

(x86系列)

应用编程

清华大学出版社
北京

内 容 简 介

本书以 AMD 公司的 x86 系列嵌入式处理器 Geode LX 处理器为蓝本,介绍 x86 系列 32 位嵌入式处理器的应用编程。本书既介绍了 x86 系列 32 位处理器的工作方式、汇编语言程序设计、存储管理,又详细讲解了 Geode LX 处理器的指令系统及其主要外设接口,便于读者进行应用编程。

本书适合高等学校电子信息类学生以及希望了解和应用 32 位高档嵌入式处理器的科技人员使用,也可作为嵌入式处理器工程技术人员的参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13501256678 13801310933

图书在版编目(CIP)数据

嵌入式处理器(x86 系列)应用编程/周明德编著. —北京:清华大学出版社,2007.12
ISBN 978-7-302-15576-8

I. 嵌… II. 周… III. 微处理器—系统设计 IV. TP332

中国版本图书馆 CIP 数据核字(2007)第 097835 号

责任编辑:张瑞庆 林都嘉

责任校对:梁毅

责任印制:王秀菊

出版发行:清华大学出版社

<http://www.tup.com.cn>

c-service@tup.tsinghua.edu.cn

社总机:010-62770175

投稿咨询:010-62772015

地 址:北京清华大学学研大厦 A 座

邮 编:100084

邮购热线:010-62786544

客户服务:010-62776969

印 刷 者:北京密云胶印厂

装 订 者:三河市溧源装订厂

经 销:全国新华书店

开 本:185×260 印 张:22 字 数:507 千字

版 次:2007 年 12 月第 1 版 印 次:2007 年 12 月第 1 次印刷

印 数:1~4000

定 价:29.00 元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话:010-62770177 转 3103 产品编号:023096-01

目 录

嵌入式处理器 (x86系列) 应用编程

第 1 章 功能概要	1
1.1 通用描述	1
1.2 体系结构概要	1
1.2.1 CPU 核	2
1.2.2 GeodeLink 控制处理器	4
1.2.3 GeodeLink 接口单元	4
1.2.4 GeodeLink 存储器控制器	4
1.2.5 图形处理器	4
1.2.6 显示控制器	6
1.2.7 视频处理器	6
1.2.8 视频输入端口	7
1.2.9 GeodeLink PCI 桥	7
1.2.10 安全块	7
第 2 章 CPU 核	8
2.1 核处理器的功能结构	8
2.1.1 8086 的功能结构	8
2.1.2 80386 的功能结构	9
2.1.3 Geode LX 的功能结构	11
2.2 Geode LX 处理器的执行环境	11
2.2.1 操作模式	11
2.2.2 基本执行环境概要	11
2.2.3 存储器组织	13
2.2.4 基本的程序执行寄存器	16
2.2.5 系统寄存器集	23
2.2.6 x87 FPU 结构	27

2.2.7 CPU 核初始化	31
第 3 章 Geode LX 处理器的工作方式	33
3.1 实地址方式	34
3.2 保护虚拟地址方式	34
3.2.1 保护方式下的寻址机制	34
3.2.2 全局描述符表和局部描述符表	35
3.2.3 描述符	37
3.2.4 选择子	41
3.2.5 段描述符的高速缓冲寄存器	41
3.2.6 Geode LX 处理器中的特权级	42
3.2.7 任务切换	51
3.3 虚拟 8086 方式	55
3.3.1 虚拟 8086 方式的特点	56
3.3.2 虚拟 8086 方式下的 I/O 位图	58
3.3.3 进入和离开虚拟 8086 方式	60
3.3.4 虚拟 8086 方式的控制转移	61
第 4 章 Geode LX 的指令系统	63
4.1 基本数据类型	63
4.1.1 字、双字和四字的对齐	63
4.1.2 数字数据类型	64
4.1.3 指针数据类型	66
4.1.4 位字段数据类型	66
4.1.5 串数据类型	67
4.2 Geode LX 的指令格式	67
4.3 Geode LX 指令的操作数寻址方式	67
4.3.1 立即数	67
4.3.2 寄存器操作数	68
4.3.3 存储器操作数	68
4.3.4 I/O 端口寻址	72
4.4 CPU 核通用指令集	72
4.4.1 数据传送指令	73
4.4.2 算术运算	83
4.4.3 位和字节指令	96
4.4.4 移位和旋转指令	97
4.4.5 串操作指令	100
4.4.6 逻辑指令	105

4.4.7	控制传送指令	108
4.4.8	标志控制操作	113
4.4.9	段寄存器指令	114
4.4.10	杂项指令	114
4.4.11	系统指令	124
4.5	x87 FPU 指令	133
4.5.1	数据传送	133
4.5.2	基本算术指令	134
4.5.3	比较	135
4.5.4	超越	135
4.5.5	加载常数	135
4.5.6	x87 FPU 控制	136
第 5 章 汇编语言程序设计		137
5.1	汇编语言的格式	137
5.1.1	8086 汇编语言程序的一个例子	137
5.1.2	8086 汇编语言源程序的格式	138
5.2	语句行的构成	139
5.2.1	标记(Token)	139
5.2.2	符号(Symbol)	142
5.2.3	表达式(Expressions)	143
5.2.4	语句(Statements)	146
5.3	指示性语句(Directive Statements)	147
5.3.1	符号定义语句	147
5.3.2	数据定义语句	148
5.3.3	段定义语句	155
5.3.4	过程定义语句	161
5.3.5	结束语句	163
5.4	指令语句	163
5.4.1	指令助记符	163
5.4.2	指令前缀	164
5.4.3	操作数寻址方式	164
5.4.4	串操作指令	166
5.5	模块与建模	169
5.5.1	写与连接模块	169
5.5.2	段定义指示符	173
5.5.3	若干十分有用的模块	175
5.5.4	在模块之间传递参数	181

5.6	组合汇编语言与 C 程序	183
5.6.1	为什么是 C	183
5.6.2	插入汇编代码至 C 语言	183
5.6.3	C 程序调用汇编语言过程	185
5.7	使用 386、486 及以上处理器的 32 位寄存器的编程	190
5.7.1	使用 32 位寄存器	190
5.7.2	在 386/486 中,通用寄存器也可以作为指针	193
5.7.3	使用 32 位寄存器的汇编语言指示符	194
5.8	宏汇编与条件汇编	195
第 6 章	存储器	205
6.1	缓存(cache)	206
6.1.1	缓存组织	207
6.1.2	基本概念	212
6.1.3	cache 的读/写策略	213
6.1.4	高速缓存 cache 的一些问题	215
6.2	现代 RAM	216
6.2.1	内存条的构成	216
6.2.2	扩展数据输出动态随机访问存储器 EDO DRAM	217
6.2.3	同步动态随机访问存储器 SDRAM	218
6.2.4	突发存取的高速动态随机存储器 Rambus DRAM	220
6.3	只读存储器(ROM)	221
6.3.1	掩模只读存储器	221
6.3.2	可擦除的可编程序的只读存储器 EPROM	222
6.3.3	电可擦除的可编程序的 ROM(E ² PROM, Electrically Erasable Programmable ROM)	224
6.3.4	新一代可编程只读存储器 FLASH 存储器	225
6.4	虚拟存储器管理与 Geode LX 处理器的 MMU 单元	227
6.4.1	虚拟存储器概念	227
6.4.2	Geode LX 处理器的存储管理单元	231
6.5	GeodeLink 存储控制器	238
6.5.1	功能的硬件	239
6.5.2	电源控制	245
6.5.3	BIOS 初始化序列	247
6.6	GeodeLink 存储控制器寄存器描述	247
6.6.1	GLD 电源管理(GLD_MSR_PM)	249
6.6.2	刷新与编程(MC_CF07_DATA)	249
6.6.3	定时与模式编程(MC_CF8F_DATA)	252

6.6.4	特征启用(MC_CF1017_DATA)	254
6.6.5	时钟与调试(MC_CFCLK_DEBUG)	255
第7章	主要接口单元	258
7.1	GeodeLink 接口单元	258
7.1.1	MSR 集	258
7.1.2	GLIU 中几个主要的模型特定的寄存器	264
7.2	GeodeLink PCI 桥	271
7.2.1	GeodeLink 接口块	272
7.2.2	FIFO/同步块	272
7.2.3	前向处理块	272
7.2.4	PCI 总线接口块	274
7.2.5	PCI 仲裁器	275
7.2.6	异常处理	275
7.2.7	GLPCI 中几个主要的模型特定的寄存器	276
7.3	安全块	284
7.3.1	安全块功能	284
7.3.2	功能描述	285
7.3.3	安全块中几个主要的模型特定的寄存器	287
7.4	GeodeLink 控制处理器	300
7.4.1	TAP 控制器	301
7.4.2	复位逻辑	303
7.4.3	时钟控制	303
7.4.4	同伴设备接口	304
7.5	显示控制器	307
7.5.1	功能概要	309
7.5.2	VBI 数据	316
7.5.3	GenLock	316
7.5.4	VGA 块功能概要	316
7.5.5	图形伸缩/滤波器	320
7.5.6	彩色键消除	321
7.5.7	使用图形滤波器	323
7.5.8	隔行方式	323
7.5.9	隔行的时序举例	325
7.6	显示控制器寄存器描述	326
7.6.1	DC 通用配置	326
7.6.2	DC 显示配置	329
7.6.3	DC 水平与总的定时	331

7.6.4	DC CRT 水平消隐定时	332
7.6.5	DC CRT 水平同步定时	333
7.6.6	DC 垂直与总定时	333
7.6.7	DC CRT 垂直消隐定时	334
7.6.8	DC CRT 垂直同步定时	335
7.6.9	DC 帧缓冲器活动区域寄存器	335
7.6.10	DC 脏/有效 RAM 访问	336
7.6.11	DC 图形滤波伸缩	336
7.6.12	DC IRQ/滤波器控制	337
7.6.13	DC 滤波器系数数据寄存器 1	339
7.6.14	DC 滤波器系数数据寄存器 2	340

第 1 章

功能概要

1.1 通用描述

AMD Geode LX 处理器是完整的 x86 处理器,是为用于娱乐、教育和商业的功能强大的嵌入式设备而特别设计的,可以满足消费者和商业专业人员的需要。它是瘦客户机、交互式机顶盒、单板计算机和移动计算设备等嵌入式应用的杰出解决方案。

利用 1.2V 电压的核,可以使功耗变得极低,导致电池寿命更长、外形更小,可做到无风扇设计。

处理器核提供与大量的 Internet 设备的最大的兼容性,并具有若干其他功能,包括图形和视频的智能集成,提供了真正的系统级多媒体解决方案。

Geode LX 处理器的结构如图 1-1 所示。

1.2 体系结构概要

Geode LX 处理器可分成如图 1-1 所示的主要功能块。

- CPU 核。
- GeodeLink 控制处理器。
- GeodeLink 接口单元。
- GeodeLink 内存控制器。
- 图形处理器。
- 显示控制器。
- 视频处理器。
- TFT(Thin Film Transistor, 薄膜晶体管), 控制器/视频输出端口。
- 视频输入端口。
- GeodeLink PCI 桥。
- 安全块。

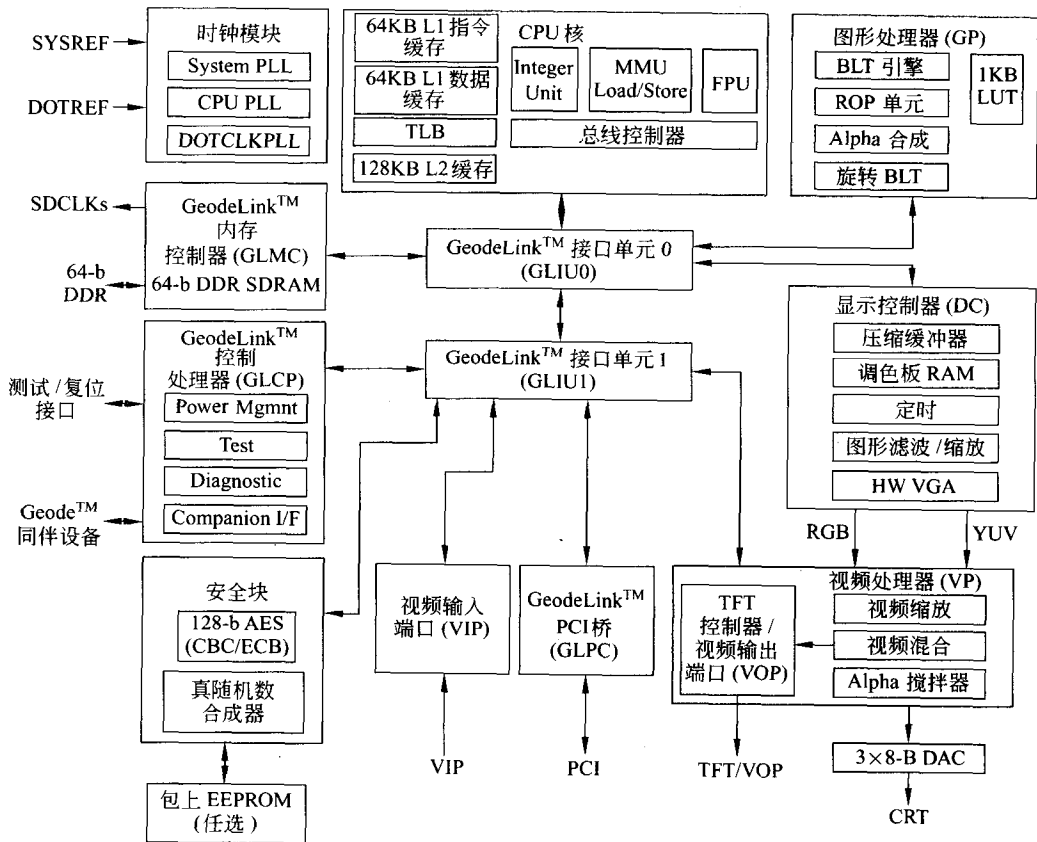


图 1-1 Geode LX 处理器内部结构图

1.2.1 CPU 核

x86 系列的 CPU 核由整数单元、缓存存储器子系统和与 x87 兼容的 FPU(浮点单元)组成。整数单元包括指令流水线和相关的逻辑。存储器子系统包括指令和数据缓存、转换查找缓冲器(TLB)及至 GeodeLink 接口单元(GLIU)的接口。

由核支持的指令集是 Intel Pentium、AMD-K6 微处理器和 Athlon FPU 与 Geode LX 处理器特定的指令的组合。

1. 整数单元

整数单元由 8 段流水线和所有必需的支持硬件组成,以保持流水线有效运行。整数单元中的指令流水线由 8 段组成。

- 指令预取——原始指令数据从指令内存缓存中取。
- 指令预译码——从原始指令数据中抽取前缀字节。此译码向前查找至下一指令。
- 指令译码——执行指令数据的全译码。把指令长度回送至预取单元,允许预取单元移位适当字节数,以到达下一条指令的开始。

- 指令队列——FIFO 包含译码的指令。允许指令译码继续下去,甚至流水线是停止向下流。在此阶段执行数据操作数地址计算的寄存器读。
- 地址计算#1——计算操作数数据的线性地址(若要求)和向数据内存缓存发出请求。微码能超越流水线且若多盒指令要求附加的数据操作数,在此处插入一微盒。
- 地址计算#2——操作数数据被返回(若要求)和若在缓存中找到操作数,设置执行阶段。在数据操作数地址上执行段界限检查,为设置至执行单元读 μ ROM。
- 执行单元——为算术或逻辑运算从寄存器和/或内存读取并馈至算术逻辑单元(ALU)。为从流线下来的第一条指令盒, μ ROM 始终工作。若指令要求多个执行单元阶段完成,微码能超越流水线和在此处插入附加的盒。
- 回写——执行单元阶段的结果写至寄存器文件或数据内存。

2. 内存管理单元

内存管理单元(MMU)把由整数单元提供的线性地址转换为物理地址,由缓存单元和内部总线接口单元使用。内存管理过程是与 x86 兼容的,坚持标准的分页机制。

MMU 也包含装入(load)/存储(store)单元,它有责任调度缓存和外部内存访问。此 load/store 单元合并了两个性能增强特性。

- load-store 重新排序——给由整数单元要求的读更高的优先权,它高于写至外部内存。
- 内存读旁路——用从执行单元得来的有效数据消除不必要的内存读。

3. 缓存和 TLB 子系统

CPU 核的缓存和 TLB 子系统,用指令、数据和转换的地址(当需要时)供给整数流水线。为支持指令的有效交付,缓存和子系统有单时钟访问的 64KB 16 路组相关的指令缓存和 16 项全相关的 TLB。当在保护模式时,此 TLB 执行必需的地址转换。对于数据,有 64KB 16 路组相关的回写缓存和 16 项全相关的 TLB。当指令或数据 TLB 有丢失时,有第二级统一的(指令和数据)64 项 2 路组相关 TLB,它用附加的时钟访问。当指令或数据缓存或 TLB 有丢失时,访问必须进至 GeodeLink 内存控制器(GLMC)进行处理。由允许对两种缓存的同时访问,使指令和数据缓存和它们相关的 TLB 的同时使用,从而全面地改进了整数单元的效率。

128KB 统一的 L2 缓存支持 L1 缓存。L2 缓存能配置为单独保持数据或指令或同时保持这两者。L2 缓存是四路组相关的。

4. 总线控制单元

总线控制单元提供从处理器至 GLIU 的桥。当由于缓存丢失,要求外部内存储器访问时,物理地址传递至总线控制单元,它转换周期为 GeodeLink 周期。

5. 浮点单元

浮点单元(FPU)是一流水线的算术单元,它执行 IEEE 754 标准的浮点运算。支持的指令集是 x87、MMX 和 3DNow! 的指令。FPU 是流水线机制,具有指令的动态调度以最小化由于数据依赖造成的停顿。它履行超出顺序的执行和寄存器改名。设计以支持

从整数核的每时钟的指令流出比。数据路径为单精度算术运算优化。扩展的精度指令在微码中处理和要求多遍通过流水线。有一执行流水线和一 load/store 流水线。这允许 load/store 操作与算术运算指令并行执行。

1.2.2 GeodeLink 控制处理器

GeodeLink 控制处理器(GLCP)用于复位控制、宏时钟管理和在 Geode LX 处理器中提供的调试支持。它包含 JTAG(Joint Test Action Group,联合测试动作组)接口和扫描链控制逻辑。支持芯片复位,包括启动 PLL(Phase Locked Loop,锁相环)控制和编程与运行时电源管理宏时钟控制。

JTAG 支持包括依从 IEEE 11491.1 的 TAP(Test Access Port,测试访问端口)控制器。通过在 TAP 控制器中的 JTAG 接口能得到 CPU 控制,并能访问所有的内部寄存器,包括核寄存器。通过此 JTAG 和 TAP 控制器接口支持电路内仿真(ICE)功能。

GLCP 也包括同伴设备接口。此同伴设备有若干独特的信号连接至此模块,以支持 Geode LX 处理器复位、中断和系统电源管理。

1.2.3 GeodeLink 接口单元

两个接口单元(GLIU0 和 GLIU1)一起构成从 GeodeLink 体系结构导出的内部总线。GLIU0 连接 5 个高带宽模块与第 7 个口连接至 GLIU1, GLIU1 连接 5 个低带宽模块。

1.2.4 GeodeLink 存储器控制器

GeodeLink 存储器控制器(GLMC)是在典型的 Geode LX 处理器系统中需要的所有存储器的源。GLMC 支持具有 64 位的数据总线及支持 200MHz、400MT/S DDR(双数据速率 RAM)。

需要存储器的模块是 CPU 核、图形处理器、显示控制器、视频输入端口和安全块。因为 GLMC 支持 CPU 核及显示子系统两者需要的存储器,典型的称为 UMA(统一的存储器体系结构)子系统。GLMC 也支持对主存储器的 PCI 访问。

存储器最多可有 4 个体,每个体中最多有 8 个设备,每个体最多支持 512MB。4 个体意味着在 Geode LX 处理器系统中,能用一个或两个 DIMM(Dual Inline Memory Module,双路存储器模块)或 SODIMM 模块。某些存储器配置在最大的设备数量上会有附加的限制。

1.2.5 图形处理器

Geode LX 处理器的图形处理器是支持模式生成、源扩展、模式/源透明、256 三重的光栅操作、支持 alpha BLT 的 alpha 混合、一体的 BLT FIFO、一个 GeodeLink 接口与具有能按照视频定时调整 BLT 能力的 BitBLT/向量引擎。它的主要功能及与其前任处理器(Geode GX)的比较,如表 1-1 所示。

表 1-1 图形处理器的特征

特 征	AMD Geode GX 处理器	AMD Geode LX 处理器
色深	8、16、32 位每像素 (bpp)	8、16、32 位每像素 (bpp) (A) RGB 4 位与 8 位索引
ROP	256(源、目的、模式)	256(2 路源、目的、模式)
BLT 缓冲器	在图形处理器中的 FIFO	在图形处理器中的 FIFO
BLT 分裂	由硬件管理	由硬件管理
视频同步的 BLT/向量	由 VBLANK 调整	由 VBLANK 调整
Bresenham 线	有	有
模式的(点画的)线	无	有
屏幕至屏幕 BLT	有	有
具有单色扩展的屏幕至屏幕 BLT	有	有
内存至屏幕 BLT	有(通过 CPU 写)	有(通过重复的 move 写)
加速的文本	无	无
模式尺寸(单色)	8×8 像素	8×8 像素
模式尺寸(彩色)	8×1(8 像素)	8×8 像素
	8×2(16 像素)	
	8×4(32 像素)	
单色模式	有	有(具有倒置)
抖动模式(4 种颜色)	无	无
彩色模式	8、16、32bpp	8、16、32bpp
透明模式	单色	单色
立体填充	有	有
模式填充	有	有
透明源	单色	单色
彩色键源透明	Y 带有屏蔽	Y 带有屏蔽
可变的源步幅	有	有
可变的目前步幅	有	有
可选择的 BLT 方向	垂直和水平	垂直和水平
Alpha BLT	有(常数 α 或 α /每像素)	有(常数 α 或 α /每像素或分别的 α 通道)
VGA 支持	译码 VGA 寄存器	译码 VGA 寄存器
流水线深度	2ops	无限制
加速的旋转 BLT	无	8、16、32bpp
色深转换	无	5:6:5, 1:5:5:5, 4:4:4:4, 8:8:8:8

1.2.6 显示控制器

显示控制器执行以下功能。

- 检索图形、视频与光标数据。
- 串行化流。
- 执行任一必需的彩色查找与输出格式化。
- 为驱动显示设备,接口至视频处理器。

显示控制器由为光栅化图形数据的内存修补系统、VGA 与后端滤波器组成。VGA 提供与 VGA 图形标准全硬件兼容。光栅化图形与 VGA 共享单个显示 FIFO,和显示刷新内存接口至 GeodeLink 内存控制器(GLMC)。VGA 用 8bpp 与同步信号,它们通过彩色查找表扩展至 24bpp 并为了伸缩与交替显示支持,传递信息至图形滤波器。然后此信息流传递至视频处理器,这用于视频覆盖。视频处理器向前传递此信息至 DAC(数字至模拟转换),它生成模拟的红、绿与蓝信号并缓冲以后能送至显示器的同步信号。视频处理器输出也能被呈递为 YUV 数据,并能在视频输出端口(VOP)输出。

1.2.7 视频处理器

视频处理器混合图形与视频流,并输出数字的 RGB 数据至内部的 DAC 或平板接口,或者通过 VOP 接口输出数字的 YUV 数据。

视频处理器交付高分辨率和真彩色图形。它也能在图形背景上,覆盖或混和可伸缩的真彩色视频图像。

视频处理器通过 GLIU 主/从接口与 CPU 核相接。视频处理器只是一个从设备,因为它无内存需求。

1. CRT 接口

内部的高性能 DAC 支持 CRT 分辨率:

- 在 85Hz 为 $1920 \times 1440 \times 32\text{bpp}$ 。
- 在 100Hz 为 $1600 \times 1200 \times 32\text{bpp}$ 。

2. TFT 控制器

TFT 控制器转换视频混合器块的数字 RGB 的输出为适合于驱动平板 LCD 的数字输出。

平板连接至视频混合器的 RGB 端口。它直接接口至工业标准 18 位或 24 位活动的矩阵薄膜晶体管(TFT)。由视频逻辑供给的数字 RGB 或视频数据,转换为合适的格式,以驱动具有可变位的平板的宽的范围。此 LCD 接口包括抖动的逻辑,以增加为了在少于每彩式 6 位的平板上所用的显示的外观的彩色数。此 LCD 接口也支持平板电源供给的自动的电源顺序。

它支持平板多至 24 位接口和高至 1600×1200 分辨率。

TFT 控制器通过 GLIU 主/从接口与 CPU 核相接。TFT 控制器同时是 GLIU 的主与从设备。

3. 视频输出端口

VOP 从视频处理器接收 YUV 4:4:4 编码的数据,并格式化此数据为依从 BT. 656 的视频流。从 VOP 输出至一 VIP 或一 TV 编码器。VOP 是 BT. 656 依从的,因为输出可以直接(或间接)至一显示器。

1.2.8 视频输入端口

视频输入端口(VIP)接收 8 或 16 位视频或补助的数据、8 位消息数据或 8 位原始视频,并传递它至定位在系统内存中的数据缓冲器。此 VIP 是一 DMA 引擎。主要的操作方式是作为依从 VESA 2.0 的从设备。VESA 2.0 规格说明定义接收视频、VBI 和补助的数据的协议。增加消息传递和数据流方式在接收不依从 VESA 2.0 的数据流上提供了附加的灵活性。输入的数据打包为四字(QWord)、缓冲至 FIFO 并通过 GLIU 送至系统内存。VIP 控制内部的 GLIU,并从 FIFO 传送数据至系统内存。最大的输入数据速率(8 或 16 位)是 150MHz。

1.2.9 GeodeLink PCI 桥

GeodeLink PCI 桥(GLPCI)包含为支持外部的 PCI 接口所需的所有逻辑。此 PCI 接口依从 PCI v2.2 规格说明。这些逻辑包括 PCI 与 GLIU 接口控制、读与写 FIFO 以及一个 PCI 仲裁器。

1.2.10 安全块

Geode LX 处理器,有一片上的 AES(Advanced Encryption Standard,先进的加密标准) 128 位加密的加速器块,具有在处理器速度为 500MHz 时加密或解密的 44 Mbps 吞吐量。此 AES 块与处理器核心运行异步,它是基于 DMA 的。此 AES 块支持 EBC 与 CBC(Cipher Block Chaining,密码块链)两种方式,且有访问为存储唯一的 ID 和/或密钥的任选的 EEPROM 存储器。此 AES 与 EEPROM 部分有各自的控制寄存器,但共享单个中断寄存器组。AES 模块有两个密钥源,一个是隐藏的 128 位密钥,存储在“打包的”EEPROM 中,另一个是只写的 128 位密钥(读为全 0)。隐藏密钥是由硬件在复位后自动装入的,对于处理器是不可见的。EEPROM 能被锁定。对于 CBC 方式的初始化向量,能由实随机数生成器(TRNG)生成。此 TRNG 可单独寻址并生成一个 32 位随机数。

第 2 章

CPU 核

本章从程序员的观点描述 AMD Geode LX 处理器的 CPU 核的内部操作。它包括传统的“x86 核”处理和 FPU 操作的描述。

在处理器核中的主要寄存器集如下：

- 应用寄存器集。
- 系统寄存器集。

2.1 核处理器的功能结构

从功能上来说,Geode LX 处理器是 32 位的 x86 系列处理器。其功能相当于 Intel Pentium 与 AMD K6 处理器。为了更好地了解 Geode LX 处理器的功能,我们从它的功能结构着手进行分析。

2.1.1 8086 的功能结构

8086 的功能结构如图 2-1 所示。

8086 CPU 从功能上来说分成两大部分,总线接口单元 BIU(Bus Interface Unit)和执行单元 EU(Execution Unit)。

BIU 负责与存储器接口,即 8086 CPU 与存储器之间的信息传送,都是由 BIU 进行的。具体地说,即 BIU 负责从内存的指定部分取出指令,送至指令流队列中排队;在执行指令时所需的操作数,也由 BIU 从内存的指定区域取出,传送给 EU 部分去执行。

EU 部分负责指令的执行。这样,取指部分与执行指令部分是分开的,于是在一条指令的执行过程中,就可以取出下一条(或多条)指令,在指令流队列中排队。在一条指令执行完以后就可以立即执行下一条指令,减少了 CPU 为取指令而等待的时间,提高了 CPU 的利用率,提高了整个运行速度。这就是指令流水线的概念。这样一方面可以提高整个执行速度,另一方面又降低了与之相配的存储器的存取速度的要求。这种重叠的操作技术,过去只在大型机中才使用。