

Broadview[®]
www.broadview.com.cn

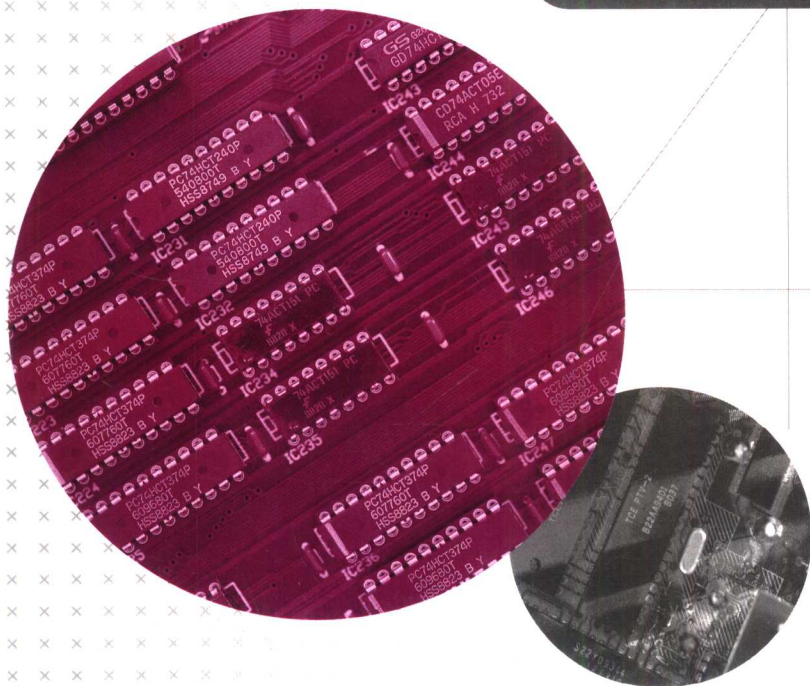
电子工程应用
精讲系列

CPLD/FPGA

常用模块 与综合系统设计

实例精讲

罗苑棠 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

实例典型
即学即用



电子工程应用
精讲系列

CPLD/FPGA

常用模块
与综合系统设计

实例精讲



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

全书通过实例精讲的形式,详细介绍了 CPLD/FPGA 常用模块与综合应用系统设计的方法与技巧。全书共分为 3 篇 22 章,第 1 篇为基础知识篇,简要介绍了 CPLD/FPGA 硬件结构知识、VHDL 硬件编程语言、Verilog 与 System C 编程、常用开发工具;第 2 篇为常用模块设计实例篇,通过 14 个模块设计实例,详细介绍了 CPLD/FPGA 的各种开发技术和使用技巧,这些模块实例基础、实用,易学易懂,全部调试通过,几乎涵盖了所有的 CPLD/FPGA 开发技术;第 3 篇为综合系统设计实例篇,通过 4 个综合系统实例,对前面的 CPLD/FPGA 常用模块进行了综合应用设计,经过此篇学习,读者可以快速地提高 CPLD/FPGA 综合系统设计的能力,步入高级工程师的行列。

本书配有光盘一张,包含了全书所有实例的硬件原理图和程序源代码,方便读者学习和使用。本书适合计算机、自动化、电子及硬件等相关专业的学生,以及从事 CPLD/FPGA 开发的科研人员使用。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

CPLD/FPGA 常用模块与综合系统设计实例精讲 / 罗苑棠编著. —北京: 电子工业出版社, 2007.11

(电子工程应用精讲系列)

ISBN 978-7-121-05045-9

I. C… II. 罗… III. 可编程逻辑器件 IV. TP332.1

中国版本图书馆 CIP 数据核字(2007)第 143480 号

责任编辑: 葛 娜

印 刷: 北京市通州大中印刷厂

装 订: 三河市皇庄路通装订厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 28.5 字数: 630 千字

印 次: 2007 年 11 月第 1 次印刷

印 数: 5000 册 定价: 59.00 元(含光盘 1 张)

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

丛书说明

工程技术的电子化、集成化和系统化促进了电子工程技术的发展，同时也促进了电子工程技术在社会各行业中的广泛应用，从近年的人才招聘市场来看，电子工程师的人才需求更是一路走高。

电子工程师如此紧俏，除需求不断走高，人才供不应求外，另一重要原因则是电子工程师的门槛相对而言比较高，这个高门槛则来自于工程师的“经验”和“实践”！

因此，为了满足读者学习和工作需要，解决各种工作中的专业问题，我们紧紧围绕“经验”和“实践”，精心策划组织了此套丛书。

1. 丛书范围

现代电子科学技术的一个特点是多学科交叉，因此，工程师应当了解、掌握两门以上的相关学科，知识既精深又广博是优秀的工程师成长为某领域专家的重要标志。本丛书内容涉及软件开发、研发电子以及嵌入式项目开发等，包括单片机、USB 接口、ARM、CPLD/FPGA、DSP 和移动通信系统等。

2. 读者对象

本丛书面向各领域的初、中级用户，具体为高校计算机、电子信息、通信工程、自动化控制专业在校大学生，以及从事电子开发和应用行业的科研人员。

3. 内容组织形式

本丛书紧紧围绕“经验”和“实践”，首先介绍一些相关的基础知识，然后根据不同

的模块或应用领域，分篇安排应用程序实例的精讲。基础知识用来为一些初级读者打下一定的知识功底；基础好一点的读者则可以跳过这一部分，直接进入实例的学习。

4. 实例特色

在应用实例的安排上，着重突出“应用”和“实用”两个基本原则，安排具有代表性、技术领先性，以及应用广泛的典型实例，让读者学习借鉴。这些实例是从作者多年程序开发项目中挑选出的，也是经验的归纳与总结。

在应用实例的讲解上，既介绍了设计原理、基本步骤和流程，也穿插了一些经验、技巧与注意事项。特别在程序设计思路上，在决定项目开发的质量和成功与否的细节上，尽可能地用简洁的语言来清晰阐述大众易于理解的概念和思想；同时，程序代码部分做了很详细的中文注释，有利于读者举一反三，快速应用和提高。

5. 光盘内容

本丛书的光盘中包含了丰富的实例原图文件和程序源代码，读者稍加修改便可应用于自己的工作中或者完成自己的课题（毕业设计），物超所值。读者使用之前，最好先将光盘内容全部复制到电脑硬盘中，以便于以后可以直接调用，而不需要反复使用光盘，提高操作速度和学习效率。

6. 学习指南

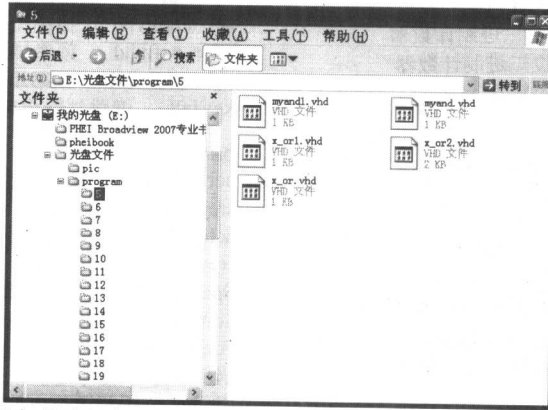
对于有一定基础的读者，建议直接从实例部分入手，边看边上机练习，这样印象会比较深，效果更好。基础差一点的读者请先详细学习书中基础部分的理论知识，然后再进行应用实例的学习。在学习中，尽量做到反复理解和演练，以达到融会贯通、举一反三的功效；特别希望尽量和自己的工作设计联系起来，以达到“即学即会，学以致用”的最大化境界。

本丛书主要偏重于实用性，具有很强的工程实践指导性。期望读者在学习中顺利、如意！

光盘说明

本书光盘包括两部分内容：

- (1) pic: 本书实例图片，由 Protel 99 软件做成。
- (2) program: 本书各章的实例程序代码，用 VHDL 语言编写，常用的 FPGA 编译软件 (MAX+plus II/Quartus II) 都能打开。



对 program 中各程序代码说明如下：

para5:

myand1.vhd 二输入与门
myand.vhd 多输入与门
x_or.vhd 异或门 (RTL 级)
x_or1.vhd 异或门 (BHV 级)
x_or2.vhd 异或门 (门级)

para6:

coder8_3.vhd 8 线/3 线编码器
coder8_3_1.vhd 8 线/3 线编码器
sn74ls148.vhd 8 线/3 线优先编码器
coder16_4.vhd 16 线/4 线优先编码器

para7:

decoder_3_8.vhd 3 线/8 线译码器
decoder_4_16.vhd 4 线/16 线译码器
sn7448.vhd BCD-七段译码器
mc14495.vhd 七段锁存译码驱动器

para8:

mux2to1.vhd 二选一电路

mux2_1.vhd 二选一电路
mux2_1.bdf 二选一电路
mux3to1.vhd 三选一电路
mux3to1_1.vhd 三选一电路
mux4to1.vhd 四选一电路

para9:

h_adder.vhd 半加器
or2a.vhd 全加器中的或门
f_adder.vhd 全加器
dp16.vhd 16 位加法器
adder4bit.vhd 4 位加法器
adder4bit.bdf 4 位加法器
add4.bdf 4 位流水线加法器
adder8bit.vhd 8 位加法器
adder8bit.bdf 8 位加法器
add8.bdf 8 位流水线加法器
mul_8.vhd 8 位乘法器
mul8.bdf 3 级流水乘法器
mul16.vhd 16 位移位乘法器

mydivider.vhd 除法器

para10:

reg4.vhd 4位寄存器
reg4_1.vhd 4位寄存器
reg8.vhd 8位寄存器
reg32bit.vhd 32位寄存器
reg32bit.bdf 32位寄存器
bsr.vhd 循环移位寄存器
dff4.vhd D锁存器
shift8.vhd 串行输入、串行输出移位寄存器
shifter.vhd 并行输入、并行输出移位寄存器

para11:

cnt6.bdf 六进制约翰逊计数器
counters.vhd 不同功能的简单计数器
count60.vhd 六十进制计数器
count60.bdf 六十进制计数器
counter_1024.vhd 8位二进制计数器
counter_1m.vhd 16位二进制计数器
counter.vhd N进制计数器

para12:

s_machine.vhd 一般有限状态机
state_m2.vhd 有限状态机
MOORE1.vhd moore 状态机
MEALY1.vhd mealy 状态机
AD574.vhd 状态机实现 AD574 数模转换
AD574_2.vhd 状态机实现 AD574 数模转换
AD0809.vhd 状态机实现 AD0809 数模转换
seq_check.vhd 状态机实现序列检测器

para13:

fifo.vhd FIFO (双口 RAM)
fifo1.vhd FIFO (嵌入式 EAB)
fifo2.vhd FIFO (LPM)

para14:

rom256x8.vhd ROM 只读存储器
rom256x8_1.vhd ROM 只读存储器
rom256x8_2.vhd ROM 只读存储器
ram256x8.vhd RAM 随机存储器
ram16x8.vhd RAM 随机存储器
inst_1.mif ROM 初始化文件

para15:

DFF1.vhd D锁存器
sn74373.vhd 8位三态锁存器
dff2.vhd 带异步置位、复位的 D 触发器

para16:

dds_dds_rom.vhd DDS 中的 LPM_ROM
dds_dds.vhd 24位 DDS 单元
dds32_1.vhd 32位 DDS 单元
dds32_2.vhd 32位 DDS 单元

para17:

fredivn.vhd 偶数分频
fredivn1.vhd 奇数分频
frediv16.vhd 16分频
PULSE.vhd 数控分频器

para18:

pulse_sequence.vhd 并行脉冲控制器
light.vhd.vhd 交通脉冲控制器
division1.vhd 电压脉冲控制器中的分频
ad.vhd 电压脉冲控制器中的 A/D 控制
code.vhd 电压脉冲控制器中的脉冲运算模块
voltage2.bdf 电压脉冲控制系统

para19:

fpdpsk.vhd FSK/PSK 调制顶层文件
lut.vhd 正弦波模块
asin.mif 正弦波模块初始化文件
sel_ampl.vhd 振幅调整及波形选择模块
addr_a_f.vhd 频率显示值地址产生模块
updown2.vhd 频率步进键核心模块
key.bdf 弹跳消除电路

para20:

aclink2.vhd ACLINK 的数据输出
sreg1.vhd 并行输入，串行输出的模块
aclink3.vhd ACLINK 的时分复用
sreg3.vhd 串行输入，并行输出的模块
Speaker.vhd 控分频器、音频输出
Tone.vhd 音阶发生器
Tone1.vhd 音阶发生器
TOP.vhd 硬件电子琴顶层文件
ad.vhd 语音通信电路中的 A/D 接口模块
decoder1.vhd 语音通信电路中的译码器模块
fc.vhd 语音通信电路中的滤波比较器模块
division.vhd 语音通信电路中的分频模块
mul3.vhd 语音通信电路中的多路选择模块
fbc.bdf 折叠二进制码解码器
play_buff.bdf 播放缓冲区
comm_buff.bdf 通信缓冲区
f_c.vhd 语音播放平台中的 Filter 控制逻辑
division.vhd 语音播放平台中的分频器

para21:

PDIUSB.vhd USB 与 FPGA 接口
usbctrl.vhd USB 控制模块
TestUSB.vhd USB 接口测试模块
USBcomm.vhd USB 数据传输
CLK.vhd USB 时钟模块
LED.vhd LED 显示模块

para22:

videopt.vhd 高速图像采集模块
DCT.c 离散余弦变换
jpeg.c 图像压缩与编码

前 言

随着可编程逻辑技术的不断进步和创新，FPGA（现场可编程逻辑门阵列）已被广泛应用于通信、航天、医疗电子、汽车电子、工业控制等领域。由于其现场逻辑功能可重构且具有高集成度、高密度和高性能等特点，因而得到了迅猛发展。FPGA 芯片所包含的资源越来越丰富，可实现的功能也越来越强，这使得 FPGA 在电子电路设计中越来越重要。目前 FPGA 已经渗透到人们日常生活的各个方面，在手机、电视、数码相机、洗衣机、电冰箱、空调，甚至电饭锅、手表里，都有它们的身影。在工业自动化控制、通信、仪器仪表、汽车、船舶、航空航天、军事设备、消费类电子产品等领域更是它们的天下。

FPGA 是在 PAL、GAL 等逻辑器件的基础之上发展起来的。和以往的 PAL、GAL 等相比较，CPLD/FPGA 的规模比较大，可以替代几十甚至几千块通用 IC 芯片。从这种意义上来说，FPGA 实际上就是一个子系统部件。具体地讲，FPGA 在硬件系统设计中具有以下优越性。

- 缩小体积、减轻重量、降低功耗，具有高集成度和高可靠性；
- 易于获得高性能，系统设计、电路设计、工艺设计之间紧密结合，这种一体化的设计有利于获得前所未有的高性能系统；
- 软件模拟仿真后下载到 FPGA 制成了专用 IC，设计者可以很直观地测试其逻辑功能及性能指标。

利用 FPGA 这些优点，选择合适的 FPGA 芯片，用户就能轻而易举地设计自己的“计算机”和“数字系统”。

但是在目前市场上同类的 FPGA 书中，介绍编程语言和基础开发原理的较多，而对常用模块的开发实例涉及的甚少，从常用模块到综合应用系统的实例提高更是处于一片空白。为了弥补这种不足，作者编写了此书。

本书的结构安排

本书从实用的角度出发，通过基础知识篇、常用模块设计实例篇、综合系统设计实例篇 3 个专题，全面系统地介绍了基于 FPGA 的各种常用的接口电路设计和 VHDL 程序设计。本书共 22 章，主要内容包括基本门逻辑、编码器、译码器、选择器、运算器、移位寄存

器、计数器、状态机、FIFO、存储器、锁存器、频率合成器、分频器、脉冲控制器等常用模块，以及信号调制通信系统、FPGA 语音通信平台、USB 接口应用系统、FPGA 视频处理系统等综合应用系统的设计。

本书的特色

归纳起来，与同类书相比，本书具有下面一些特色：

(1) 本书内容结构从零开始，由易到难，基础知识与大量实例相结合，边讲边练。

(2) 本书提供了丰富的 FPGA 常用模块设计实例，这些实例实用、基础、典型，易学易懂，全部调试通过，为读者提供了一个难得的学习途径。

(3) 本书最后安排了 4 个综合系统实例，对 FPGA 的基本知识和常用模块进行了综合应用，有利于读者举一反三，提高综合系统设计的能力。

(4) 本书不但详细介绍了 FPGA 硬件接口设计和模块化编程，而且提供了综合系统设计思路，对实例的所有程序代码做了详细注释，利于读者理解和巩固知识点。

(5) 本书盘书结合，光盘中附有实例的硬件接口的原理图和程序源代码，读者稍加修改，便可应用于自己的工作中或者完成自己的课题，物超所值。

本书的读者对象

本书特别适合于从事 FPGA 系统技术研究和产品开发人员使用，同时也可作为高校计算机、自动化、电子及硬件等相关专业的大学生的参考书。

本书主要由罗苑棠编写，另外参与编写的人还有蓝仕雄、卢镇华、黄如丽、李菊、王鹤、王晓丹、杨百礼、廖锐华、陈小珍、陈小梅、廖城、廖庆坤、宋立慧、黄婷、张淑、李小华、邝世航、刘蕾、钟仕欢、谭耿聪、黄雪雄、王瑞香等，他们在资料收集、整理和技术支持方面做了大量的工作，在此一并向他们表示感谢！

由于时间仓促，再加之作者的水平有限，书中难免存在一些不足之处，欢迎广大读者批评和指正。

目 录

第一篇 基础知识篇

第 1 章 CPLD/FPGA 硬件结构知识 2

- 1.1 CPLD/FPGA 概述 2
 - 1.1.1 CPLD/FPGA 的特点 2
 - 1.1.2 CPLD/FPGA 的发展方向 4
 - 1.1.3 CPLD/FPGA 的应用领域 5
- 1.2 CPLD 体系结构 6
 - 1.2.1 CPLD 的基本结构 6
 - 1.2.2 CPLD 的结构特点 8
 - 1.2.3 CPLD 编程工艺 9
- 1.3 FPGA 体系结构 10
 - 1.3.1 FPGA 基本结构 10
 - 1.3.2 FPGA 的结构特点 13
 - 1.3.3 FPGA 的编程工艺 14
- 1.4 CPLD/FPGA 常用芯片 14
 - 1.4.1 Altera 芯片 14
 - 1.4.2 Xilinx 芯片 16
- 1.5 CPLD/FPGA 的选用 17
- 1.6 本章小结 20

第 2 章 VHDL 编程知识 21

- 2.1 系统的表示方法和硬件描述语言 21
- 2.2 VHDL 的语言结构与语言要素 23
 - 2.2.1 实体说明 25
 - 2.2.2 构造体 27

- 2.2.3 VHDL 语言要素 30
- 2.2.4 VHDL 顺序语句与并发语句 42
- 2.2.5 描述方式 54
- 2.3 组合逻辑电路的 VHDL 实现 58
 - 2.3.1 简单门电路 58
 - 2.3.2 译码器、编码器和选择器 60
 - 2.3.3 加法器、乘法器和除法器 69
 - 2.3.4 三态门和总线缓冲器 76
- 2.4 时序逻辑电路的 VHDL 实现 77
 - 2.4.1 锁存器、触发器 77
 - 2.4.2 寄存器 79
 - 2.4.3 计数器 81
- 2.5 状态机的 VHDL 实现 90
 - 2.5.1 状态机的结构和功能 90
 - 2.5.2 状态机的 VHDL 模型 91
- 2.6 存储器的 VHDL 实现 98
 - 2.6.1 ROM 和 RAM 98
 - 2.6.2 FIFO 102

第 3 章 Verilog 与 System C 编程 107

- 3.1 Verilog HDL 编程基础 107
 - 3.1.1 Verilog 与 VHDL 的比较 107
 - 3.1.2 Verilog 程序结构 108
 - 3.1.3 简单的 Verilog 组合逻辑设计 108
 - 3.1.4 简单 Verilog 时序逻辑电路的设计 109
 - 3.1.5 Verilog 有限状态机 110

3.2	System C 编程基础	112
3.2.1	System C 的基本类库	112
3.2.2	System C 描述举例	115
第 4 章	CPLD/FPGA 常用开发工具	116
4.1	集成开发工具 MAX+plus II	116
4.1.1	功能与菜单说明	116
4.1.2	MAX+plus II 设计过程	120
4.1.3	MAX+plus II 综合设计 选择项	135
4.2	集成开发工具 Xilinx Foundation	147
4.2.1	Foundation 简介	147
4.2.2	Foundation 设计流程简介	148
4.3	集成开发软件 Xilinx ISE	149
4.4	硬件开发工具 Quartus II	151
4.4.1	Quartus II 功能与使用说明	151
4.4.2	Quartus II 设计流程	154
4.4.3	Quartus II 设计输入	154
4.4.4	Quartus II 编译	157
4.4.5	Quartus II 定时分析、仿真与 器件编程	159
4.5	本章小结	161

第二篇 常用模块设计实例篇

第 5 章	基本门逻辑实例模块设计	164
5.1	实例说明	164
5.2	硬件电路结构图	165
5.2.1	与门	165
5.2.2	或门	165
5.2.3	与或非衍变的逻辑门	166
5.3	软件设计	166
5.3.1	VHDL 编程	166
5.3.2	时序仿真	169
5.4	实例总结	170

第 6 章	编码器实例模块设计	171
6.1	实例说明	171
6.2	硬件电路结构图	172
6.2.1	8 线/3 线优先编码器 74LS148	172
6.2.2	16 线/4 线优先编码器	172
6.3	软件设计	173
6.3.1	VHDL 编程	173
6.3.2	时序仿真	176
6.4	实例总结	177
第 7 章	译码器实例模块设计	178
7.1	实例说明	178
7.2	硬件电路结构图	179
7.2.1	3 线/8 线译码器 74LS138	179
7.2.2	4 线/16 线译码器	179
7.2.3	BCD-七段译码器 SN7488	180
7.2.4	LED 显示译码器 MC14495	181
7.3	软件设计	182
7.3.1	VHDL 编程	182
7.3.2	时序仿真	185
7.4	实例总结	186
第 8 章	选择器实例模块设计	187
8.1	实例说明	187
8.2	硬件电路结构图	188
8.2.1	2 选 1 电路	188
8.2.2	3 选 1 电路	188
8.2.3	4 选 1 电路	189
8.3	软件设计	189
8.3.1	VHDL 编程	189
8.3.2	时序仿真	192
8.4	实例总结	194
第 9 章	运算器实例模块设计	195
9.1	实例说明	195
9.2	硬件电路结构图	195
9.2.1	加法器	195

9.2.2 乘法器	197	12.3.2 时序仿真	245
9.2.3 除法器	198	12.4 实例总结	247
9.3 软件设计	198	第 13 章 FIFO 实例模块设计	248
9.3.1 VHDL 编程	198	13.1 实例说明	248
9.3.2 时序仿真	206	13.2 硬件电路结构图	248
9.4 实例总结	209	13.2.1 堆栈	248
第 10 章 移位寄存器实例模块设计	210	13.2.2 双口 RAM	249
10.1 实例说明	210	13.3 软件设计	250
10.2 硬件电路结构图	211	13.3.1 VHDL 编程	250
10.2.1 循环移位寄存器	211	13.3.2 时序仿真	255
10.2.2 串入串出移位寄存器	211	13.4 实例总结	257
10.3 软件设计	212	第 14 章 存储器实例模块设计	258
10.3.1 VHDL 编程	212	14.1 实例说明	258
10.3.2 时序仿真	216	14.2 硬件电路结构图	259
10.4 实例总结	218	14.2.1 ROM 只读存储器	260
第 11 章 计数器实例模块设计	219	14.2.2 RAM 随机存储器	261
11.1 实例说明	219	14.3 软件设计	262
11.2 硬件电路结构图	220	14.3.1 VHDL 编程	262
11.2.1 8 位二进制计数器	220	14.3.2 时序仿真	268
11.2.2 8 位扩展 16 位二进制 计数器	221	14.4 实例总结	269
11.2.3 六进制约翰逊计数器	221	第 15 章 锁存器实例模块设计	270
11.2.4 六十进制计数器	222	15.1 实例说明	270
11.3 软件设计	223	15.2 硬件电路结构图	271
11.3.1 VHDL 编程	223	15.2.1 D 锁存器	271
11.3.2 时序仿真	232	15.2.2 三态锁存器	271
11.4 实例总结	233	15.2.3 D 触发器	271
第 12 章 状态机实例模块设计	234	15.3 软件设计	272
12.1 实例说明	234	15.3.1 VHDL 编程	272
12.2 电路状态转移图	235	15.3.2 时序仿真	275
12.2.1 有限状态机	235	15.4 实例总结	276
12.2.2 基于状态机的 AD 数模转换 电路	236	第 16 章 频率合成器实例模块设计	277
12.2.3 基于状态机的序列检测器	237	16.1 实例说明	277
12.3 软件设计	238	16.2 硬件电路结构图	278
12.3.1 VHDL 编程	238	16.2.1 24 位 DDS 频率合成器	278
		16.2.2 32 位 DDS 频率合成器	279

16.3	软件设计	279
16.3.1	VHDL 编程	279
16.3.2	时序仿真	285
16.4	实例总结	287

第 17 章 分频器实例模块设计

17.1	实例说明	288
17.2	硬件电路结构图	288
17.2.1	半整数分频器	288
17.2.2	偶数与奇数分频器	289
17.3	软件设计	289
17.3.1	VHDL 编程	289
17.3.2	时序仿真	294
17.4	实例总结	295

第 18 章 脉冲控制器实例模块设计

18.1	实例说明	296
18.2	硬件电路结构图	296
18.2.1	并行脉冲控制	296
18.2.2	交通信号控制	297
18.2.3	电压脉冲控制	298
18.3	软件设计	301
18.3.1	VHDL 编程	301
18.3.2	时序仿真	309
18.4	实例总结	311

第三篇 综合系统设计实例篇

第 19 章 信号调制通信系统设计实例

19.1	实例内容说明	314
19.2	系统硬件电路设计	316
19.2.1	分频器与数据选择器	316
19.2.2	m 序列产生器	316
19.2.3	正弦波信号	317
19.2.4	FSK/PSK 信号调制器	318
19.3	系统软件设计	318
19.3.1	VHDL 编程	318

19.3.2	时序仿真	328
--------	------	-----

19.4	系统仿真和调试	328
19.4.1	弹跳消除电路	328
19.4.2	输出波形的观察	330
19.5	实例总结	330

第 20 章 FPGA 语音通信平台设计实例

20.1	实例内容说明	331
20.2	系统硬件电路设计	331
20.2.1	语音采集	331
20.2.2	硬件电子琴	333
20.2.3	语音通信电路	335
20.2.4	语音播放平台	336
20.3	系统软件设计	337
20.3.1	VHDL 编程	337
20.3.2	时序仿真	359
20.4	系统调试	360
20.4.1	硬件电子琴电路的调试	360
20.4.2	语音通信电路的调试	360
20.5	实例总结	362

第 21 章 USB 接口应用系统设计实例

21.1	实例内容说明	363
21.2	系统硬件电路设计	364
21.2.1	USB 主从系统	364
21.2.2	USB 接口芯片	367
21.2.3	USB 与 FPGA 互连	370
21.3	系统软件设计	370
21.3.1	VHDL 编程	370
21.3.2	USB 固件设计	381
21.4	系统调试	390
21.5	实例总结	393

第 22 章 FPGA 视频处理系统设计实例

22.1	实例内容说明	394
------	--------	-----

22.2	系统硬件电路设计	395	22.3.3	时序仿真	422
22.2.1	双处理系统	395	22.4	系统调试	423
22.2.2	视频采集模块	397	22.5	实例总结	424
22.3	系统软件设计	400	附录 A	CPLD/FPGA 术语汇编	425
22.3.1	视频数据采集 VHDL 编程	400	附录 B	常用 FPGA 的端口资源	433
22.3.2	视频数据压缩处理	403			

第一篇

基础知识篇

随着信息技术革命和计算机技术的飞速发展，可编程逻辑技术已发展成为一门关键的科学技术，而 CPLD 和 FPGA 在工业界也已被广泛地应用。

- ◆ 第 1 章 CPLD/FPGA 硬件结构知识
- ◆ 第 2 章 VHDL 编程知识
- ◆ 第 3 章 Verilog 与 System C 编程
- ◆ 第 4 章 CPLD/FPGA 常用开发工具

第 1 章

CPLD/FPGA 硬件结构知识

CPLD/FPGA 现在能完成任何数字器件的功能,上至高性能 CPU,下至简单的 74 电路。利用 CPLD/FPGA,工程师可以通过传统的原理图输入法,或是硬件描述语言自由地设计一个数字系统。通过软件仿真可以事先验证设计的正确性,在 PCB 完成以后,利用 CPLD/FPGA 的在线修改能力,随时修改设计而不必改动硬件电路。使用 CPLD/FPGA 开发数字电路,工程师可以大大缩短设计时间,减少 PCB 面积,提高系统的可靠性。这些优点使得 CPLD/FPGA 技术在 20 世纪 90 年代以后得到飞速的发展,同时也大大推动了 EDA 软件和硬件描述语言 HDL 的进步。

1.1 CPLD/FPGA 概述

CPLD 是复杂可编程逻辑器件 (Complex Programmable Logic Device) 的简称, FPGA 是现场可编程门阵列 (Field Programmable Gate Array) 的简称,两者的功能基本相同,只是实现原理略有不同,所以有时可以忽略这两者的区别,统称为可编程逻辑器件或 CPLD/FPGA。

CPLD 最早由 Altera 公司推出,即 MAX 系列,多为 Flash、EEPROM 架构或乘积项 (Product Term) 架构的 PLD。FPGA 最早由 Xilinx 公司推出,多为 SRAM 架构或查表 (Look Up Table) 架构,需外接配置用 EPROM 下载。由于 Altera 的 FLEX/ ACEX/ APEX 系列也是 SRAM 架构,所以通常把 Altera 的 FELX/ ACEX/ APEX 系列芯片也叫做 FPGA。

1.1.1 CPLD/FPGA 的特点

CPLD/FPGA 可以说都是 PAL (可编程阵列逻辑)/GAL (通用阵列逻辑) 的延伸, CPLD 与 FPGA 在应用时各自特点有:

(1) 与 FPGA 相比, CPLD 的逻辑单元较大、容量较小、时序确定、延时可预测。

(2) CPLD 时间上安排胜于 FPGA。CPLD 基于一些可程序化行列逻辑 PAL/PLA 或乘积项。典型的 FPGA 则是一个以 SRAM (静态随机存储器) 为基础, 由逻辑单元组成的装置, 它包含的寄存器为逻辑表达式提供了查找表。所以 FPGA 时间上取决于查找表路由, 但这样 FPGA 比 CPLD 有更多寄存器, 有更多逻辑, 如图 1-1 和图 1-2 所示。

(3) CPLD 的容量一般比较小, 比较适合做一些容量不大, 组合逻辑比较复杂, 但是寄存器用得比较少的设计, 如地址译码、总线接口逻辑、上电复位逻辑等; 而 FPGA 的容量比较大, 包含大量的逻辑单元、内嵌存储器, 以及一些其他的高级特性, 如锁相环、LVDS 等, 适合一些比较复杂的时序逻辑的应用之中, 比如, 嵌入式 CPU、数据处理等, 它现场可编程, 还可以配合单片机或 DSP (数字信号处理器) 工作。

(4) CPLD 内部连接方式采用连续性内部连接 (Continuous Interconnect), 连续性内部连接方式的连接延时较固定, 但受连接路径影响。FPGA 则采用片段连接 (Segment Interconnect), 而片段连接方式其绕线资源较能充分运用。

(5) FPGA 提供比 CPLD 器件足够大的有效逻辑容量密度, 不仅大大减少印刷电路板的空间, 大大降低系统功耗, 同时大大提高了系统设计的工艺可实现性和产品的可取性。

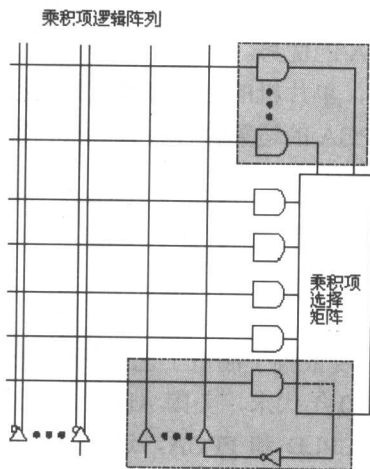


图 1-1 基于乘积项结构的 CPLD

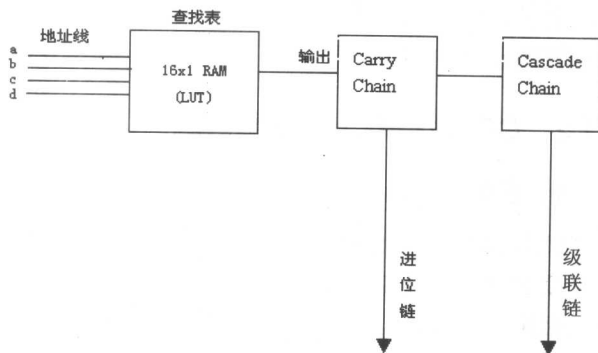


图 1-2 基于查找表结构的 FPGA

尽管 CPLD/FPGA 的结构各有其特点和长处, 但概括起来, 它们是由三大部分组成的:

- 二维的逻辑块阵列 (逻辑单元), 构成了器件的逻辑组成核心;
- 输入 / 输出块;
- 连接逻辑块的互连资源, 用于逻辑块之间、逻辑块与输入 / 输出块之间的连接。

其中, 逻辑单元是 CPLD/FPGA 内部架构的最基本单元, 但其定义不同, 如 LE (Logic Element)、MC (MacroCell)、CLB (Carry Logic Block)、Slices 等。每个基本逻辑一般均包括两个部分, 一部分为实现组合逻辑部分, 另一部分为实现时序逻辑部分。Altera 的产