



普通高等教育“十一五”国家级规划教材



电子信息与电气学科规划教材·电子科学与技术类

# SoC

## 设计方法与实现

郭炜 郭箬 谢憬 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY <http://www.phei.com.cn>

普通高等教育“十一五”国家级规划教材  
电子信息与电气学科规划教材·电子科学与技术类

# SoC 设计方法与实现

郭炜 郭箐 谢憬 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书是普通高等教育“十一五”国家级规划教材。本书结合 SoC 设计的整体流程,对 SoC 设计方法学及如何实现进行了全面介绍。全书共分 14 章,主要内容包括:SoC 的设计流程、SoC 的架构设计、电子级系统设计、IP 核的设计与选择、RTL 代码编写指南、先进的验证方法、低功耗设计技术、可测性设计技术及后端设计的挑战。书中不仅融入了很多来自于工业界的实践经验,还介绍了 SoC 设计领域的最新成果,可以帮助读者掌握工业化的解决方案,使读者能够及时了解 SoC 设计方法的最新进展。

本书可以作为电子、计算机等专业高年级本科生及研究生的教材,也可以作为集成电路设计工程师的技术参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

### 图书在版编目(CIP)数据

SoC 设计方法与实现/郭炜,郭笋,谢憬编著. —北京:电子工业出版社,2007.6

(电子信息与电气学科规划教材.电子科学与技术类)

ISBN 978-7-121-04386-4

I. S… II. ①郭… ②郭… ③谢… III. 集成电路-芯片-设计-高等学校-教材 IV. TN402

中国版本图书馆 CIP 数据核字(2007)第 072674 号

责任编辑:王羽佳

印 刷:北京市通州大中印刷厂

装 订:三河市鹏成印业有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编:100036

开 本:787×1092 1/16 印张:19.25 字数:492.8 千字

印 次:2007 年 6 月第 1 次印刷

印 数:4000 册 定价:32.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zlt@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

# 序 一

2007年是晶体管发明60周年，2008年是集成电路发明50周年。也许连晶体管的发明人威廉·肖克利（William Shockley）和集成电路的发明人杰克·基尔比（Jack Kilby）当初也没有意识到，他们的发明能够对后世产生如此重大和深远的影响，以至于今天我们的生活中晶体管和集成电路无处不在。1965年戈登·摩尔（Gordon Moore）提出了著名的摩尔定律（Moore's Law），准确地预言了其后40多年集成电路技术的发展。尽管今天在面临功耗等诸多挑战的时候，人们对摩尔定律还能持续多久产生了一些疑问，但也没有人怀疑它在未来20年中还会一直有效。

即使对集成电路技术一无所知的人，也很容易计算出 $2^{26}$ 是一个多么巨大的数字。回顾集成电路在过去的40多年中以集成度每18个月翻一番的速度成长的过程，我们今天无论如何也不该再简单地使用芯片这个单词了，因为它已经无法准确地描述今天集成电路的复杂度和功能。在绞尽脑汁用小规模、中规模、大规模、甚大规模、超大规模和特大规模等形容词来描述集成电路复杂度的过程中，人们发现已经找不到更合适的形容词了，似乎语言的能力在高速发展的集成电路技术面前也有些黔驴技穷。上世纪末逐渐被人们所采用的系统级芯片（SoC, System on Chip）预示着这个行业在快速发展40年后，正在出现一个量变到质变的突破。

2003年也许注定就是一个不平凡的年份，在亚洲国家遭受“非典”影响的同时，全球集成电路产业也悄悄地经历了一个痛苦、但是意义深远的变革。这次变革虽然没有惊天动地，但足以让集成电路产业来重新审视我们过去研究和预言过无数次的未来。我们曾经非常熟悉、且深信不移集成电路产业发展的动力，如以工艺能力为中心的工艺技术进步驱动产业发展，等比例缩小驱动性能提升和成本下降，提高性能是芯片追求的主要目标和动态功耗主导芯片功耗等，除了等比例缩小仍然是成本下降的主要手段之外，其它的都发生了深刻的变化。例如，以设计能力为核心的系统设计技术成为驱动产业发展的主要力量，创新驱动性能提升，芯片的功耗不再取决于动态功耗，而取决于静态功耗等。面对这些变化，我们一方面不得不感叹技术进步的迅猛和知识更新换代的频繁，另外一方面也惊讶地发现，我们要面对的不再是传统芯片的设计问题，包括软件、通信、应用等诸多系统层面的问题也成为我们必须面对和克服的挑战。不少有识之士在不断地提醒着我们SoC中的S（System）比C（Chip）更重要，这是因为了解S是设计C的先决条件。显然，SoC的设计者不仅要掌握芯片的设计技术，更要了解和掌握系统的知识。

中国是信息产业大国，也是集成电路产业大国。经过数十年的精心组织和发展，中国已经成为全球集成电路产业的重要基地之一。可以预见的是，在未来若干年中，全球集成电路产业向中国转移的大趋势将不会改变，这不仅仅是因为中国经济的发展造就了庞大的市场需求，更是中国本土集成电路产业的进步营造了一个全球不可多得的，优秀的集成电路产业发展环境。以设计为龙头的产业发展策略在造就了一个生机勃勃的集成电路设计行业的同时，也极大地提升了我国在集成电路领域的创新能力。以移动通信为例，我们在第一代模拟移动

通信中只是一个站在圈外的买家，在第二代移动通信的发展中期，我们就参与了关键芯片产品的竞争，而在第三代移动通信发展的初期，我们已经成为一个全球不能忽视的重要伙伴。这些有目共睹的变化昭示着中国集成电路产业发展的希望和强劲力量。进入新世纪以来，我们见证了集成电路产业在中国的飞速发展，更感受到产业发展对人才培养的迫切需求。与发达国家相比，我国集成电路设计人才的数量和质量都相差甚远，根本无法满足产业发展的需求。因此，我们完全有理由相信今后 10 年中对于集成电路人才的需求，特别是对高层次集成电路人才的需求将持续升温。

人才的培养离不开一流的师资和教材。目前，国内高校在集成电路设计教学方面更多的是采用国外引进的专业基础教材，虽然其中不乏经典之作，但总体来看，这些教材缺乏从系统看芯片的介绍，缺乏对 SoC 概念的讲解，缺乏从工程的角度教会学生做 SoC 设计的内容，学生也很难将底层器件和上层系统联系在一起。这造成了国内培养的工程师往往能够设计一个小的功能模块，却很难胜任一个复杂 SoC 的设计。

本书围绕 SoC 设计，全面深入地介绍了有关 SoC 的知识，着重阐述了 SoC 设计中广受关注的系统架构设计、低功耗设计，可测性设计，先进验证方法和后端设计。内容既包括 SoC 的概念介绍，常用的微处理器、总线和存储器，还包括 SoC 设计的完整流程和工具介绍，以及 RTL 代码编写指南等十分实用的内容，是一本内容全面并具有一定前瞻性的教材及参考书。

本书的主要作者郭炜教授具有在 Motorola 长期参与芯片设计与项目管理的丰富经历，以及多年从事科研与教学的经验，书中不仅介绍了 SoC 设计领域的最新成果，还融入了很多来自工业界的实践经验和案例，可以帮助读者通过了解工业届实用的解决方案，快速提升对 SoC 设计的理解、掌握 SoC 设计的关键技术。书中不仅涉及芯片的设计，也包含了封装等一般集成电路设计教材中大多忽略的内容，使得实用化成为本书的第二个重要特点。

本书没有遵循一般专著或教材的编写特点，而是以教会学生实用的设计技术为主线，按照 SoC 设计流程来组织和安排各个章节的内容，能够让初次涉足此领域的学生顺着书阅读，自然地学习和掌握 SoC 的设计过程，书中给出的实验大纲和项目进度管理等，不仅进一步充实了本书作为教材的内容，对于学生今后的就业也是不错的基础培训。

过去几年中，我国越来越多的高等院校扩大了集成电路设计专业的人才培养，因此建设更多、更优秀、实践性更强的教材迫在眉睫。希望今后能够看到更多富有工程及教学经验的人士编写出更多、更好的教材，为我国集成电路设计人才的培养做出我们应有的贡献。



2007 年 4 月于北京清华大学

## 序 二

随着集成电路工艺技术，集成电路制造可以将数以十亿计的晶体管集成到单个芯片，通信和消费类电子产品则需要把越来越多的功能集成到单个芯片。这种系统级的集成不单可以减小电子产品的重量和尺寸，而且可以有效提高电子产品的可靠性，降低成本。在日益提高的制造能力和不断增加的集成度需求之间存在着巨大的鸿沟，而工程师设计能力的提高一直在努力填补这一鸿沟。系统级芯片（SoC, System on Chip）设计是目前提高工程师集成电路设计能力的主要手段，同时也是集成电路成为通信、控制、消费类电子产品核心技术的关键。

本书针对当前设计方法由板级向片上系统的转移，全面而深入地介绍了关于 SoC 的知识。书中特别阐述了 SoC 设计中广受关注的系统架构设计、低功耗设计技术、可测性设计技术、先进验证方法以及后端设计的挑战。本书的内容融入了郭炜教授在工业界多年工作的实践经验，同时结合了她目前在高校从事科研与教学的经验，介绍了她在 SoC 设计领域取得的最新成果。本书内容能够帮助读者掌握有关集成电路设计 SoC 技术工业化的解决方案，使读者能够及时了解 SoC 设计方法的最新进展，是一本内容全面、将理论与实践有机结合的教材及教学参考书。相信 SoC 设计的入门者和有经验的工程师都可以从本书中获取有益的知识。



2007年4月于清华大学

# 前 言

由于我国集成电路设计发展迅速，人才的培养迫在眉睫，大部分 IC 设计工程师缺乏 SoC 整体设计的概念。2003 年秋，上海交通大学为工程硕士开设了 SoC 设计课程，由于缺少相关的教材及参考书，学生所能阅读的内容非常有限，于是就开始着手编写本书。在近两年的编写过程中，前后修改过多次，其间分别试用于研究生的教学及对业界工程师的培训中。书中不仅融入了编者多年的工程经验，还尽可能地将近几年集成电路设计领域国内外最新的进展收入其中。

本书适用于电子科学与技术 and 电子信息工程专业高年级本科生及研究生集成电路领域相关课程的教学，也可以作为 IC 设计工程师的技术参考书。书中列举了大量工程实例来直接告诉读者“如何做 SoC 设计”。希望这本书不仅能使刚刚涉足集成电路设计领域的读者建立完整的 SoC 设计理念，而且能够给 IC 设计工程师提供一些帮助。

本书结合 SoC 设计的整体流程，对 SoC 设计方法学及如何实现进行了全面的介绍。全书共分 14 章。

第 1 章阐述 SoC 设计技术发展的趋势及所面临的挑战，这些挑战使读者专注于 SoC 设计的难点。

第 2 章阐述软、硬件协同设计的流程，以及基于标准单元的设计流程，希望读者对 SoC 设计的完整过程有一定的了解。本书其余几章是按照 SoC 设计流程，一步一步深入下去的。

第 3 章介绍与 SoC 设计密切相关的 EDA 工具。SoC 设计从系统架构设计开始，到硬件实现的每个步骤都与 EDA 工具紧密相连。通过这章的介绍，希望读者对 SoC 的设计流程有更深的认识。

第 4 章阐述 SoC 的架构设计。重点介绍了新兴的、用于复杂 SoC 架构设计的电子系统级 (ESL) 设计方法。

第 5 章介绍 IP 复用的设计方法及基于平台的 SoC 设计方法。SoC 以 IP 复用为基础，而基于平台的 SoC 设计方法是在 IP 复用的基础上拓展开来的，此类方法更能满足快速的市场变化，目前被工业界广泛使用。

第 6 章和第 7 章就 RTL 代码编写中常犯的错误，如缺少整体规划、同步电路与异步电路的处理等问题给出指导性的建议。

第 8 章就综合的策略、静态时序分析 (STA) 及基于统计的时序分析 (SSTA) 方法加以详细介绍。这些方法对于前端和后端 IC 设计工程师都应该熟练掌握。其中 SSTA 方法是在 45 纳米以下工艺进行设计时最受关注的新方法。本章还结合 Synopsys 的工具给出设计实例。

第 9 章提出了 SoC 验证所面临的问题和挑战，主要介绍系统级的验证策略和基于断言的验证 (Assertion Based Verification) 方法。

第 10 章对 SoC 的可测试设计 (DFT) 进行介绍，包括逻辑和存储器的内建自测 (BIST)、边界扫描和扫描链插入等。

第 11 章介绍业界关注的低功耗设计问题和不同层次上的低功耗设计技术。

第 12 章和第 13 章主要涵盖了后端设计的关键知识及数模混合电路在 SoC 设计集成时的考虑,包括布局布线、时钟分配和时钟树的生成,以及信号完整性问题和可制造性设计(DFM/DFY)等。

第 14 章讨论了 I/O 环的设计及封装问题。包括噪声消除技术、ESD 保护方案及如何选择 SoC 的封装形式等。

此外,为了让读者更好地掌握本书的内容,掌握一定的 SoC 设计实际经验,在本书附录中,还引入了一个需要一个团队共同来完成的 SoC 设计实验,并就如何进行项目管理、如何控制进度加以介绍。对于一个完整的集成电路设计项目,团队合作、团队沟通至关重要,这也是本书希望有志于日后投身集成电路设计事业的人员所需要掌握的重要内容之一。

本书为使用本书作为教材的读者提供免费多媒体电子课件,请登录华信教育资源网(<http://www.huaxin.edu.cn> 或 <http://www.hxedu.com.cn>)下载。

本书由郭炜、郭箬和谢憬执笔完成。在编写期间,受到了来自多方面的支持和帮助。上海交通大学微电子学院的领导和师生一直对本书的编写给予了大力支持。学院付宇卓教授、汪辉副教授等同仁对本书的编写提出了很重要的建议并花费了大量时间为本书进行审稿。2003 级、2004 级和 2005 级的部分研究生参与了文献整理,修订了本书中的许多纰漏和差错。另外,清华大学的魏少军教授和王志华教授也对本书的撰写做了前瞻性的指导。电子工业出版社对本书的出版给予了热情的帮助。Synopsys 公司为本书提供了许多实例。在此谨向所有在本书的编写和出版工作中曾给予鼓励和帮助的各界人士表示衷心的感谢!此外,在写作过程中,作者参阅了国内外作者的有关论文和著作,特别是本书参考书目中列出的论著,在此一并表示谢意!

鉴于 SoC 技术发展迅速,且涉及众多技术领域,作者虽已尽力,但书中难免存在遗漏和错误之处,敬请读者批评指正。

郭 炜

2007 年 3 月于上海



# 目 录

第 1 章 SoC 设计绪论 .....	1
1.1 微电子技术概述 .....	1
1.1.1 集成电路的发展 .....	1
1.1.2 集成电路产业分工 .....	2
1.2 SoC 概述 .....	3
1.2.1 什么是 SoC .....	3
1.2.2 SoC 的构成 .....	3
1.2.3 SoC 的优势 .....	4
1.3 SoC 设计的发展趋势及面临的挑战 .....	5
1.3.1 SoC 设计技术的发展与挑战 .....	5
1.3.2 SoC 设计方法的发展与挑战 .....	10
1.3.3 未来的 SoC .....	12
本章参考文献 .....	13
第 2 章 SoC 设计流程 .....	14
2.1 软、硬件协同设计 .....	14
2.1.1 软、硬件协同设计方法 .....	14
2.2 基于标准单元的 SoC 芯片设计流程 .....	16
2.2.1 设计流程 .....	16
本章参考文献 .....	20
第 3 章 SoC 设计与 EDA 工具 .....	21
3.1 电子系统级设计与工具 .....	21
3.2 验证的分类及相关工具 .....	21
3.2.1 验证方法的分类 .....	22
3.2.2 动态验证及相关工具 .....	22
3.2.3 静态验证及相关工具 .....	24
3.3 逻辑综合及综合工具 .....	25
3.3.1 EDA 工具的综合流程 .....	25
3.3.2 EDA 工具的综合策略 .....	25
3.3.3 优化策略 .....	26
3.3.4 常用的逻辑综合工具 .....	26
3.4 可测性设计与工具 .....	27
3.4.1 测试和验证的区别 .....	27
3.4.2 常用的可测性设计 .....	27
3.5 布局布线与工具 .....	30

3.5.1	EDA 工具的布局布线流程 .....	30
3.5.2	布局布线工具的发展趋势 .....	30
3.6	物理验证/参数提取与相关的工具 .....	31
3.6.1	物理验证的分类 .....	31
3.6.2	参数提取 .....	31
3.7	著名 EDA 公司与工具介绍 .....	33
3.8	EDA 工具的发展趋势 .....	35
	本章参考文献 .....	36
<b>第 4 章</b>	<b>SoC 架构设计及电子系统级设计 .....</b>	<b>37</b>
4.1	SoC 中常用的处理器和 DSP .....	37
4.2	SoC 中常用的总线 .....	41
4.3	SoC 中典型的存储器 .....	45
4.4	多核 SoC 的架构设计 .....	46
4.4.1	可用的并发性 .....	46
4.4.2	多处理器 SoC 设计中的架构选择 .....	47
4.4.3	一种典型的多核 SoC——TI 的开放式多媒体应用平台架构 .....	48
4.5	SoC 中的软件结构 .....	49
4.6	电子系统级 (ESL) 设计 .....	50
4.6.1	ESL 发展的背景 .....	50
4.6.2	ESL 设计基本概念 .....	51
4.6.3	ESL 设计阶段及目标 .....	51
4.6.4	ESL 设计的流程 .....	53
4.6.5	ESL 设计的特点 .....	54
4.6.6	ESL 设计的核心——事务级建模 .....	57
4.6.7	事务级建模语言简介及设计实例 .....	64
4.6.8	ESL 设计的挑战 .....	75
	本章参考文献 .....	76
<b>第 5 章</b>	<b>IP 复用的设计方法 .....</b>	<b>77</b>
5.1	IP 的基本概念和 IP 分类 .....	77
5.1.1	IP 的定义 .....	77
5.1.2	IP 的分类 .....	77
5.1.3	基于 IP 的可重用平台 .....	79
5.2	IP 设计流程 .....	80
5.2.1	设计目标 .....	81
5.2.2	设计流程 .....	81
5.3	IP 的验证 .....	86
5.4	IP 核的选择 .....	88
5.5	IP 市场 .....	89
5.6	IP 复用技术面临的挑战 .....	91

5.7 IP 标准组织 .....	93
本章参考文献 .....	94
<b>第 6 章 RTL 代码编写指南 .....</b>	<b>95</b>
6.1 编写 RTL 代码之前的准备 .....	95
6.1.1 与团队共同讨论设计中的问题 .....	95
6.1.2 根据芯片结构准备设计说明书 .....	96
6.1.3 总线设计的考虑 .....	96
6.1.4 模块的划分 .....	97
6.1.5 对时钟的处理 .....	100
6.1.6 IP 的选择及设计复用的考虑 .....	100
6.1.7 对可测性的考虑 .....	101
6.1.8 对芯片速度的考虑 .....	101
6.1.9 对布线的考虑 .....	102
6.2 可综合 RTL 代码编写指南 .....	102
6.2.1 可综合 RTL 代码的编写准则 .....	102
6.2.2 利用综合进行代码质量检查 .....	106
6.3 调用 Synopsys DesignWare 来优化设计 .....	106
本章参考文献 .....	107
<b>第 7 章 同步电路设计及其与异步信号交互的问题 .....</b>	<b>108</b>
7.1 同步电路设计 .....	108
7.1.1 同步电路的定义 .....	108
7.1.2 同步电路的时序收敛问题 .....	108
7.1.3 同步电路设计的优点与缺陷 .....	109
7.2 全异步电路设计 .....	110
7.2.1 异步电路设计的基本原理 .....	111
7.2.2 异步电路设计的优点与缺点 .....	112
7.3 异步信号与同步电路交互的问题及其解决方法 .....	113
7.3.1 亚稳态 .....	113
7.3.2 异步控制信号的同步及其 RTL 实现 .....	116
7.3.3 异步时钟域的数据同步及其 RTL 实现 .....	122
7.4 SoC 设计中的时钟规划策略 .....	126
本章参考文献 .....	127
<b>第 8 章 综合策略与静态时序分析方法 .....</b>	<b>128</b>
8.1 逻辑综合 .....	128
8.1.1 什么是逻辑综合 .....	128
8.1.2 流程介绍 .....	128
8.1.3 SoC 设计中常用的综合策略 .....	131
8.2 物理综合的概念 .....	132
8.2.1 物理综合的产生背景 .....	132

8.2.2 操作模式 .....	133
8.3 实例——用 Synopsys 的工具 Design Compiler (DC) 进行逻辑综合 .....	133
8.3.1 指定库文件 .....	134
8.3.2 读入设计 .....	135
8.3.3 定义工作环境 .....	135
8.3.4 设置约束条件 .....	136
8.3.5 设定综合优化策略 .....	139
8.3.6 设计脚本举例 .....	139
8.4 静态时序分析 .....	141
8.4.1 基本概念 .....	141
8.4.2 实例——用 Synopsys 的工具 PrimeTime 进行时序分析 .....	144
8.5 统计时序分析 .....	151
8.5.1 传统的时序分析的局限 .....	152
8.5.2 统计时序分析的概念 .....	152
8.5.3 统计时序分析的步骤 .....	153
本章参考文献 .....	153
<b>第 9 章 SoC 功能验证 .....</b>	<b>154</b>
9.1 SoC 功能验证基础知识 .....	154
9.1.1 SoC 功能验证的概念 .....	154
9.1.2 SoC 功能验证的问题 .....	154
9.1.3 SoC 功能验证的发展趋势 .....	155
9.2 系统级验证 .....	155
9.2.1 系统级的功能验证 .....	155
9.2.2 软、硬件协同验证 .....	157
9.2.3 仿真与验证过程的自动化 .....	159
9.3 形式验证 .....	160
9.3.1 形式验证的理论基础 .....	161
9.3.2 相等性检查在 SoC 中的应用 .....	162
9.4 基于断言的验证 .....	163
9.4.1 断言语言 .....	164
9.4.2 基于断言的验证 .....	166
9.4.3 混合验证 .....	167
9.4.4 断言的其他用途 .....	167
本章参考文献 .....	169
<b>第 10 章 可测性设计 .....</b>	<b>170</b>
10.1 集成电路测试概述 .....	170
10.1.1 测试的概念和原理 .....	170
10.1.2 测试及测试矢量的分类 .....	170
10.1.3 自动测试设备 .....	171

10.2	故障建模及 ATPG 原理	172
10.2.1	故障建模的基本概念	172
10.2.2	常见故障模型	173
10.2.3	ATPG 基本原理	175
10.2.4	ATPG 的工作原理	176
10.2.5	ATPG 工具的使用步骤	176
10.3	可测性设计基础	177
10.3.1	可测性的概念	177
10.3.2	可测性设计的优势和不足	179
10.4	扫描测试 (SCAN)	179
10.4.1	基于故障模型的可测性	179
10.4.2	扫描测试的基本概念	180
10.4.3	扫描测试原理	181
10.4.4	扫描设计规则	183
10.4.5	扫描测试的可测性设计流程及相关 EDA 工具	185
10.5	存储器的内建自测	186
10.5.1	存储器测试的必要性	186
10.5.2	存储器测试方法	186
10.5.3	BIST 的基本概念	188
10.5.4	存储器的测试算法	188
10.5.5	BIST 模块在设计中的集成	191
10.6	边界扫描测试	193
10.6.1	边界扫描测试原理	193
10.6.2	IEEE 1149.1 标准	193
10.6.3	边界扫描测试策略和相关工具	198
10.7	其他 DFT 技术	199
10.7.1	微处理器核的可测性设计	199
10.7.2	Logic BIST	201
10.8	DFT 技术在 SoC 中的应用	202
10.8.1	模块级的 DFT 技术	202
10.8.2	SoC 中的 DFT 应用	203
	本章参考文献	204
<b>第 11 章</b>	<b>低功耗设计</b>	<b>205</b>
11.1	为什么需要低功耗设计	205
11.2	功耗的类型	207
11.3	低功耗设计方法	211
11.4	低功耗技术	212
11.4.1	工艺优化	212
11.4.2	电压优化	213

11.4.3	门控时钟技术 .....	214
11.4.4	门级优化技术 .....	218
11.4.5	低功耗 SoC 系统的动态管理 .....	220
11.4.6	低功耗 SoC 设计技术的综合考虑 .....	222
11.5	低功耗分析和工具 .....	222
11.6	低功耗设计趋势 .....	224
	本章参考文献 .....	225
<b>第 12 章</b>	<b>后端设计 .....</b>	<b>226</b>
12.1	时钟树综合 .....	226
12.2	布局规划 .....	228
12.3	布线 .....	231
12.4	ECO 技术 .....	232
12.5	功耗分析 .....	234
12.6	信号完整性的考虑 .....	236
12.6.1	信号完整性的挑战 .....	236
12.6.2	压降和电迁移 .....	238
12.6.3	信号完整性问题的预防、分析和修正 .....	239
12.7	物理验证 .....	239
12.8	可制造性设计/面向良品率的设计 .....	241
12.8.1	DFM/DFY 的基本概念 .....	241
12.8.2	DFM/DFY 方法 .....	241
12.8.3	典型的 DFM/DFY 问题及解决方法 .....	242
12.8.4	DFM/DFY 技术的发展趋势 .....	245
12.9	后端设计技术的发展趋势 .....	245
	本章参考文献 .....	246
<b>第 13 章</b>	<b>SoC 中数模混合信号 IP 的设计与集成 .....</b>	<b>248</b>
13.1	SoC 中的数模混合信号 IP .....	248
13.2	数模混合信号 IP 的设计流程 .....	249
13.3	基于 SoC 复用的数模混合信号 (AMS) IP 包 .....	250
13.4	数模混合信号 (AMS) IP 的设计及集成要点 .....	251
13.4.1	接口信号 .....	251
13.4.2	模拟与数字部分的整体布局 .....	251
13.4.3	电平转换器的设计 .....	252
13.4.4	电源的布局与规划 .....	253
13.4.5	电源/地线上跳动噪声的消除 .....	253
13.4.6	其他方面的考虑 .....	254
13.5	数模混合 IP 在 SoC 设计中存在的问题和挑战 .....	255
	本章参考文献 .....	255

<b>第 14 章 I/O 环的设计和芯片封装</b> .....	257
14.1 I/O 单元介绍 .....	257
14.2 高速 I/O 的噪声影响 .....	258
14.3 静电保护 .....	259
14.3.1 ESD 的模型及相应的测试方法 .....	259
14.3.2 ESD 保护电路的设计 .....	263
14.4 I/O 环的设计 .....	265
14.4.1 考虑对芯片的尺寸的影响 .....	266
14.4.2 考虑对芯片封装的影响 .....	267
14.4.3 考虑对噪声的影响 .....	267
14.4.4 考虑对芯片 ESD 的影响 .....	268
14.5 SoC 芯片封装 .....	268
14.5.1 微电子封装的功能 .....	268
14.5.2 微电子封装的发展趋势 .....	268
14.5.3 当前的封装技术 .....	269
14.5.4 封装技术发展的驱动力 .....	271
本章参考文献 .....	272
<b>附录 A 实验——基于 ARM7TDMI 处理器的 SoC 设计</b> .....	273
<b>附录 B 项目进度管理</b> .....	278
<b>附录 C 嵌入式系统设计</b> .....	286

# 第 1 章 SoC 设计绪论

集成电路发展到今天,已经步入了 SoC 时代。本章将引领读者回顾集成电路的发展史,并详细阐述 SoC 的概念及其优势。最后本章还将全面介绍当前 SoC 设计的发展趋势和所面临的挑战。

## 1.1 微电子技术概述

### 1.1.1 集成电路的发展

当 1947 年 12 月世界上第一个晶体管在贝尔 (Bell) 实验室诞生的时候,没有人想象得出这样一个不起眼的元件,会怎样令人难以置信地改变这个世界。但是很快,人们渐渐地察觉到,在晶体管发明后不到 5 年的时间里,即 1952 年 5 月,英国皇家研究所的达默就在美国工程师协会举办的座谈会上第一次提到了集成电路 (IC, Integrated Circuit) 的设想。他说:“可以想象,随着晶体管和半导体工业的发展,电子设备可以在一个固体块上实现,而不需要外部的连接线。这块电路将由绝缘层、导体和具有整流放大作用的半导体等材料组成。”这就是最早的集成电路概念。

通常所说的“芯片”是指集成电路,它是微电子产业的主要产品。微电子技术是现代信息技术的基础,日常所接触的电子产品,包括通信系统、计算机与网络系统、智能化系统、自动控制系统、空间技术、数字家电等,都是在微电子技术的基础上发展起来的。因此可以说,半导体已经成为信息时代的标志和基础。

回顾全球集成电路发展的路程,基本上可以分为 6 个阶段。

第 1 阶段:1962 年制造出包含 12 个晶体管的小规模集成电路 (SSI, Small-Scale Integration)。

第 2 阶段:1966 年发展到集成度为 100~1000 个晶体管的中规模集成电路 (MSI, Medium-Scale Integration)。

第 3 阶段:1967-1973 年,研制出 1000 个至 10 万个晶体管的大规模集成电路 (LSI, Large-Scale Integration)。

第 4 阶段:1977 年研制出在 30 mm<sup>2</sup> 的硅晶片上集成 15 万个晶体管的超大规模集成电路 (VLSI, Very Large-Scale Integration)。这是电子技术的第 4 次重大突破,从此真正进入了微电子时代。

第 5 阶段:1993 年随着集成了 1000 万个晶体管的 16M FLASH 和 256M DRAM 的研制成功,进入了特大规模集成电路 (ULSI, Ultra Large-Scale Integration) 时代。

第 6 阶段:1994 年随着集成 1 亿个元件的 1G DRAM 的研制成功,进入巨大规模集成电路 (GSI, Giga Scale Integration) 时代。

可以肯定的是,伴随着集成电路的发展,微电子行业具有广阔的科技和应用前景,与此同



时，微电子技术必将通过微型化、自动化、计算机化和机器人化，从根本上改变人类的生活。

### 1.1.2 集成电路产业分工

微电子技术的迅速发展得益于集成电路产业内部的细致分工，目前集成电路产业链主要包括设计、制造、封装和测试，如图 1-1 所示。在集成电路发展过程中，为适应技术发展和市场的需求，其产业结构经历了 3 次重大变革。

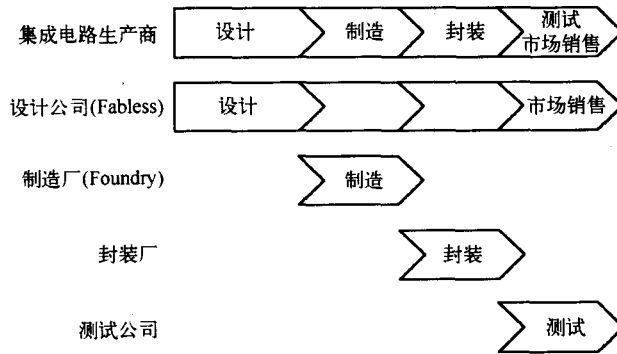


图 1-1 集成电路产业链

#### 1. 以生产为导向的初级阶段

确切地说，20 世纪 60 年代的集成电路产业就是半导体产业，这一时期半导体制造在 IC 产业中充当主角，IC 设计只作为其附属部分而存在。当时的厂家没有专业分工，所掌握的技术十分全面，最典型的代表就是仙童 (Fairchild) 公司。它不但生产晶体管、集成电路，就连生产所需的设备都自己制造。到了 20 世纪 70 年代，半导体工艺设备和集成电路辅助设计工具成为相互独立的产业，两者以其精湛的专业技术为 IC 厂家提供高质量的设备，使得 IC 厂家可以有更多的精力用于产品的设计。

#### 2. Foundry 与 Fabless 设计公司的崛起

到了 20 世纪 80 年代，工艺设备生产能力已经相当强大，但是费用十分昂贵，IC 厂家自己的设计已不足以供其饱和运行，因此开始承接对外加工，继而由部分到全部对外加工，形成了 Foundry 加工和 Fabless 设计的分工。

Foundry 是芯片代工厂的简称。Foundry 不搞设计，也没有自己的 IC 产品，它为 Fabless 提供完全意义上的代工，这使得 Fabless 可以放心地把产品交给 Foundry 而无须担心知识产权外流。

Fabless 是半导体集成电路行业中无生产线设计公司的简称。Fabless 开拓出市场后（或根据市场未来的需求进行风险投资后）进行产品设计，将设计的成果外包给 Foundry 厂家进行芯片生产，生产出来的芯片经过封装测试后由设计公司自己销售。

集成电路产业的这一次分工，再加上集成电路辅助设计工具发展为电子设计自动化 (EDA, Electronic Design Automation) 系统，为大批没有半导体背景的系统设计工程师提供了直接介入 IC 设计的条件。由于工程师们来自国民经济的各行各业，使得集成电路也渗透