



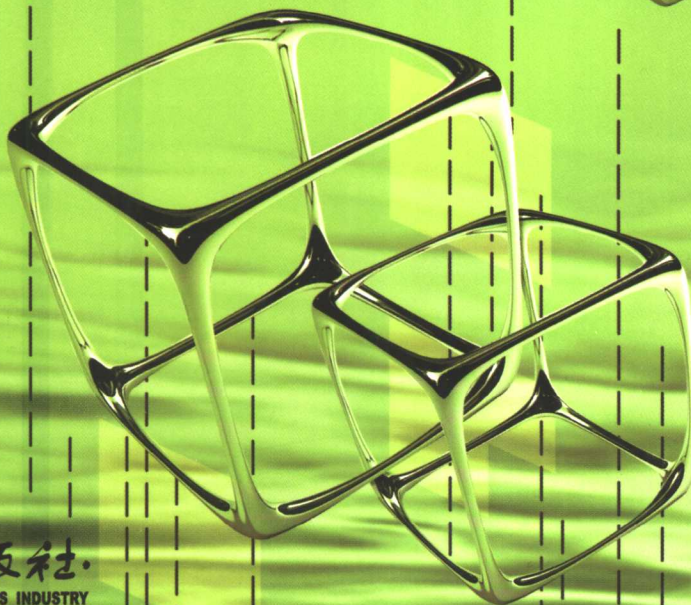
EDA 应用技术

<http://www.phei.com.cn>

Cadence

高速电路板设计与仿真(第2版)

周润景 袁伟亭 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

TN4102
35602
1/

EDA 应用技术

Cadence 高速电路板设计与仿真 (第2版)

周润景 袁伟亭 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书以 Cadence 公司最新推出的 SPB15.7 版本为基础,以实际 PCB 设计流程为例子,详尽讲解 Cadence 公司的 PCB 工具使用方法,包括用 Capture 完成原理图设计、原理图符号的制作、PCB 元件的封装设计、板框设置、元件的布局、PCB 布线、基于 SpectraQuest 的高速电路仿真及文档的输出。本书对 SPB15.7 版本的新功能做了详尽讲解,特别增加了高速 PCB 的设计部分。通过本书的学习,读者可以掌握使用 Cadence 公司的 PCB 工具设计高质量 PCB 的方法。本书力求实用、全面、系统,使读者能在较短的时间内全面掌握该设计工具。

本书适合于对 PCB 设计有一定基础的中、高级读者。可作为电子及相关专业 PCB 设计培训用书,也可以作为高级电子产品研发人员的技术参考用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

Cadence 高速电路板设计与仿真 / 周润景, 袁伟亭编著. —2 版. —北京: 电子工业出版社, 2007.9
(EDA 应用技术)

ISBN 978-7-121-04830-2

I. C… II. ①周… ②袁… III. 电路设计—计算机仿真 IV. TN702

中国版本图书馆 CIP 数据核字 (2007) 第 122525 号

责任编辑: 张 剑

印 刷: 北京市天竺颖华印刷厂

装 订: 三河市金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 47.25 字数: 1210 千字

印 次: 2007 年 9 月第 1 次印刷

印 数: 5 000 册 定价: 76.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

由于印制电路板中元器件的工作速度越来越高，密度越来越大，而普通的 PCB 设计工具只能绘制印制电路板，无法保证设计电路的信号完整性和电磁兼容性。尽管有一些低端的 PCB 设计工具能对信号完整性做一些近似的分析，但分析精度不高，与实际测量差异较大，难以满足高速电路的设计要求。Cadence 公司是 EDA 领域最大的公司之一，SPB 是其众多产品之一，在 PCB 设计行业属于顶级水平，性能卓越。

常言道：“工欲善其事，必先利其器”，选择一款高性能的 PCB 设计软件是非常重要的。Cadence 公司的 PCB 设计工具所包含的各个模块，具有如下特点。

(1) 原理图设计 (Capture CIS)：具有丰富的库元件、方便快捷的原理图输入工具与原理图元件符号编辑工具，与 PCB 设计工具的接口友好，图形美观，能兼容导入由其他 PCB 工具设计的原理图资料，也能导出多种其他 PCB 工具格式的文件。

(2) 原理图仿真 (Pspice A/D)：具有种类齐全、数量丰富的库元件模型及强大的分析功能。

(3) PCB 库元件编辑工具 (Allegro Package Designer)：具有简便、直观、快速、准确地编辑各种标准与非标准封装库元件的功能。

(4) PCB 设计布局 (Allegro)：具有原理图与 PCB 交互参考布局功能。在设计电路结构比较复杂的 PCB 板时，不是把所有的元件一起堆到 PCB 板框的四周，使得元件摆放密密麻麻难以区分，而是能依据电路的功能划分出各种区域 (ROOM)，将元件自动或手动摆放到相应的区域。还能分类提取元件，如按 IC、IO、R、C 分类等，可以显著地缩短元件布局时间，大幅度提高设计效率。

(5) PCB 设计布线 (Specctra)：手工布线与自动布线具有推挤布线，支线、总线布线，差分对、等长、均匀间隔布线等功能。自动布线具有很高的布线速度、布通率和布线质量，可以保证信号完整性和电磁兼容性。

(6) 分析工具 (SpecctraQuest SI/PI/EMI)：具有准确的信号完整性、电源完整性及电磁兼容性分析工具。

(7) 报表生成：可以生成完善齐全的报表，输出加工 PCB 所需的文档。

本书是在第 1 版的基础上修订而成的。本书共 24 章及 2 个附录，其中第 1~18、20~24 章及附录 A、B 由周润景编写，袁伟亭编写了第 19 章的内容，全书由周润景统稿。

为便于读者阅读、学习，特提供本书所讲实例下载资源。请访问 <http://yydz.phei.com.cn> 网站，到“资源下载”栏目下载。

由于 Cadence 公司的 PCB 工具性能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，不妥之处还望指正。

编 著 者

目 录

第1章	Cadence Allegro SPB 15.7 简介	1
1.1	概述	2
1.2	功能特点	2
1.2.1	功能模块	2
1.2.2	特有功能	4
1.3	设计流程	4
1.3.1	前处理	5
1.3.2	中处理	5
1.3.3	后处理	6
1.4	Cadence Allegro SPB 15.7 新功能介绍	6
1.4.1	平面层新功能	6
1.4.2	ROOM 新增的 3 个参数	8
1.4.3	使用 ALT_SYMBOLS_HARD 属性来限制元器件布局	9
1.4.4	动态 Shape	9
1.4.5	保持过孔的网络属性	9
1.4.6	设定自动保存的文件数量	10
1.4.7	分析功能	10
1.4.8	Soldermask 的检查	10
1.4.9	Backdrilling 功能	11
1.4.10	NC Drill 支持 Build-up 技术	14
1.4.11	NC Legend 增强	14
1.4.12	Artwork 新功能	15
1.4.13	新命令	16
1.4.14	OrCAD Layout 设计转换为 Allegro PCB Editor 设计	16
第2章	Capture 原理图设计工作平台	17
2.1	Design Entry CIS 软件功能介绍	18
2.2	原理图工作环境	18
2.3	设置图纸参数	19
2.3.1	设置颜色	20
2.3.2	设置格点属性	21





2.3.3 杂项的设置	22
2.3.4 设置其他参数	22
2.4 设置设计模板	23
2.4.1 字体设置	23
2.4.2 标题栏 (Title Block) 设置	24
2.4.3 页面尺寸 (Page Size) 设置	24
2.4.4 格点参数 (Grid Reference) 设置	25
2.4.5 设置层次图参数	26
2.4.6 设置 SDT 兼容性	27
2.5 设置打印属性	27

第3章 制作元件及创建元件库

31

3.1 创建单个元件	32
3.1.1 直接新建元件	33
3.1.2 用电子表格新建元件	41
3.2 创建复合封装元件	44
3.2.1 创建 U?A	44
3.2.2 创建 U?B、U?C 和 U?D	45
3.3 大元件的分割	46
3.4 创建其他元件	47
习题	48

第4章 创建新设计

49

4.1 原理图设计规范	50
4.2 Capture 基本名词术语	50
4.3 建立新项目	52
4.4 放置元件	53
4.4.1 放置基本元件	54
4.4.2 对元件的基本操作	56
4.4.3 放置电源和接地符号	57
4.4.4 完成元件放置	58
4.5 创建分级模块	59
4.5.1 创建简单层次式电路	59
4.5.2 创建复合层次式电路	65
4.6 修改元件序号与元件值	68
4.7 连接电路图	69
4.7.1 导线的连接	69



4.7.2 总线的连接	70
4.7.3 线路示意	72
4.8 标题栏的处理	74
4.9 添加文本和图像	75
4.10 建立压缩文档	76
4.11 平坦式和层次式电路图设计	77
4.11.1 平坦式和层次式电路特点	77
4.11.2 电路图的连接	79
习题	80
第5章 PCB 设计预处理	83
5.1 编辑元件的属性	84
5.1.1 编辑元件属性的两种方法	84
5.1.2 指定元件封装	86
5.1.3 参数整体赋值	86
5.1.4 分类属性编辑	88
5.1.5 定义 ROOM 属性	89
5.1.6 定义按页摆放属性	90
5.2 Capture 到 Allegro PCB Editor 的信号属性分配	93
5.2.1 为网络分配 PROPAGATION_DELAY 属性	94
5.2.2 为网络分配 RELATIVE_PROPAGATION_DELAY 属性	96
5.2.3 为网络分配 RATSNEST_SCHEDULE 属性	97
5.2.4 输出新增属性	98
5.3 建立差分对	98
5.3.1 为两个 Flat 网络建立差分对（手动建立差分对）	98
5.3.2 为一个设计中多对 Flat 网络同时建立差分对（自动建立差分对）	100
5.4 Capture 中总线（Bus）的应用	101
5.4.1 平坦式电路图设计中总线的应用	101
5.4.2 层次式电路图设计中总线的应用	105
5.5 原理图绘制后续处理	109
5.5.1 设计规则检查	109
5.5.2 为元件自动编号	114
5.5.3 回注（Back Annotation）	115
5.5.4 自动更新元件或网络的属性	116
5.5.5 生成网络表	117
5.5.6 生成元件清单	120
5.5.7 属性参数的输出/输入	122



习题	124
第6章 Allegro 的属性设置	125
6.1 Allegro 的界面介绍	126
6.2 设置工具栏	132
6.3 定制 Allegro 环境	133
6.3.1 设定绘图参数	134
6.3.2 设置文字尺寸	140
6.3.3 设置格点	141
6.3.4 设置 Subclasses 选项	141
6.3.5 设置 B/B Via	142
6.3.6 电路板的预览功能	144
6.3.7 打印设置	144
6.3.8 设置自动保存功能	146
6.4 编辑窗口控制	147
6.4.1 鼠标按键功能	147
6.4.2 画面控制	147
6.4.3 使用 Strokes	148
6.4.4 设置快捷键	150
6.4.5 控制面板位置设置	151
6.4.6 定义和运行脚本	151
习题	156
第7章 集成电路封装的制作	157
7.1 基本概念	158
7.2 集成电路封装 (IC) 的制作	159
7.2.1 利用向导制作 DIP24 封装	159
7.2.2 手工制作 SOIC20 封装	172
第8章 连接器和分立元件封装的制作	181
8.1 连接器 (IO) 封装的制作	182
8.1.1 标准热风焊盘的制作	182
8.1.2 非标准热风焊盘的制作	183
8.1.3 制作焊盘	185
8.1.4 制作 DIN64 的封装	189
8.2 分立元件 (DISCRETE) 封装的制作	195
8.2.1 贴片的分立元件封装的制作	195



8.2.2 直插的分立元件封装的制作	201
习题	205
第9章 电路板的建立	207
9.1 建立电路板	208
9.1.1 使用电路板向导 (Board Wizard) 建立电路板	208
9.1.2 手工建立电路板	213
9.1.3 建立电路板机械符号	218
9.1.4 建立 Demo 设计文件	226
9.2 输入网络表	232
习题	235
第10章 设置设计规则	237
10.1 设置标准设计规则	238
10.2 设置扩展设计规则	239
10.2.1 间距规则设置	239
10.2.2 物理规则设置	243
10.3 设定设计约束 (Design Constraints)	245
10.4 设置元件属性	246
10.4.1 为元件添加属性	246
10.4.2 为元件添加 FIXED 属性	247
10.4.3 为元件添加 Room 属性	247
10.4.4 为网络添加属性	249
10.4.5 显示属性和元素	249
10.4.6 删除属性	251
习题	252
第11章 布局	253
11.1 规划电路板	255
11.1.1 设置格点	255
11.1.2 添加 ROOM	255
11.1.3 为预摆放封装分配元件序号	258
11.2 手工摆放元件	259
11.2.1 按照元件序号摆放	259
11.2.2 高亮 GND 和 VCC 网络	260
11.2.3 改变元件默认方向	261
11.2.4 移动元件	262



11.3 快速摆放元件	263
11.3.1 快速摆放元件到分配的 Room 中	263
11.3.2 快速摆放剩余的器件	265
11.3.3 产生报告	267
习题	271

第 12 章

高级布局

12.1 显示飞线	274
12.2 交换	275
12.2.1 功能交换	275
12.2.2 管脚交换	277
12.2.3 元件交换	278
12.2.4 自动交换	279
12.3 使用 ALT_SYMBOLS 属性摆放	280
12.4 按 Capture 原理图页进行摆放	282
12.5 原理图与 Allegro 交互摆放	286
12.5.1 原理图与 Allegro 交互设置方法	286
12.5.2 Capture 和 Allegro 交互选择	286
12.5.3 Capture 与 Allegro 交互高亮和反高亮元件	287
12.5.4 Capture 与 Allegro 交互高亮和反高亮网络	289
12.6 自动布局	291
12.6.1 设置布局的网格	291
12.6.2 设置元件进行自动布局的属性	293
12.6.3 元件的自动布局	294
习题	297

第 13 章

铺铜

13.1 基本概念	300
13.1.1 正片和负片	300
13.1.2 动态铜箔和静态铜箔	301
13.2 为平面层建立 Shape	302
13.2.1 显示平面层	302
13.2.2 为 VCC 电源层建立 Shape	302
13.2.3 为 GND 地层建立 Shape	303
13.3 分割平面	304
13.3.1 使用 Anti Etch 分割平面	304
13.3.2 使用添加多边形的方法分割平面	307





13.4 分割复杂平面	318
13.4.1 定义复杂平面并输出底片	318
13.4.2 添加负平面 Shape 并进行负平面孤铜检查	320
习题	322
第14章 布线	323
14.1 布线的基本原则	324
14.2 布线的相关命令	325
14.3 定义布线的格点	325
14.4 手工布线	327
14.4.1 添加连接线	327
14.4.2 删除布线	328
14.4.3 添加过孔	329
14.4.4 使用 Bubble 选项布线	331
14.5 扇出 (Fanout By Pick)	331
14.6 群组布线	333
14.7 自动布线的准备工作	335
14.7.1 浏览前面的设计过程中定义的规则	335
14.7.2 在指定层布地址线的规则设置	336
14.7.3 设定电气规则	338
14.7.4 设置特殊规则区域	341
14.8 自动布线	344
14.8.1 使用 Auto Router 自动布线	344
14.8.2 使用 CCT 布线器自动布线	351
14.8.3 对指定网络或元件布线 (Route Net(s) by Pick)	354
14.9 控制并编辑线	356
14.9.1 控制线的长度	356
14.9.2 差分布线	364
14.9.3 高速网络布线	377
14.9.4 45°角布线调整 (Miter By Pick)	380
14.9.5 改善布线的连接	382
14.10 优化布线 (Gloss)	387
14.10.1 固定关键网络	387
14.10.2 Gloss 参数设置	388
14.10.3 添加和删除泪滴	390
14.10.4 自定义平滑 (Custom Smooth) 布线	391
习题	393



第15章	后处理	395
15.1	重命名元件序号	396
15.1.1	自动重命名元件序号	396
15.1.2	手动重命名元件序号	399
15.2	文字面调整	399
15.2.1	修改文字面字体大小	399
15.2.2	改变文字的位置和角度	400
15.2.3	调整 Room 的字体	401
15.3	回注 (Back Annotation)	402
	习题	404
第16章	加入测试点	405
16.1	产生测试点	406
16.1.1	自动加入测试点	406
16.1.2	建立测试夹具的钻孔文件	410
16.2	修改测试点	411
16.2.1	手动添加测试点	411
16.2.2	手动删除测试点	412
16.2.3	交换测试点	413
16.2.4	重新产生 log 文件、钻孔数据和报告	413
16.2.5	建立测试夹具	415
	习题	416
第17章	电路板加工前的准备工作	417
17.1	建立丝印层	418
17.1.1	设置层面颜色和可视性	418
17.1.2	自动添加丝印层	418
17.2	建立报告	421
17.3	建立 Artwork 文件	422
17.3.1	设置加工文件参数	424
17.3.2	设置底片控制文件	427
17.3.3	建立 Assembly 底片文件	428
17.3.4	建立 Soldermask 底片文件	430
17.3.5	建立 Pastemask 底片文件	433
17.3.6	运行 DRC 检查	435
17.4	建立钻孔图	435



17.4.1	颜色与可视性设置	435
17.4.2	建立钻孔符号和图例	436
17.5	建立钻孔文件	438
17.6	输出底片文件	440
17.6.1	建立钻孔图例的底片文件	440
17.6.2	输出底片文件	442
17.7	浏览 Gerber 文件	443
17.7.1	为底片建立一个新的 Subclass	443
17.7.2	加载 Artwork 文件到 PCB 编辑器	444
第18章	Allegro 其他高级功能	447
18.1	设置过孔的焊盘	448
18.2	更新元件封装符号	449
18.3	Net 和 Xnet	450
18.4	技术文件的处理	451
18.4.1	输出技术文件	451
18.4.2	输入技术文件到新设计中	452
18.4.3	比较技术文件	454
18.5	设计重用	456
18.6	DFA 检查	463
18.7	修改 env 文件	465
18.8	Skill 的程序安装及功能说明	466
18.8.1	Skill 程序安装	466
18.8.2	Skill 功能说明	468
	习题	469
第19章	高速 PCB 设计知识	471
19.1	高速 PCB 的基本概念	472
19.1.1	电子系统设计所面临的挑战	472
19.1.2	高速电路的定义	472
19.1.3	高速信号的确定	472
19.1.4	传输线	473
19.1.5	传输线效应	473
19.2	PCB 设计前的准备工作	474
19.2.1	设计前的准备工作	474
19.2.2	电路板的层叠	474
19.2.3	串扰和阻抗控制	475





19.2.4	重要的高速结点	475
19.2.5	技术选择	475
19.2.6	预布线阶段	475
19.2.7	避免传输线效应的方法	476
19.3	高速 PCB 布线	478
19.3.1	高速 PCB 信号线的布线基本原则	478
19.3.2	地线设计	478
19.4	布线后信号完整性仿真	479
19.4.1	布线后信号完整性仿真的意义	479
19.4.2	模型的选择	479
19.5	提高抗电磁干扰能力的措施	479
19.5.1	需要特别注意抗电磁干扰的系统	479
19.5.2	应采取的抗干扰措施	480
19.6	测试与比较	481

第20章 仿真前的准备工作 483

20.1	IBIS 模型	484
20.1.1	IBIS 模型与 SPICE 模型的特点	484
20.1.2	IBIS 模型的物理描述	485
20.2	验证 IBIS 模型	486
20.2.1	浏览解析的 IBIS 文件结果	486
20.2.2	在 Model Integrity 中仿真 IOCell 模型	492
20.2.3	使用 IBIS to DML 转换器	493
20.2.4	浏览 DML 文件的错误和警告信息	494
20.2.5	使用 Espice to Spice 转换器	495
20.3	预布局	499
20.4	电路板设置要求 (Setup Advisor)	503
20.4.1	叠层设置	503
20.4.2	设置 DC 电压值	506
20.4.3	器件设置 (Device Setup)	507
20.4.4	SI 模型分配	509
20.4.5	SI 检查 (SI Audit)	516
20.5	基本的 PCB SI 功能	517
20.5.1	设置显示内容	517
20.5.2	显示网络飞线	518
20.5.3	确定 HA3 网络的元件	518
20.5.4	摆放元件于板框内	519



习题	520
第21章 约束驱动布局	521
21.1 预布局拓扑提取和仿真	522
21.1.1 预布局拓扑提取的设置	522
21.1.2 预布局拓扑提取分析	524
21.1.3 执行反射仿真	528
21.1.4 反射仿真测量	534
21.2 前仿真时序	546
21.2.1 时序信号简介	546
21.2.2 时序计算	550
21.2.3 运行参数扫描	553
21.2.4 为拓扑添加约束	560
21.2.5 分析拓扑约束	565
21.3 模板应用和约束驱动布局	567
21.3.1 为串扰仿真建立拓扑	569
21.3.2 执行串扰仿真	581
21.3.3 应用电气约束规则	586
21.3.4 解决 DRC 错误	590
习题	595
第22章 约束驱动布线	597
22.1 手工布线	598
22.1.1 手工为 HA4 网络布线	598
22.1.2 布线后调整	606
22.2 自动布线	608
22.2.1 为 HA4 和 HA9 网络自动布线	608
22.2.2 检查已布线的网络	611
22.2.3 使用 Automatic Router 自动布线	619
22.3 分析布线网络的拓扑	621
22.3.1 设置分析参数	621
22.3.2 仿真分析	625
习题	630
第23章 后布线 DRC 分析	631
23.1 更新拓扑模板	632
23.1.1 获取 DRC 错误信息	632



23.1.2 修改模板的参数	634
23.1.3 更新拓扑	638
23.2 后仿真	640
23.2.1 反射仿真	640
23.2.2 综合仿真	648
23.2.3 串扰仿真	650
23.2.4 Simultaneous Switching Noise 仿真	653
23.3 多板仿真	665
23.3.1 多板建模	665
23.3.2 使用 DesignLink 分析反射	671
习题	676
第24章 差分对设计	677
24.1 建立差分对	678
24.1.1 手工建立差分对	678
24.1.2 自动建立差分对	679
24.2 仿真前准备工作	681
24.2.1 阻抗控制	681
24.2.2 分配器件模型	686
24.3 仿真差分对	691
24.3.1 提取差分对拓扑	691
24.3.2 分析差分对网络	694
24.4 差分对约束	705
24.4.1 设置差分对约束	705
24.4.2 应用差分对约束	706
24.5 差分对布线	708
24.6 后布线分析	711
习题	715
附录 A User Preferences 设置	717
附录 B DRC 错误代码	735
B.1 单一字符的错误代码	735
B.2 双字符的错误代码	736
参考文献	739

第1章

Cadence Allegro SPB 15.7 简介



概述



功能特点



设计流程



Cadence Allegro SPB 15.7 新功能介绍