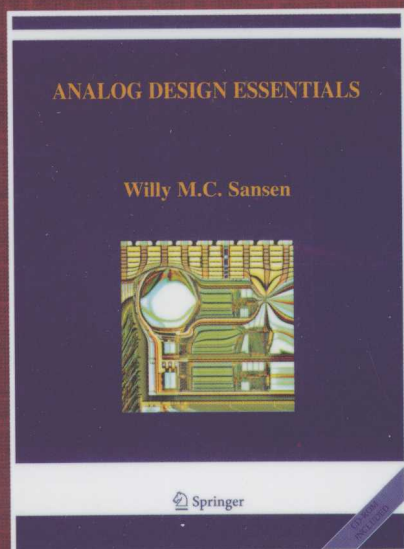
 Springer

清华版双语教学用书



模拟集成电路设计精粹

Analog Design Essentials

Willy M. C. Sansen 著

陈莹梅 译

王志功 审校

清华大学出版社



北京市版权局著作权合同登记号 图字：01-2007-0341

Translation from the English language edition:

ANALOG DESIGN ESSENTIALS, ISBN 0-387-25746-2 by Willy M. C. Sansen

Copyright © 2006 by Springer

Springer is a part of Springer Science + Business Media

All Rights Reserved

本书中文简体字翻译版由德国施普林格公司授权清华大学出版社在中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾地区)独家出版发行。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13501256678 13801310933

图书在版编目(CIP)数据

模拟集成电路设计精粹/(美)桑森(Sansen, W. M. C.)著;陈莹梅译. —北京:清华大学出版社,2008.3

书名原文: Analog Design Essentials

(清华版双语教学用书)

ISBN 978-7-302-16340-4

I. 模… II. ①桑… ②陈… III. 模拟集成电路—电路设计—双语教学—教材
IV. TN431.102

中国版本图书馆 CIP 数据核字(2007)第 164972 号

责任编辑:王敏稚

责任校对:梁毅

责任印制:王秀菊

出版发行:清华大学出版社

地址:北京清华大学学研大厦 A 座

<http://www.tup.com.cn>

邮编:100084

c-service@tup.tsinghua.edu.cn

社总机:010-62770175

邮购热线:010-62786544

投稿咨询:010-62772015

客户服务:010-62776969

印刷者:北京市世界知识印刷厂

装订者:三河市金元印装有限公司

经销:全国新华书店

开本:185×260 印张:36 字数:864千字

版次:2008年3月第1版 印次:2008年3月第1次印刷

印数:1~3000

定价:98.00元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话:(010)62770177 转 3103 产品编号:025932-01

译者序

《模拟集成电路设计精粹》是一本将集成电路设计中的基础概念知识和工程设计恰当结合的教材。译者于2006年初在比利时IMEC有幸聆听了该书的作者Sansen教授以此书为教材的课程,当时就萌生了应该将此书翻译成中文的想法。

本书的主要特点在于作者首先对模拟集成电路的设计技术进行了分析,同时还注重了对各种电路技术的类比和总结,注重了双极型电路和CMOS电路的类比,最后还给出了许多结合当前集成电路设计方向的实例,如低电源电压设计问题、提高增益的几种电路技术、容性噪声匹配等等。这些内容均是其他模拟集成电路设计教材中不多见的,这样的安排使读者在学习电路设计理论时,既有助于加深对概念的理解,又可以将理论直接应用到工程设计,使电路理论变得更加直观生动。

在教学和学习实践中,大家都有这样的体会:一些重要概念的含义并不是一目了然的,对概念的理解也不是一次就能完成的,简单的介绍只能使读者停留在对概念的表面理解上,一旦应用起来常常觉得无所适从。本书的一个重要特点就是,作者对于一些重要概念的介绍特别详细,并贯穿全书的始终。这样学完本书之后,读者将会发现许多重要概念经过该书的反复应用,已经熟记在心了。

全书由陈莹梅翻译,王志功教授审校。东南大学射频与光电集成电路研究所的夏峻、蔡水成、郭雪峰和彭艳军等研究生也参加了本书的翻译工作,在此对他们表示衷心的感谢。清华大学出版社王敏稚编辑在组织出版和编辑工作中给予了很大的支持,在此表示衷心感谢。

由于译者水平有限,书中难免有不妥和错误之处,敬请读者给予批评和指正。

译者

2007年9月

于东南大学射频与光电集成电路研究所

中文版前言

这本《模拟集成电路设计精粹》的目的是为了给试图深入理解模拟集成电路设计的人员提供知识上的帮助,它不是电子学方面的入门课程但是却是一门基础课程,目的是初步理解并深入研究模拟集成电路设计。

本书包括了所有基本电路模块的内容,包括运算放大器、滤波器、ADC 和 DAC,以及一些 RF 电路模块。

教材的上述内容基于作者在世界范围内教学经验的总结,其中也包括了中国,因此作者全力支持该中译本的出版工作。

本书的幻灯片均由作者本人所绘。这些幻灯片均可以复制,因此可以很方便地应用到教学中,而且所有的幻灯片在本书配套的 CD-ROM 中也以彩图的形式给出。

期望这种新的幻灯片格式能够帮助读者更有效地进行模拟集成电路设计的研究与教学工作。

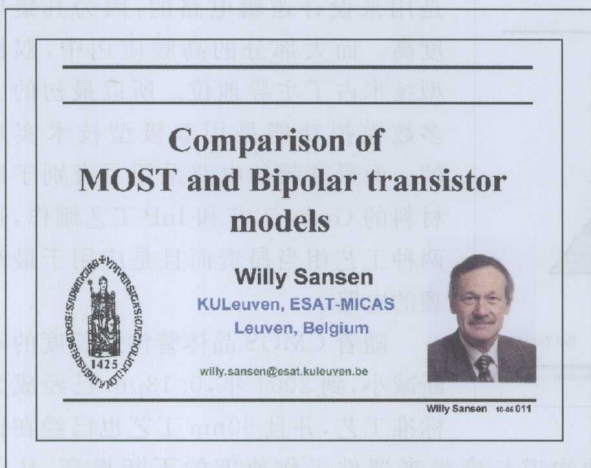
Willy M. C. Sansen

2007 年 9 月

目 录

第 1 章	MOST 与双极型晶体管的比较	1
第 2 章	放大器、源极跟随器与共源共栅放大器	36
第 3 章	差分电压与电流放大器	62
第 4 章	基本晶体管级的噪声性能	82
第 5 章	运算放大器的稳定性	103
第 6 章	运算放大器的系统性设计	124
第 7 章	重要的运算放大器结构	144
第 8 章	全差分放大器	164
第 9 章	多级运算放大器的设计	181
第 10 章	电流输入运算放大器	200
第 11 章	轨到轨输入与输出放大器	207
第 12 章	AB 类放大器与驱动放大器	230
第 13 章	反馈:电压放大器与跨导放大器	251
第 14 章	反馈:跨阻放大器与电流放大器	268
第 15 章	随机性与系统性的失调与 CMRR	290
第 16 章	带隙与电流基准电路	316
第 17 章	开关电容滤波器	335
第 18 章	基本晶体管电路的失真	361
第 19 章	时序滤波器	394
第 20 章	CMOS ADC 与 DAC 原理	421
第 21 章	低功耗 Σ - Δ AD 转换器	452
第 22 章	晶体振荡器设计	485
第 23 章	低噪声放大器	509
第 24 章	模-数混合集成电路的耦合效应	534
	主题索引	558

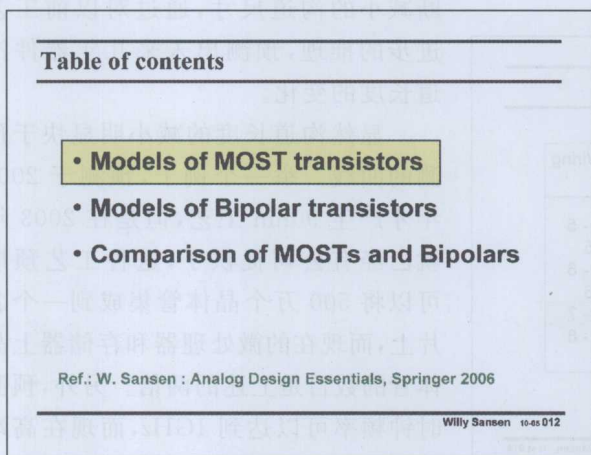
第 1 章 MOST 与双极型晶体管的比较



了解电路设计艺术性与科学性的基础。

教别人是最好的学习,本书配备的 CD-ROM 中包含了所有的幻灯片,PDF 文档中也有一些笔记性的注释帮助理解。要求读者能够为后面的设计者讲解本课程的各部分,这就是本书始终贯彻的培养科学性与艺术性电路设计人才的方法。

所有的设计都是关于电路的,而所有的电路都包括晶体管,器件的各种模型又是分析电路特性所必需的。可以采用 CAD 工具,包括 SPICE, ELDO, SPECTRE 等来分析电路。本书不断地采用了在实际设计中所采用的反馈闭环式设计。



采用的各种模型都是非常精确和复杂的,它是仿真中验证电路性能的必备模型,而前述的使用简单模型进行的设计是整个设计环节的第一步。使用仿真工具的目的就是根据所要求的

011 模拟电路设计是艺术性与科学性的结合。

之所以称为艺术,是因为设计时要在必须的规范和可以忽略的规范间寻求适当的折中,而这需要创造力。

之所以称为科学,是因为需要一定的设计水平和设计方法来指导设计,就必然需要更深入地研究设计时的折中。

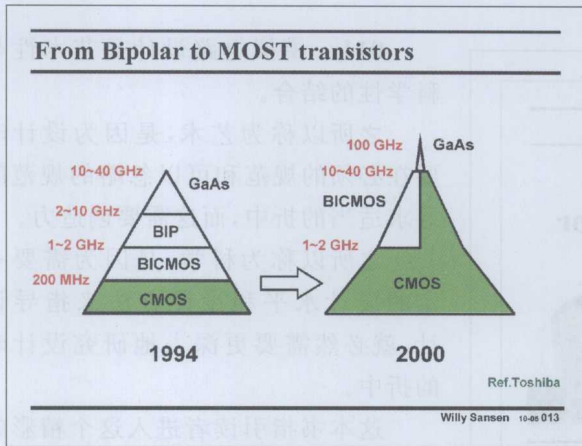
这本书指引读者进入这个精彩的世界,它将指导初学者学习模拟电路设计的各个方面,这是

012 对于模拟集成电路的设计,需要用各种简单的表达式来分析电路的性能。所以简单的模型是必需的,就是说必须用尽可能少的公式来表示每一个晶体管的小信号工作方式,这样就可以用唯一恰当的方式来描述电路的性能,这种方式的主要优点是可以用简单的公式来表示器件尺寸和电流。通常也惯于用传统的仿真工具如 SPICE 和 ELDO 来仿真电路性能。

相比于简单的模型,仿真工具中

电路指标确定晶体管的电流和尺寸。

尽管最早使用的是双极型晶体管,但是我们要从 MOST 器件开始研究,因为现在 MOST 的集成度远远超过了双极型晶体管的集成度。



013 实际上以前的 CMOS 器件是用来设计逻辑电路的,因为其集成度高。而大部分的高频应用中,双极型技术占了主导地位。所以最初的大多数模拟功能是用双极型技术实现的。而最高频的电路采用了有别于硅材料的 GaAs 工艺和 InP 工艺制作,这两种工艺相当昂贵而且是应用于最高频的电路。

随着 CMOS 晶体管沟道长度的不断减小,到 2004 年,0.13 μm 已经成为标准工艺,并且 90nm 工艺也已经在论

文中发表(见 ISSCC)。这样不断减小的沟道长度带来器件工作速度的不断提高,从而 CMOS 器件能够在更高的频率上获得增益。

现在能够在很宽的频率范围内将 CMOS 工艺和双极型工艺进行性能比较,正如本幻灯片所示,频率范围内一直从 10GHz 延伸到 40GHz。在这段频率范围内,一个很明显的问题就是在合理的成本下,哪一种工艺更能满足系统和电路的要求。BiCMOS 工艺是一种比标准的 CMOS 工艺更昂贵的工艺,产生的一个问题是性能上的提高是否能够补偿成本的增加。

The SIA roadmap

Year	Lmin μm	Bits/chip Gb/chip	Trans/chip millions/chip	Clock MHz	Wiring
1995	0.35	0.064	4	300	4 - 5
1998	0.25	0.256	7	450	5
2001	0.18	1	13	600	5 - 6
2004	0.13	4	25	800	6
2007	0.09	16	50	1000	6 - 7
2010	0.065	64	90	1100	7 - 8

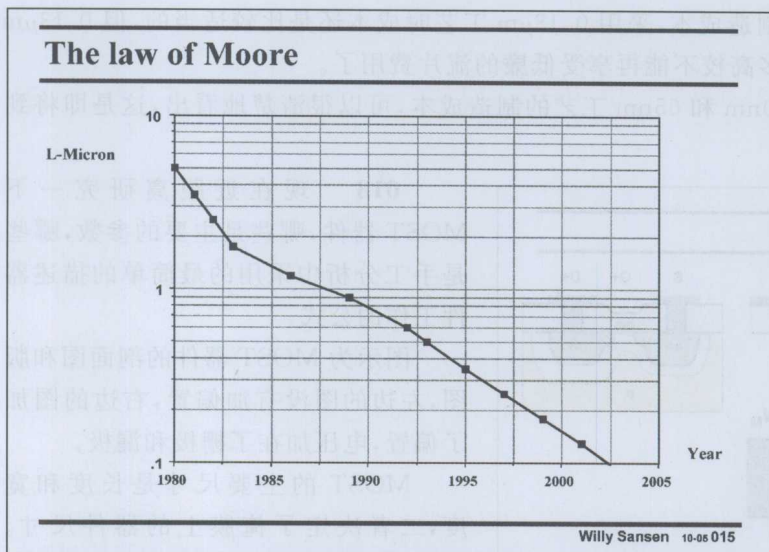
2003

Semiconductor Industry Association

Willy Sansen 10-65 014

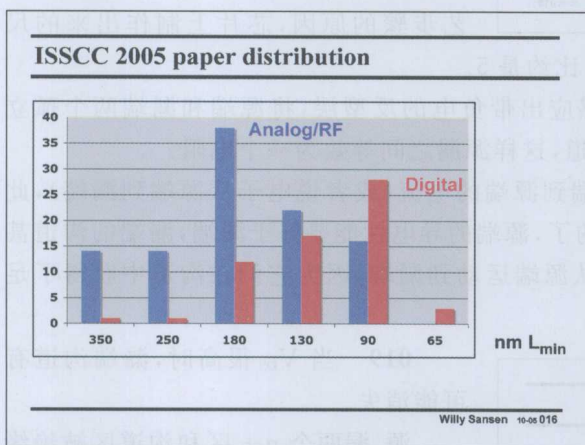
014 SIA 曲线图曾经预测过不断减小的沟道尺寸,通过对以前工艺进步的推理,预测出未来几年器件沟道长度的变化。

显然沟道长度的减小明显快于预测的曲线。举一个例子,预测于 2007 年才产生 90nm 工艺,但是在 2003 年就已经有公司提供了,这种工艺预期可以将 500 万个晶体管集成到一个芯片上,而现在的微处理器和存储器上晶体管的数目是上述的两倍。另外,预测时钟频率可以达到 1GHz,而现在高端计算机的时钟频率已经超过了 3GHz。



015 摩尔曲线也预测过这种不断减小的沟道长度。这是一个沟道长度随时间变化的草图，是 SIA 曲线的图表表示。而实际上在 2003 年就可以实现 90nm 的工艺了。

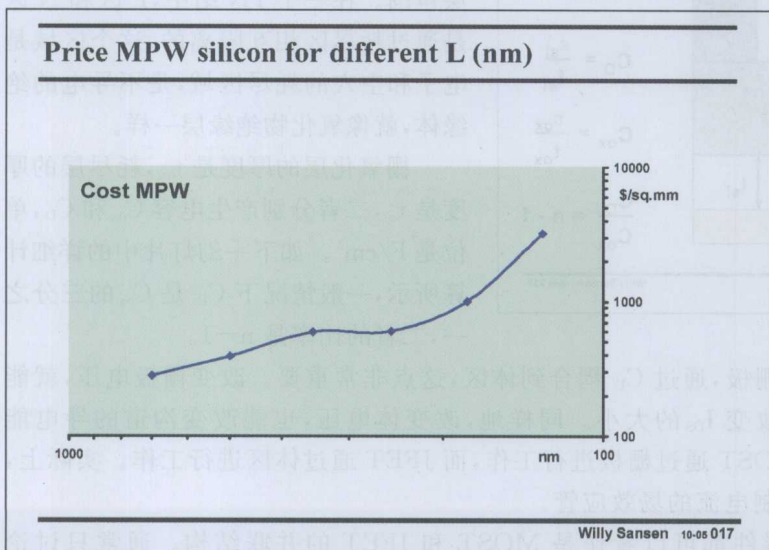
这条曲线的斜率并不是同一的，20 世纪 80 年代早期斜率比较高，随着经济的衰退，斜率有小幅的下降。另外由于制造设备和掩膜制作成本的指数级增长，也一定程度上滞后了新工艺的产生。



016 现在使用最多的工艺其沟道长度是多少呢？

要知道这个答案，可以参考最近 IEEE ISSCC 会议(2005 年 2 月在旧金山举行)的论文，论文涉及两个领域：数字电路及模拟/RF 电路。

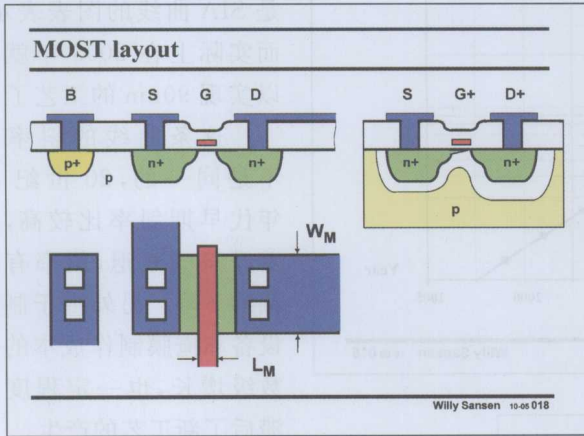
图中清楚地表明，数字电路使用最多的是 90nm 工艺，而模拟/RF 电路使用最多的是 180nm 工艺，工艺落后了两代。



017 实际上，如果流片数量较小且沟道长度较短，硅代工厂的成本就很高。可以用多项目晶圆计划与沟道长度的比较来清晰地理解制造成本。在一次多项目晶圆流片中，多个设计单位将芯片排列在一块掩膜上，进行一次流片，这样成本就被参与流片的设计单位分摊了。这是许多高校和无生产线设计中心降低芯片成本的方法。

以 $\$/\text{mm}^2$ 为单位计算制造成本,采用 $0.18\mu\text{m}$ 工艺时成本还是比较适当的,但 $0.13\mu\text{m}$ 的制造成本就急剧上升,许多高校不能再享受低廉的流片费用了。

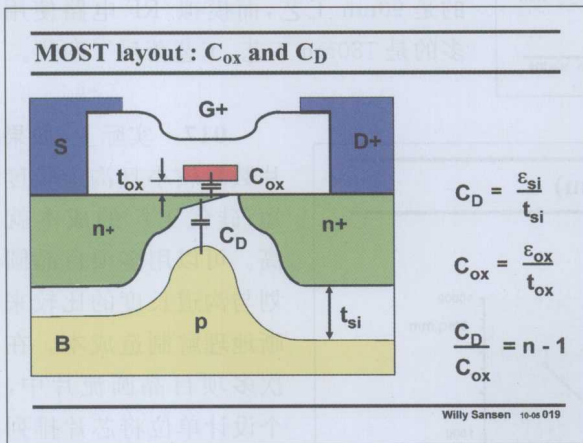
可以很容易地外推出 90nm 和 65nm 工艺的制造成本,可以很清楚地看出,这是即将到来的一次价格转折。



寸相对要小一些。此版图表示的 W/L 宽长比约是 5。

加正的栅压 (V_{GS}) 会在栅氧化层下面感应出带负电的反型层,将源端和漏端两个孤立的 $n+$ 区连接起来,形成一个能够导电的沟道,这样源漏之间等效为一个电阻。

在漏源之间加正电压 (V_{DS}),形成从漏端到源端的电流(或者说电子从源端到漏端),此电流称为 I_{DS} 。所以,导电沟道不再是均匀的了,源端的导电性能要好于漏端,漏端的沟道甚至有可能消失。但是电子还是源源不断地从源端运动到漏端,因为它们获得了足够的速度。



沟道层通过 C_{ox} 耦合到栅极,通过 C_D 耦合到体区,这点非常重要。改变栅极电压,就能改变沟道的导电能力,从而改变 I_{DS} 的大小。同样地,改变体电压,也能改变沟道的导电能力,从而改变 I_{DS} 的大小。MOST 通过栅极进行工作,而 JFET 通过体区进行工作。实际上, JFET 就是一种由结电容控制电流的场效应管。

因此,所有的 MOST 器件都可以看作是 MOST 和 JFET 的并联结构。通常只讨论

018 现在近距离研究一下 MOST 器件,哪些是主要的参数,哪些是手工分析中采用的最简单的描述器件工作的公式。

图示为 MOST 器件的剖面图和版图,左边的图没有加偏置,右边的图加了偏置,电压加在了栅极和漏极。

MOST 的主要尺寸是长度和宽度,二者决定了掩膜上的器件尺寸。实际上因为向四周扩散和经过多次工艺步骤的原因,芯片上制作出来的尺寸

019 当 V_{DS} 很高时,漏端沟道有可能消失。

源、漏两个 $n+$ 区和沟道区被绝缘层包围。在一个 PN 结中,P 区和 N 区是通过耗尽区相互隔离的,这个区域是电子和空穴的耗尽区域,是不导电的绝缘体,就像氧化物绝缘层一样。

栅氧化层的厚度是 t_{ox} ,耗尽层的厚度是 t_{si} ,二者分别产生电容 C_{ox} 和 C_D ,单位是 F/cm^2 。如下一幻灯片中的详细计算所示,一般情况下 C_D 是 C_{ox} 的三分之一,二者的比率是 $n-1$ 。

MOST的情况,而称 JFET 的存在为体效应,将其看作一种寄生效应。

MOST layout : C_{ox} and C_D values

$$C_D = \frac{\epsilon_{si}}{t_{si}} \quad t_{si} = \sqrt{\frac{2\epsilon_{si}(\phi - V_{BD})}{qN_B}}$$

Example : $L = 0.35 \mu\text{m}$; $W/L = 8$

$V_{BD} = -3.3 \text{ V}$: $t_{si} = 0.1 \mu\text{m}$

$t_{ox} = \frac{L_{min}}{50}$: $t_{ox} = 7 \text{ nm}$

$C_D = 10^{-7} \text{ F/cm}^2$

$C_{ox} \approx 5 \times 10^{-7} \text{ F/cm}^2$

$\frac{C_D}{C_{ox}} = n - 1 \approx 0.2$

$\epsilon_{si} = 1 \text{ pF/cm}$
 $\epsilon_{ox} = 0.34 \text{ pF/cm}$
 $\phi \approx 0.6 \text{ V}$
 $q = 1.6 \times 10^{-19} \text{ C}$
 $N_B = 4 \times 10^{17} \text{ cm}^{-3}$

Willy Sansen 10-05 0110

0110 有两个因素影响了耗尽层的宽度,一是大面积区域的掺杂浓度,另一个是施加在耗尽层上的电压。如图中公式所示,结两边的掺杂浓度越高,耗尽层的宽度就越窄;另一方面,加在耗尽层上的电压越高,耗尽层就越宽。

参数包括硅的介电常数 ϵ_{si} , 结的内建电势 ϕ , 电荷常数 q , 体掺杂浓度 N_B , 具体数值在幻灯片中给出。

看一个 $0.35 \mu\text{m}$ 工艺的例子,漏体电压 V_{BD} 感应出一个 0.1 nm 宽度的

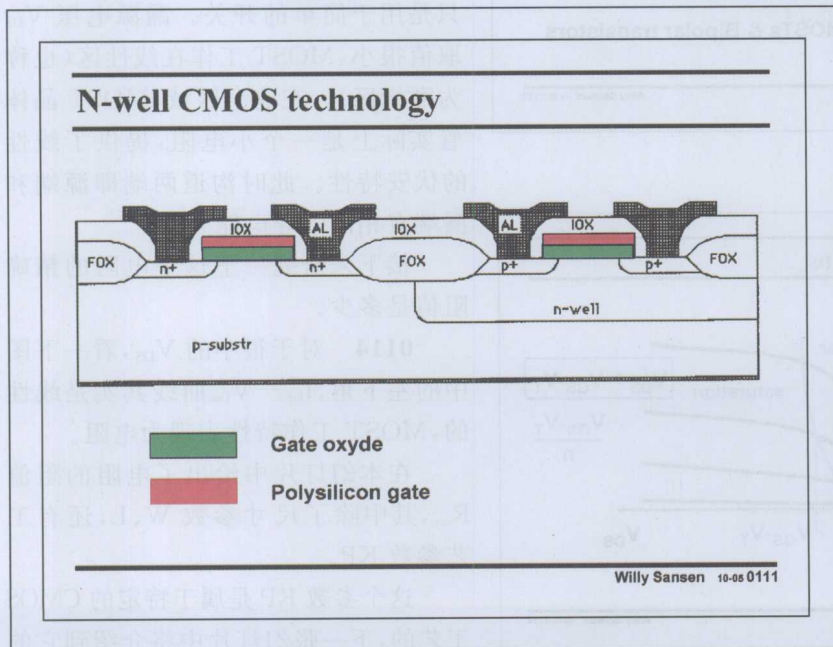
耗尽层,这大约是栅氧化层厚度的 14 倍。这和硅的介电常数是栅氧化层的 3 倍多的情况有点偏差。相比起栅氧化层来说,硅形成电容的能力要强 3 倍。硅电容是电压的函数,因此是非线性电容,而栅氧化层电容是线性电容。

比率 $n-1$ 约等于 0.2, n 的值一般在 1.2~1.5 之间,取决于 t_{si} 的值。参数 n 因为和偏置电压相关,所以一直没有精确的数值。

必须要注意的是所有电容都是 F/cm^2 量级的,如果栅极的面积 WL 为 $5 \times 0.35 \times 0.35 \text{ mm}^2$, 则总的栅电容是 $C_{ox} WL \approx 5 \text{ fF}$, 是一个很小的数值。

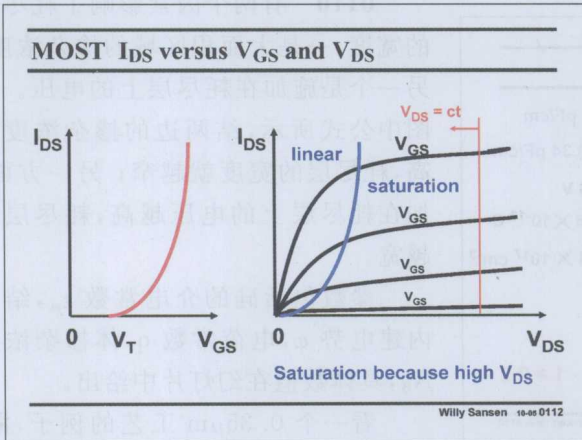
0111 衬底掺杂浓度 N_B 在 nMOST 和在 pMOST 中是不一样的。一般 nMOST 器件直接制作在 P 型衬底上,因此芯片上的所有 nMOST 共用一个衬底。

pMOST 晶体管是 p 型沟道导电,所以要制作在 n 型衬底上或者是 n 阱中,要求其掺杂浓度



远高于共同的 p 衬底。这样的缺点是 pMOST 的体掺杂要高于 nMOST 的体掺杂。所以 pMOST 的 C_D 和 n 参数要高一些。这样做的优点是 pMOST 的体区可以与共同的衬底隔离,其体区可以用来独立控制晶体管的电流 I_{DS} , 这种 pMOST 就有两个可以独立驱动的栅极,顶部栅极和底部栅极。

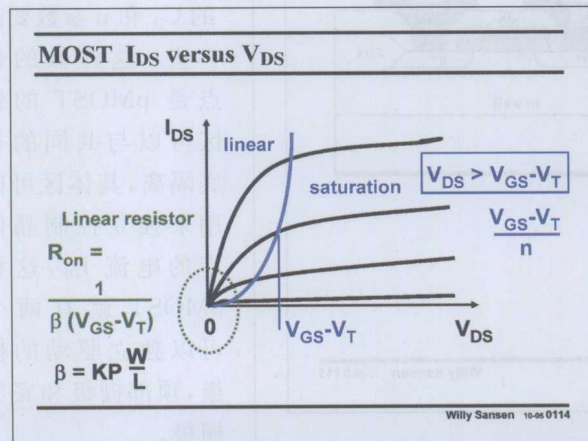
几乎所有的工艺都是 n 阱 CMOS 工艺, 尽管也有一些 p 阱工艺。



图中 I_{DS} 相对于 V_{DS} 的波形中, 在 V_{DS} 取值很小时, 电流线性上升; 这时器件像是一个电阻, 这个区域称为线性区。

Table of contents	
• Models of MOST transistors	
• MOST as a resistor	
• MOST as an amplifier in strong inversion	
• Transition weak inversion-strong inversion	
• Transition strong inversion-velocity saturation	
• Capacitances and f_T	
• Models of Bipolar transistors	
• Comparison of MOSTs & Bipolar transistors	

Willy Sansen 10-06 0113



0112 正的栅极电压 V_{GS} 产生的反型层(或者称为沟道)将源端和漏端连接起来, 而正的漏极电压 V_{DS} 产生了从漏极流向源极的电流 I_{DS} 。我们要得出这个电流的简单表达式, 以便于电路设计。

I_{DS} 相对于 V_{GS} 的波形如图的左边所示, 随着 V_{GS} 大于 V_T , I_{DS} 急剧上升, 其中 V_T 称为阈值电压。当 V_{GS} 比较大时, 电流呈非线性增长。 V_{GS} 超过 V_T 的部分是 $V_{GS} - V_T$, 这是下面电路设计中最重要设计参数。

V_{DS} 取值较大时, 电流将不再上升而是成平行线接近于常数, 可看成是电流饱和了, 此区域称为饱和区。图中给出了四种 V_{GS} 值时的电流曲线。

线性区和饱和区被一条 $V_{DS} = V_{GS} - V_T$ 的抛物线分开来, 首先来研究一下线性区。

0113 在很多应用场合, MOST 只是用于简单的开关。漏源电压 V_{DS} 取值很小, MOST 工作在线性区(也称为欧姆区)。在这个区域, MOST 晶体管实际上是一个小电阻, 提供了线性的伏安特性。此时沟道两端即源端和漏端有相同的导电能力。

接下来研究一下这个电阻的精确阻值是多少。

0114 对于很小的 V_{DS} , 看一下图中的左下角, $I_{DS} - V_{DS}$ 曲线其实是线性的, MOST 工作特性表现为电阻。

在本幻灯片中给出了电阻的阻值 R_{on} , 其中除了尺寸参数 W 、 L , 还有工艺参数 KP 。

这个参数 KP 是属于特定的 CMOS 工艺的, 下一张幻灯片中将介绍到它的

单位是 A/V^2 。

当 V_{DS} 电压较大时,晶体管表现出非线性。与饱和区相交的值是 $V_{GS} - V_T$,或者是更精确的 $V_{DS} = (V_{GS} - V_T)/n$,但我们还是舍去作为安全系数存在的 n 。从现在开始,假定 $V_{DS} > (V_{GS} - V_T)$ 时,晶体管工作在饱和区。

MOST parameters β , KP, C_{ox} , ...

$$\beta = KP \frac{W}{L}$$

$$KP = \mu C_{ox}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$t_{ox} = \frac{L_{min}}{50}$$

$KP_n \approx 300 \mu A/V^2$

$C_{ox} \approx 5 \cdot 10^{-7} F/cm^2$

$\epsilon_{ox} = 0.34 pF/cm$

$\epsilon_{si} = 1 pF/cm$

$t_{ox} = 7 nm$

$L_{min} = 0.35 \mu m$

$\mu_p \approx 250 cm^2/Vs$

$\mu_n \approx 600 cm^2/Vs$

Willy Sansen 10-05 0115

0115 为了表述方便,需要仔细地研究角上的线性区电阻。如本幻灯片所示,也需要一个 KP 的简单近似。因子 β (希腊文 beta) 中包括参数 KP 和电阻尺寸 W, L 。

准确地说, KP 包括栅氧层电容 C_{ox} 和电子迁移率 μ (希腊文 mu)。参数 μ 表示电子在电场 (V/cm) 中能够达到的速度 (cm/s), 单位是 cm^2/Vs , 电子的速度大约是空穴的两倍。

本幻灯片中给出了标准 $0.35 \mu m$ CMOS 工艺的器件参数。

注意到栅氧化层的厚度大约是 $L/50$, 这已在过去 20 年的大多数标准 CMOS 工艺中得到了验证。

凭经验来说,使用 $0.35 \mu m$ CMOS 工艺制作的 $W/L=1$ 方块晶体管,在 $V_{GS} - V_T = 1V$ 的驱动电压下,其电阻阻值约为 $3.4k\Omega$ 。

对于深亚微米 CMOS 工艺,因为 C_{ox} 的影响, KP 值会稍大一些,所以这种方块晶体管电阻值会下降。

0116 对于 $4pF$ 的电容,如果要获得 $0.5ns$ 的时间常数,需要 125Ω 的开关电阻。

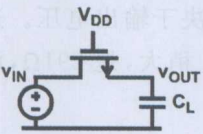
进一步来讲,电阻值取决于 $V_{GS} - V_T$ 的值。实际上,开关一旦开始导通,输出电压仍然是 $0V$, 此时 $V_{GS} - V_T = 2V$ 。在开关转换完成后,输出电压上升到 $0.6V$, 与输入电压的值同样大小。 $V_{GS} - V_T$ 减小了 $0.6V$, 变为 $V_{GS} - V_T = 1.4V$, 平均值是 $V_{GS} - V_T = 1.7V$ 。

当晶体管尺寸 $W/L=1$ 时, 导电电阻约是 $2k\Omega$ ($KP=300\mu A/V^2$), 是我们所需要阻值的 8 倍, 所以我们取晶体管尺寸为 $W/L=8$ 。

值得注意的是, 在传输大的输入电压时存在着困难。当 $V_{OUT} = V_{IN} = 2V$ 时, V_{GS} 就变成了 0 , 开关再也不能导通了, 从而晶体管的阻值为无穷大。

还要注意的还没有考虑到衬底偏置效应的影响。实际上 V_{BS} 不为 0 , 约是 $0.6V$ 。如下面所示, 寄生的 JFET 就会产生作用。

Example : Analog switch on CL



We want to switch $0.6V$ to a load capacitance C_L of $4pF$. We want to do this fast, with time constant $0.5ns$. Supply voltage $V_{DD} = 2.5V$ $V_T = 0.5V$ Use standard $0.35 \mu m$ CMOS.

Choose minimum channel length and find an average V_{GS} !

Willy Sansen 10-05 0116

Example : Analog switch on RL

We want to switch 0.6 V to a load resistor R_L of 5 k Ω .
 $W/L = 8$
 Supply voltage $V_{DD} = 2.5$ V
 0.35 μm CMOS: $V_T = 0.5$ V
 v_{OUT} ? R_{on} ?

Choose minimum channel length!

Willy Sansen 10-08 0117

0117 对于晶体管 $W/L = 8$, $KP = 300 \mu\text{A}/\text{V}^2$, 则 $KP \times W/L = 2.4 \times 10^{-3} \text{S}$ 。将晶体管看成是阻值为 R_{on} 的电阻, 将 R_{on} 用其表达式来表示, 通过迭代, 得到 R_{on} 的值为 216 Ω , 输出电压为 0.575V。

要注意到并没有考虑衬底效应, 实际上, V_{BS} 并不为 0, 约为 0.575V, JFET 将产生作用。

0118 漏源电流 I_{DS} 和沟道电阻 R_{on} 与 V_{GS} 的关系有明确的公式, 但是和 V_{BS} 的关系没有明确。实际上, V_{BS} 的影响是包含在阈值电压 V_T 中的。

随着 V_{BS} 的增大, 沟道下方的耗尽层宽度增大, 阈值电压 V_T 增大, pn 结上施加更多的反偏电压, 则 V_T 上升, 电流下降。对于零 V_{BS} , V_T 恒等于 V_{T0} 。

参数 γ (希腊文 gamma) 与结耗尽层相关, 与参数 n 相关。实际上, 参数 γ 取决于使用的工艺 (比如衬底掺杂浓度 N_B), 但是与电压无关。参数 n 的分母表明其是与电压相关的。

同时, 给出了 0.7 μm CMOS 工艺的其它参数的近似值。

0119 对于晶体管 $W/L = 8$, $KP = 300 \mu\text{A}/\text{V}^2$, 则 $KP \times W/L = 2.4 \times 10^{-3}$ 。将晶体管看成是阻值为 R_{on} 的电阻, 经过一次迭代将 R_{on} 用其表达式来表示, 现在 V_T 取决于输出电压。这样计算出的电阻 R_{on} 稍大, 是 291 Ω , 而不是 216 Ω 。

同样的, 输出电压也有一点降低, 是 0.567V, 而不是 0.575V。时间常数是电阻 291 Ω 和电容 4pF 的乘积。

Body effect - Parasitic JFET

$$V_T = V_{T0} + \gamma [\sqrt{|2\Phi_F| + V_{BS}} - \sqrt{|2\Phi_F|}]$$

$$n = \frac{\gamma}{\sqrt{|2\Phi_F| + V_{BS}}} = 1 + \frac{C_D}{C_{ox}} \quad \begin{array}{l} |2\Phi_F| \approx 0.6 \text{ V} \\ n \approx 1.2 \dots 1.5 \\ \gamma \approx 0.5 \dots 0.8 \text{ V}^{1/2} \end{array}$$

Reverse V_{BS} increases $|V_T|$ and decreases $|i_{bs}|$!!!
 $n = 1/k$ subthreshold gate coupling coeff. Tsividis

Willy Sansen 10-08 0118

Ex. : Analog switch with nonzero VBS

Switch 0.6 V to a load capacitance C_L of 4 pF or a load resistor R_L of 5 k Ω .
 $W/L = 8$ ($R_{on} = 125 \Omega @ V_{BS} = 0$)
 Supply voltage $V_{DD} = 2.5$ V
 0.35 μm CMOS: $V_T = 0.5$ V
 v_{OUT} ? for $\gamma = 0.5 \text{ V}^{-1}$

Start with $V_{BS} = 0$

Willy Sansen 10-08 0119

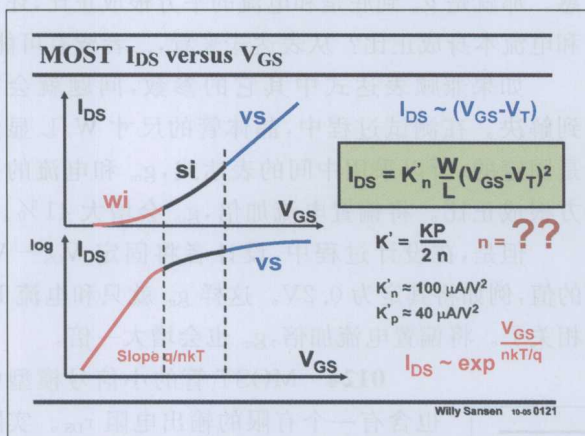
Table of contents

- Models of MOST transistors
 - MOST as a resistor
 - MOST as an amplifier in strong inversion
 - Transition weak inversion-strong inversion
 - Transition strong inversion-velocity saturation
 - Capacitances and f_T
- Models of Bipolar transistors
- Comparison of MOSTs & Bipolar transistors

Willy Sansen 10-05 0120

如果将 MOST 偏置于尽可能高的跨导区(如 RF 应用和低噪声应用),电流密度将增大。由于电子的速度达到饱和,NMOST 的跨导将受到限制,这时需要借助于另一个模型进行分析。

这样,我们已经讨论了三个工作区域。



电流更大时, $I_{DS} - V_{GS}$ 曲线因为一些物理效应呈现出线性关系,最重要的效应是速度饱和:此时所有的电子达到了它们的极限速度 V_{sat} 。

大多数晶体管被偏置在强反型区,因为这样可以在电流效率和电路速度之间达到一个很好的折中,这将在后面进行解释。在该区域,电流的表达式仅仅和 $(V_{GS} - V_T)^2$ 成比例,但是也包含了一个工艺参数: K' 。

该参数 K' 和线性区的参数 KP 以比例因子 $2n$ 相关($K' = KP/2n$),所以它总是小于 KP 。目前 K' 并没有明确的解释,因为 KP 中的迁移率参数不清楚,尤其是 n 不清楚。因为 n 和偏置电压相关,所以 K' 也和偏置电压相关。

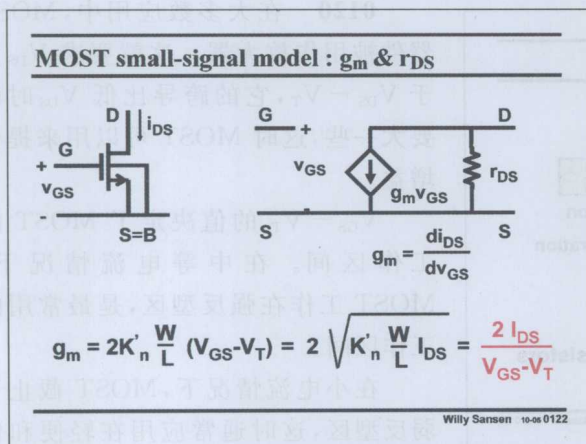
0120 在大多数应用中,MOST 器件被用作放大器。这就要求 V_{DS} 大于 $V_{DS} - V_T$,它的跨导比低 V_{DS} 时的要大一些,这时 MOST 可以用来提供增益。

$V_{GS} - V_T$ 的值决定了 MOST 的工作区间。在中等电流情况下,MOST 工作在强反型区,是最常用的工作区间。

在小电流情况下,MOST 截止于弱反型区,这时通常应用在轻便和低功耗的场合。

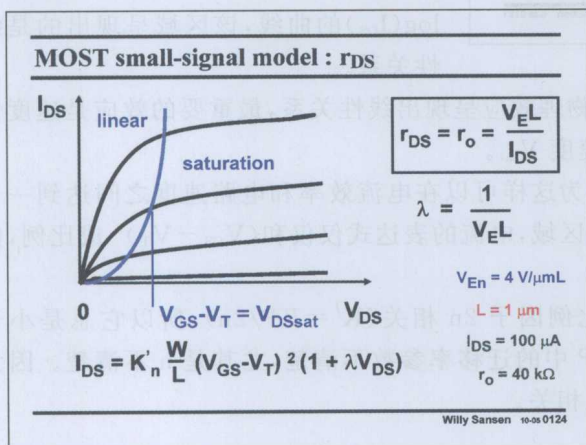
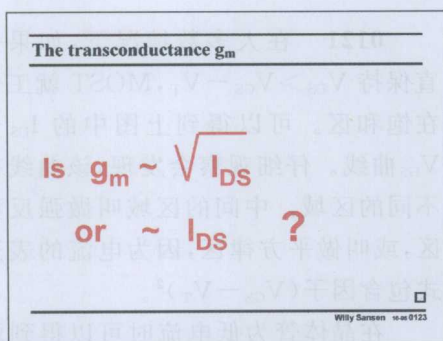
0121 在大多数情况下,如果一直保持 $V_{DS} > V_{GS} - V_T$,MOST 就工作在饱和区。可以得到上图中的 $I_{DS} - V_{GS}$ 曲线。仔细观察会发现,该曲线有不同的区域。中间的区域叫做强反型区,或叫做平方律区,因为电流的表达式包含因子 $(V_{GS} - V_T)^2$ 。

在晶体管为低电流时可以得到弱反型区,或称为指数区,因为电流表达式中包含有 V_{GS} 的指数因子,如果作 $\log(I_{DS})$ 的曲线,该区域呈现出的是线性关系。



会得到 g_m 的第三个表达式。

最后一个表达式是我们最熟悉的，它不含有任何如 K' 之类的工艺参数，也是最精确的一个表达式，在此特别强调最后一个表达式。



0122 现在采用一个 nMOST 制作一个放大器。

假定晶体管被偏置于一个直流电流 I_{DS} ，给它加上一个小信号输入电压 V_{GS} 后，下面要求小信号电流或者 AC 电流的值。

如图中的表达式所示，要求得晶体管的跨导 g_m ，也就是要推导漏极电流和栅源电压的关系。

如果将 $V_{GS} - V_T$ 用电流代替，会得到 g_m 的第二个表达式。

最后，如果将 W/L 用电流代替，

0123 将 g_m 写成三个表达式会造成一些困惑。那就是 g_m 到底是和电流的平方根成正比，还是和电流本身成正比？从表达式来看，二者皆有可能。

如果兼顾表达式中其它的参数，问题就会得到解决。在测试过程中，晶体管的尺寸 W/L 显然是固定的，所以采用中间的表达式， g_m 和电流的平方根成正比。将偏置电流加倍， g_m 会增大 41%。

但是，在设计过程中，设计者将固定 $V_{GS} - V_T$ 的值，例如将其定为 0.2V。这样 g_m 就只和电流 I_{DS} 相关了。将偏置电流加倍， g_m 也会增大一倍。

0124 MOST 管的小信号模型中也含有一个有限的输出电阻 r_{DS} 。实际上 $i_{DS} - v_{DS}$ 曲线在饱和区并不是很平坦，因此表现出一个有限值的输出电阻，将其表示为 r_{DS} 或 r_o 。

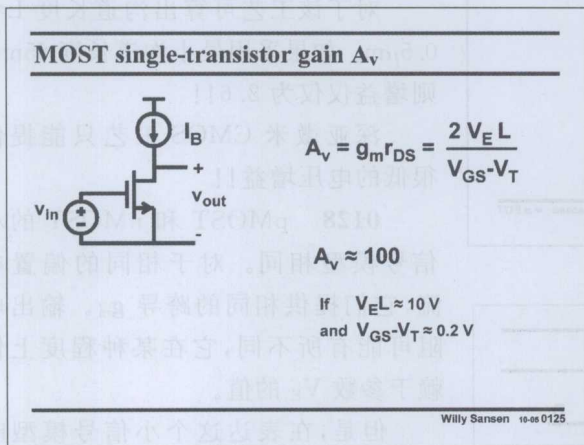
为了表达出电流随着电压的升高而有所上升，公式中加入另外一个参数 λ 。但是 λ 不是一个常数，它和沟道长度相关。因此，通常使用另外一个参数 V_E ，它在某种确定的工艺下是一个常数。nMOST 和 pMOST 有不同的 V_E 值，它的单位是 $\text{V}/\mu\text{m}$ 。

可以简单地表示出输出电阻,下面给出一个例子。

在仿真器(如 SPICE)使用的模型中,输出电阻可以用一些参数来表示。这个基于参数 V_E 的模型,是最简单的一个模型,它只能用来进行手工计算,并且精度有限。

参数 V_E 是我们采用的第四个工艺参数,现在已采用的有 n 、 V_T 、 KP 和 V_E 。

设计参数目前有 L 和 $V_{GS} - V_T$ 。



要得到一个 100 倍的电压增益,需要选择相对大的沟道长度。如果由于某种原因(如电路速度),需要选择最小的沟道长度,那么就要采用电路技术来增加增益。例如,共源共栅结构,增益提高技术,电流缺乏技术,自举技术等。

深亚微米 CMOS 工艺只能提供很小的增益,就需要采用所有可能的电路技术来提高增益。

最后,注意到这样的放大器,当输入电压减小时输出电压增加(正如大多数放大器都是反相的)。这就是为什么有时增益表达式前面加了一个负号。

Design for high gain :

	High gain	High speed
$V_{GS} - V_T$	Low (0.2 V)	
L	High	

$V_{GS} - V_T$ sets the ratio g_m/I_{DS} !

Willy Sansen 19-05 0125

0126 对于信号通路中的每一个晶体管,在设计中要独立地选择它的两个参数的值,这两个参数是 L 和 $V_{GS} - V_T$ 。简单的单管放大器的 L 很大,同时 $V_{GS} - V_T$ 又很小,这样就可以提供一个大的增益。这种方案可以用在要求高增益、低噪声、低失调的场合,如运算放大器中。

用表达式不能确定这些参数的值,需要在设计之初就进行确定。

但是如果追求高速度,得到的结论截然相反。

为了提高电路速度,信号通路中的晶体管要有一个小的 L 和一个大的 $V_{GS} - V_T$ 。这点适用于所有的射频电路,如低噪声放大器(LNA),压控振荡器(VCO),混频器等。

这个矛盾是模拟 CMOS 电路设计中的一个最基本的矛盾,归根到底是增益和速度的矛盾。

最后注意到 $V_{GS} - V_T$ 的值决定了 g_m/I_{DS} 的比率。但是,需要先观察一下弱反型区,选择 $V_{GS} - V_T$ 的值和选择 g_m/I_{DS} 的值最终都是一样的。

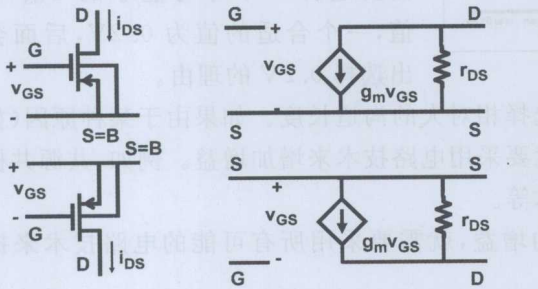
Example: single-transistor amplifier

We want to realize a three-stage amplifier with a total gain of 10,000. We use three single-transistor stages in series. What minimum lengths do we have to use in an advanced 65 nm CMOS technology with $V_E = 4 \text{ V}/\mu\text{m}$?

Choose $V_{GS} - V_T = 0.2 \text{ V}$!

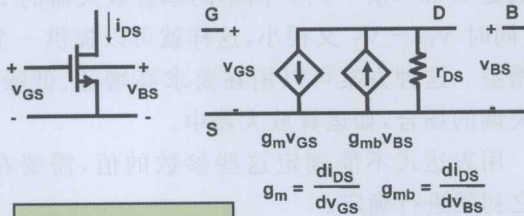
Willy Sansen 10-06 0127

pMOS small-signal model



Willy Sansen 10-06 0128

MOST small-signal model: g_m & g_{mb}



$$\frac{g_{mb}}{g_m} = \frac{C_D}{C_{ox}} = n - 1$$

Willy Sansen 10-06 0129

等于 $n - 1$ 。这是一个很有用的关系，但是它不能提供一个精确的值，因为 n 取决于某些偏置电压。

0127 在多级放大器设计中没有必要将某一级的增益设定为比另一级的高。这样每级放大器的增益就均分为 21.5，因为 $21.5 \times 21.5 \times 21.5 \approx 10000$ ，所以 $V_{E L}$ 的乘积应该为 2.15V。

对于该工艺可算出沟道长度 $L \approx 0.5 \mu\text{m}$ 。如果采用最小沟道长度 65nm，则增益仅仅为 2.6!!

深亚微米 CMOS 工艺只能提供很低的电压增益!!

0128 pMOST 和 nMOST 的小信号模型相同。对于相同的偏置电流，它们提供相同的跨导 g_m 。输出电阻可能有所不同，它在某种程度上依赖于参数 V_E 的值。

但是，在表达这个小信号模型时要注意，通常一个 nMOST 器件需要一个正的 V_{DS} ，而一个 pMOST 器件需要一个负的 V_{DS} 。这就是 pMOST 通常被倒着画的原因，即将其源极画在上面。现在一般只使用正电源，pMOST 也通常被倒着画。

因此需要注意一下怎样标注符号和电流的方向，正确的标注如本幻灯片所示。

0129 n 阱 CMOS 工艺中的 pMOST 器件也可以从体端驱动，体端就代替栅极成了另一个输入端。这就存在着沟道-体端 pn 结被正向偏置的危险，必须避免这种情况，就需要加上额外的保护电路。

考虑体端的输入电压时，需要引入另外一个称为 g_{mb} 的跨导。 g_{mb} 的值和沟道-体端结电容成正比，就像 g_m 和栅氧化电容成正比一样。换言之，跨导的比率和其控制的电容比率相同，