

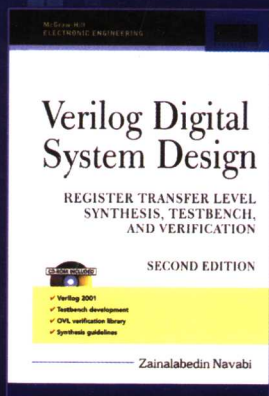
国外电子与通信教材系列

Mc
Graw
Hill

Verilog数字系统设计

—— RTL综合、测试平台与验证(第二版)

Verilog Digital System Design
Register Transfer Level Synthesis,
Testbench, and Verification, Second Edition



[美] Zainalabedin Navabi 著

李广军 陈亦欧 等译
李林 窦恒



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

国外电子与通信教材系列

Verilog 数字系统设计

—— RTL 综合、测试平台与验证

(第二版)

Verilog Digital System Design
Register Transfer Level Synthesis, Testbench, and Verification
Second Edition

[美] Zainalabedin Navabi 著

李广军 陈亦欧 等译
李 林 窦 恒

电子工业出版社
Publishing House of Electronics Industry
北京 · BEIJING

内 容 简 介

本书主要讲述基于 IEEE Std 1364-2001 版本的 Verilog 硬件描述语言, 着重讲述了如何使用 Verilog 进行数字系统的设计、验证及综合。根据数字集成电路设计的工程需求, 本书重点关注 testbench 的设计编写、验证和测试技术, 深入讲述基于 Verilog HDL 的开关级、门级、寄存器传输级 (RTL)、行为级和系统级建模技术, 从而使读者能尽快掌握硬件电路和系统的高效 Verilog 编程技术。书中把 RTL 描述、电路综合和 testbench 验证测试技术紧密结合, 给出了多个从设计描述到验证的 RTL 数字电路模块和系统的设计实例。

本书的设计与讲解由浅入深, 对于 ASIC 设计工程师来说, 本书是一本非常好的自学教材, 既适合高年级本科生作为教材, 也适合研究生第一年的课程需求。作为本科生和研究生的数字系统设计知识和计算机组织结构知识的补充, 本书也很有价值。

Zainalabedin Navabi: **Verilog Digital System Design: Register Transfer Level Synthesis, Testbench, and Verification, Second Edition.** ISBN: 0-07-144564-1

Copyright © 2006 by The McGraw-Hill Publishing Companies, Inc.

Original language published by The McGraw-Hill Companies, Inc. All Rights reserved. No part of this publication may be reproduced or distributed in any means, or stored in a database or retrieval system, without the prior written permission of the publisher.

Simplified Chinese translation edition jointly published by McGraw-Hill Education(Asia) Co. and Publishing House of Electronics Industry. Copyright © 2007.

本书中文简体字翻译版由电子工业出版社和美国麦格劳-希尔教育(亚洲)出版公司合作出版。未经出版者预先书面许可, 不得以任何方式复制或抄袭本书的任何部分。

本书封面贴有 McGraw-Hill 公司激光防伪标签, 无标签者不得销售。

版权贸易合同登记号 图字: 01-2006-5542

图书在版编目 (CIP) 数据

Verilog 数字系统设计: RTL 综合、测试平台与验证: 第 2 版 / (美) 纳瓦毕 (Navabi, Z.) 著; 李广军等译. 北京: 电子工业出版社, 2007.8

(国外电子与通信教材系列)

书名原文: Verilog Digital System Design: Register Transfer Level Synthesis, Testbench, and Verification, Second Edition ISBN 978-7-121-04767-1

I. V... II. ①纳... ②李... III. 硬件描述语言, Verilog HDL-程序设计 IV. TP312

中国版本图书馆 CIP 数据核字 (2007) 第 114261 号

责任编辑: 马 岚 特约编辑: 马爱文

印 刷: 北京京科印刷有限公司

装 订:

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787 × 1092 1/16 印张: 18.25 字数: 515 千字

印 次: 2007 年 8 月第 1 次印刷

定 价: 29.00 元 (含光盘 1 张)

凡所购买电子工业出版社的图书有缺损问题, 请向购买书店调换; 若书店售缺, 请与本社发行部联系。联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。

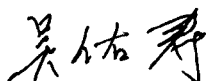
我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。



中国工程院院士、清华大学教授
“国外电子与通信教材系列”出版委员会主任

出版说明

进入21世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间,我社先后从世界著名出版公司引进出版了40余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择和自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

- | | | |
|-----|----------------------------|---|
| 主任 | 吴佑寿 | 中国工程院院士、清华大学教授 |
| 副主任 | 林金桐 | 北京邮电大学校长、教授、博士生导师 |
| | 杨千里 | 总参通信部副部长，中国电子学会会士、副理事长
中国通信学会常务理事、博士生导师 |
| 委员 | 林孝康 | 清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长
教育部电子信息科学与工程类专业教学指导分委员会委员 |
| | 徐安士 | 北京大学教授、博士生导师、电子学系主任 |
| | 樊昌信 | 西安电子科技大学教授、博士生导师
中国通信学会理事、IEEE 会士 |
| | 程时昕 | 东南大学教授、博士生导师 |
| | 郁道银 | 天津大学副校长、教授、博士生导师
教育部电子信息科学与工程类专业教学指导分委员会委员 |
| | 阮秋琦 | 北京交通大学教授、博士生导师
计算机与信息技术学院院长、信息科学研究所所长
国务院学位委员会学科评议组成员 |
| | 张晓林 | 北京航空航天大学教授、博士生导师、电子信息工程学院院长
教育部电子信息科学与电气信息类基础课程教学指导分委员会副主任委员
中国电子学会常务理事 |
| | 郑宝玉 | 南京邮电大学副校长、教授、博士生导师
教育部电子信息与电气学科教学指导委员会委员 |
| | 朱世华 | 西安交通大学副校长、教授、博士生导师
教育部电子信息科学与工程类专业教学指导分委员会副主任委员 |
| | 彭启琮 | 电子科技大学教授、博士生导师、通信与信息工程学院院长
教育部电子信息科学与电气信息类基础课程教学指导分委员会委员 |
| | 毛军发 | 上海交通大学教授、博士生导师、电子信息与电气工程学院副院长
教育部电子信息与电气学科教学指导委员会委员 |
| | 赵尔沅 | 北京邮电大学教授、《中国邮电高校学报（英文版）》编委会主任 |
| | 钟允若 | 原邮电科学研究院副院长、总工程师 |
| | 刘 彩 | 中国通信学会副理事长兼秘书长，教授级高工
信息产业部通信科技委副主任 |
| | 杜振民 | 电子工业出版社原副社长 |
| | 王志功 | 东南大学教授、博士生导师、射频与光电集成电路研究所所长
教育部高等学校电子电气基础课程教学指导分委员会主任委员 |
| | 张中兆 | 哈尔滨工业大学教授、博士生导师、电子与信息技术研究院院长 |
| 范平志 | 西南交通大学教授、博士生导师、信息科学与技术学院院长 | |

译者序

微电子技术是 21 世纪信息时代的关键技术之一，是技术进步和经济发展的重要因素。它是计算技术、自动控制、纳米技术和通信技术的基础，并为其开拓新的应用领域和市场而不断创立新的技术平台。VLSI 集成度的日益提高、特征工艺尺寸的不断缩小以及性能与功耗的同步增长等，都给人们进行 ASIC（专用集成电路）设计提出了越来越大的挑战。

近年来，我国集成电路市场持续快速增长，已成为仅次于美、日的世界第三大市场。集成电路产业前景广阔，而芯片设计与制造技术是整个集成电路产业的核心技术。芯片业已是世界公认的电子工业、信息产业乃至整个国民经济增长的驱动力量。在我国的研究计划中，集成电路被列为信息产业发展的重中之重。然而，目前国产大型家用电器的关键芯片、国产手机的核心芯片以及国产计算机的主要芯片，大多不是由我国设计师所设计的。因此，当务之急是培养足够数量和水平的 ASIC 设计工程师，突破人才瓶颈。

ASIC 设计是一个实践性很强的行业。ASIC 设计师们经常发现，书本上所学到的东西与实践往往有一定的距离。

本书作者是美国东北大学 Zainalabedin Navabi 教授，他在 HDL 工具的研究开发和 VLSI 设计领域有数十年的教学和设计开发经历。本书结合先进的技术和设计方法，以 Verilog HDL 为工具，针对 IC 系统前端设计的重要内容和工程设计技术进行了全面深入的讨论。

本书主要讲述基于 IEEE Std 1364-2001 版本的 Verilog 硬件描述语言，着重讲述了如何使用 Verilog 进行数字系统的设计、验证及综合。根据 ASIC 设计的工程需求，本书重点关注 testbench 的设计编写、验证和测试技术。其另一特点是深入讲述了基于 Verilog HDL 的开关级、门级、寄存器传输级（RTL）、行为级和系统级建模技术，从而使读者能尽快掌握硬件电路和系统的高效 Verilog 编程技术。书中把 RTL 描述、电路综合和 testbench 验证、测试技术紧密结合，给出了多个从设计描述到验证的 RTL 数字电路模块和系统的设计实例。

本书的翻译工作由电子科技大学、美国凹凸 IC 设计公司的李广军、窦恒、陈亦欧和李林合作完成，全书由李广军教授统稿。本书在翻译过程中得到了北京航空航天大学夏宇闻教授的大力支持和帮助，在此深表谢意。

限于译者水平和时间所限，书中难免存在疏漏之处，敬请广大读者批评指正。我们希望通过读者的意见来了解自己的不足，读者可以将反馈意见发送到 uestc111.li@yahoo.com.cn。

前 言

本书主要讲述基于 IEEE Std 1364-2001 版本的 IEEE 标准硬件描述语言：Verilog 硬件描述语言（Verilog Hardware Description Language，简称 Verilog HDL）。本书读者主要面向有各种数字系统设计及制造背景的工程师和有数字系统设计基础的学生。本书的重点是使用 Verilog 进行数字系统的设计、验证及综合。我们将讨论寄存器传输级（Register Transfer Level，简称 RTL）的设计，并讨论怎样将 Verilog 运用在这个设计流程中。

过去的几年里，RTL 数字系统设计发生了极大的变化。除了任何 RTL 设计流程里都会包含的仿真和综合，我们也要关注 testbench（测试平台）的产生和自动验证工具。与许多讲 Verilog 的书类似，本书涵盖了数字设计以及 Verilog 的仿真和综合。对于进行大规模数字系统设计、测试和验证的工程师来说，本书包含了 testbench 开发和验证的内容。第 1 章讲述了关于 testbench 和验证的内容。从第 2 章起，主要讲述了 Verilog 的设计和综合。读者将学会描述实际硬件部件的高效 Verilog 编程技术。从设计的角度把 Verilog 的方方面面都展示给读者以后，关注点就转移到了测试和验证。第 6 章讲述了 testbench 开发技术以及如何用断言验证更好地对设计进行分析。从第 6 章到本书末尾，把 HDL 编程技术用于电路综合和 testbench 开发，并给出了几个从设计描述到验证的 RTL 级设计实例。

在讲述编程语言的同时，本书也回顾了数字系统设计和计算机结构的概念。回顾这些知识对于学习新的设计方法学和基于设计工具的硬件语言描述是非常有益的。本书中的设计流程由浅入深，从讲述基本原理直到复杂数字系统设计的概念，对于那些渴望进步的工程师来说，本书是一本非常好的自学教材。书中的内容既适用于高年级本科生课程，也适用于研究生一年级的课程。本书也非常适合作为在数字系统设计中应用 Verilog 的一个学期的教材。作为本科生和研究生数字系统设计和计算机组织结构的补充，本书也是非常有价值的。

章节概要

本节是全书的章节概要，目的是帮助读者了解本书的各有关章节，从而找到哪些章节最适合读者的需求。第 1 章和第 2 章是介绍性的，所讲述的可能是一些读者已熟悉的内容。但是，这里仍建议这些读者以及有数字系统经验的读者不要完全忽略这两章。第 3 章详细讲述了 Verilog 的语法。第 4 章和第 5 章从设计者的角度讲述了怎样用 Verilog 来描述硬件。第 6 章讲述了测试。从整体来看，第 4 章至第 6 章都讲述了基于 Verilog 的设计和数字系统的测试。第 7 章主要讲述建模，这部分内容对超大规模集成电路工程师来说非常有用。第 8 章的最后一个例子是个完整的可综合的处理器，针对这个处理器编写了完整的 testbench。

第 1 章概述了数字设计的整个流程以及在这个流程中应用硬件描述语言的作用。仿真、综合、形式验证和断言验证都在本章中进行了讨论。

第 2 章展示了可以用 Verilog 描述的各种硬件设备。这一章的目的是给读者提供 Verilog 编程语言的大体概念。

第 3 章讨论了整个 Verilog 语言的结构。本章的重点是 Verilog 语言本身的语法，而不是硬件模型的建模。在对硬件进行建模之前，对编程语言有大概的了解是非常必要的。第 4 章将讲述用 Verilog 描述硬件电路。

第4章讨论了如何用高级 Verilog 结构来描述组合电路。本章用专门的例子讨论并发和时序电路。除了带时间参数的描述以外，本章的编码设计都是可综合的。本章还有一节专门陈述可综合组合逻辑的设计规则。

第5章讨论了时序电路的 Verilog 建模和描述。这一章从存储器模型开始，展示了怎样用 Verilog 来描述存储器。本章还讨论了寄存器、计数器和状态机。本章有一节专门讲述了可综合时序电路的设计规则。

第6章是关于如何编写 testbench 的。前两章从硬件设计的角度讨论了 Verilog，这一章则展示了怎样从测试的角度来描述硬件部件。本章还讲述了数据产生、响应分析和断言验证。

第7章讲解了开关级（switch level）电路的建模，并详细描述了 Verilog 中的信号。这部分内容更适合那些用 Verilog 进行门级建模的工程师，而不是系统设计工程师。本章还会讨论如何用 Verilog 来描述超大规模集成电路结构。

第8章讲述了从提出规范直至最后的测试这样一个完整的 RTL 设计流程。我们用第4章至第6章中的内容完成了几个完整的设计例子，包括从硬件描述、仿真、验证到可综合的数字系统。本章的例子中使用了 Verilog 的文本 IO 性能来保存测试数据和电路响应。

附录 A 包含了 Verilog 的关键字。附录 B 列举了常用的系统函数，并对每个系统函数都进行了简要介绍。附录 C 列举了 Verilog 的编译指令并解释了其用法。附录 D 陈述了标准 IEEE 的 Verilog 语法，给出了以 Verilog 描述的标准语法形式的终结文字（terminal）和非终结文字（nonterminal）。附录 E 描述了 OVL 断言监视器。除了简介每个断言监视器以外，还解释了它们的参数。

推荐的阅读流程

本书讲述了如何用 Verilog 编程语言来进行 RTL 数字系统设计、仿真、验证和综合。为了能深入理解以上这些内容，对于一个完整的一学期研究生课程来说，作者建议读者能够完整地学习此书。然后，对于有特定需求的针对本科生的自动设计方法学课程来说，也可以只学习本书的一部分。下面讲述了本书的不同用途。

对于一个想要学习综合的硬件工程师来说，第4章和第5章是最重要的部分。对于这类读者来说，第3章可以参考阅读。第6章主要讲述 testbench 设计，读者可以根据自己的情况选学。如果设计者要完成一个完整的系统，则应该阅读第8章。

第2章是对 Verilog 语言的介绍性概括。对于一个学习 Verilog 的低年级本科生来说，这一章是学习 Verilog 的良好开端。读者可以根据自己的情况来选学关于 Verilog 的更复杂的知识。

通过第8章可以学习计算机组织的概念，并学习用 Verilog 来描述这些结构。熟悉 Verilog 的读者可以利用其对 Verilog 的了解来学习 CPU 的内部工作过程、指令执行过程和对大型数字系统的测试。

本书完整讲述了所有关于 Verilog 的知识，讲述流程与大多数四年制计算机工程硬件设计课程的流程是一样的。下面列举了本书对于 Verilog 初学者、本科生、研究生、设计工程师、建模工程师和系统设计工程师的不同使用方法。

1. 针对低年级本科生或初级设计工程师，可以把本书作为设计方法的简介：

- 第1章和第2章：设计流程与 Verilog 概述
- 第4章和第5章：可综合的组合与时序电路设计

2. 针对熟悉设计流程和 Verilog 语法的高级设计工程师, 本书讲述了高级逻辑设计技术:
 - 第 1 章和第 2 章: 基于 Verilog 的设计的概述
 - 第 3 章: Verilog 语法与结构
 - 第 4 章和第 5 章: 可综合的组合与时序电路设计
 - 第 6 章: 测试方法
3. 针对熟悉设计流程和 Verilog 语法的高级系统设计工程师, 本书讲述了高级系统设计技术:
 - 第 1 章和第 2 章: 基于 Verilog 的设计的概述
 - 第 3 章: 根据需要作为参考
 - 第 4 章和第 5 章: 可综合的组合与时序电路设计
 - 第 6 章: 测试方法
 - 第 8 章: 自上而下的系统设计方法
4. 针对研究生和高级大规模集成电路设计工程师, 本书讲述了高级建模和系统设计方法:
 - 第 1 章和第 2 章: 基于 Verilog 的设计的概述
 - 第 3 章: 根据需要参考阅读
 - 第 4 章和第 5 章: 可综合的组合与时序电路设计
 - 第 6 章: 测试方法
 - 第 7 章: 开关级电路和 CMOS 的建模
 - 第 8 章: 自上而下的系统设计方法
5. 作为计算机工程专业的研究生课程的教材:
 - 在前期的数字逻辑设计课程中讲述第 1 章和第 2 章
 - 在数字逻辑设计课程中讲到组合与时序电路时同时讲述第 4 章和第 5 章
 - 把第 6 章作为选修内容
 - 把第 7 章作为高级超大规模集成电路设计课程的内容
 - 把第 8 章作为面向一、二年级的计算机结构课程的内容

代码范例

在本书的前期准备和编写过程中, 笔者觉得对于一本讲述编程语言的书来说, 为读者选择恰当的范例程序非常重要。本书所举的每个设计范例, 都完成了对应的 testbench, 并对设计进行过测试。对于每个范例来说, 都有逻辑设计的概念和 Verilog 的结构及特性包含在例子中。最初, 范例使用的都是简单的 Verilog 结构, 逐渐发展成一个个比较复杂的例子。在讲述 Verilog 设计流程的同时, 本书从简单的逻辑设计概念, 如用基本的门搭建组合电路, 逐渐讲到了高级逻辑设计的概念, 如队列和处理器。

本书所附的光盘包含了仿真、综合和对器件编程的软件工具。书中的 Verilog 范例程序及其对应的 testbench 也包含在光盘中。对于讲授本书的教师来说, 每章最后的习题答案和 Power Point 幻灯片可以向作者或者出版社索取^①。

致谢

我在这里非常感谢对本书的出版做过贡献的人们。每讲述到一个新的知识点时, 本书会举出相应的例子, 针对知识点对例子展开讨论。与我所著的其他书籍类似, 本书的写作风格来自与我共事

^① 申请方式参见书末所附的“教学支持说明”——编者注。

多年且已过世的亚利桑纳大学的 Fredrick J. Hill 教授，我曾经是他的学生和助研。在本书的编写过程中，我的学生和同事们给予了非常大的帮助。在过去的 15 年里，我在德黑兰大学、东北大学和国家技术大学的学生为我提供了更恰当的范例程序，给我的帮助很大。书中的许多例子就来自于这些学生的考试题目和课后作业。

从本书开始制定编写计划，我的同事 Fatemeh Asgari 女士就承担了书稿准备工作的责任。在我繁忙的工作中安排编写书稿的时间，对她来说是一项非常有挑战的工作。感谢她对我的写作计划和进度所提出的忠告和建议。德黑兰大学的学生 Armin Alaghi, Najmeh Fakhraie, Amirali Ghofrani, Aida Hasani 和 Mahsan Rofouei 对完成本书的书稿非常有帮助。他们帮助检查了书稿，完成了例子的编程，准备插图，并针对不同层次的读者对书的编写给出了很好的建议。

最后，我要感谢我的妻子 Irma Navabi，感谢她给我的鼓励并理解我的工作。如果没有我的妻子和我的两个儿子 Aarash 和 Arvand 的支持，这样一个高强度的任务是不可能完成的。我为所取得的成绩感谢他们。

Zainalabedin Navabi 博士
波士顿，马萨诸塞州
navabi@ece.neu.edu

目 录

第 1 章 基于 Verilog 的数字系统设计自动化	1
1.1 数字设计流程	1
1.1.1 设计输入	1
1.1.2 Verilog 中的测试平台	3
1.1.3 设计确认	3
1.1.4 编译和综合	5
1.1.5 综合后仿真	6
1.1.6 时序分析	6
1.1.7 生成硬件电路	6
1.2 Verilog 硬件描述语言	7
1.2.1 Verilog 的演进	7
1.2.2 Verilog 的属性	8
1.2.3 Verilog 语言	9
1.3 小结	9
习题	9
参考文献	9
第 2 章 Verilog 的寄存器传输级设计	11
2.1 寄存器传输级设计	11
2.1.1 控制部分和数据部分的划分	11
2.1.2 数据部分	11
2.1.3 控制部分	12
2.2 Verilog 基础	13
2.2.1 硬件模块	13
2.2.2 原语例化	14
2.2.3 连续赋值	14
2.2.4 条件表达式	14
2.2.5 过程块	15
2.2.6 模块例化	15
2.3 Verilog 中的元件描述	16
2.3.1 数据元件	16
2.3.2 控制器	21
2.4 测试平台	24
2.4.1 一个简单的测试例子	24
2.4.2 任务和函数	25

2.5 小结	25
习题	25
参考文献	25
第3章 Verilog 语言的概念	26
3.1 硬件描述语言的特征	26
3.1.1 时序	26
3.1.2 并发性	27
3.1.3 时序和并发性的例子	28
3.2 模块基础知识	29
3.2.1 代码格式	29
3.2.2 逻辑值系统	29
3.2.3 网线和变量	30
3.2.4 模块	30
3.2.5 模块的端口	30
3.2.6 命名	30
3.2.7 数字	31
3.2.8 数组	32
3.2.9 Verilog 运算符	33
3.2.10 Verilog 的数据类型	37
3.2.11 数组标号	41
3.3 Verilog 仿真模型	43
3.3.1 连续赋值语句	43
3.3.2 过程赋值语句	46
3.4 编译指令	50
3.4.1 `timescale	50
3.4.2 `default_nettype	50
3.4.3 `include	50
3.4.4 `define	50
3.4.5 `ifdef, `else 和 `endif	51
3.4.6 `unconnected_drive	51
3.4.7 `celldefine 和 `endcelldefine	51
3.4.8 `resetall	51
3.5 系统任务和函数	51
3.5.1 显示任务	51
3.5.2 文件 I/O 任务	51
3.5.3 时间刻度任务	52
3.5.4 仿真控制任务	52
3.5.5 时序检查任务	52
3.5.6 PLA 建模任务	52
3.5.7 实数转化函数	53

3.5.8 其他函数和任务	53
3.6 小结	53
习题	53
参考文献	57
第4章 组合电路描述	58
4.1 模块连线	58
4.1.1 端口	58
4.1.2 互连	59
4.1.3 线网值和时序	59
4.1.4 一个简单 testbench	60
4.2 门级逻辑	61
4.2.1 门原语	61
4.2.2 用户定义原语	62
4.2.3 延迟格式	63
4.2.4 模块参数	64
4.3 层次化结构	66
4.3.1 简单层次	67
4.3.2 向量声明	68
4.3.3 迭代结构	69
4.3.4 模块路径延迟	71
4.4 赋值语句中的描述表达式	73
4.4.1 按位运算符	73
4.4.2 并置运算符	74
4.4.3 向量运算	75
4.4.4 条件运算	75
4.4.5 赋值中的算术表达式	78
4.4.6 表达式中的函数	78
4.4.7 总线结构	79
4.4.8 线网声明赋值	80
4.5 行为组合描述	81
4.5.1 简单过程块	81
4.5.2 时序控制	81
4.5.3 内部指定延迟	83
4.5.4 阻塞和非阻塞赋值	83
4.5.5 过程 if-else 语句	85
4.5.6 过程 case 语句	86
4.5.7 过程 for 语句	88
4.5.8 过程 while 循环	89
4.5.9 多级描述	89
4.6 组合综合	91

4.6.1	门级综合	91
4.6.2	连续赋值综合	92
4.6.3	行为综合	93
4.6.4	混合综合	95
4.7	小结	95
	习题	95
	参考文献	96
第5章	时序电路描述	97
5.1	时序模型	97
5.1.1	反馈模型	97
5.1.2	电容模型	97
5.1.3	隐含模型	98
5.2	基本存储器元件	98
5.2.1	门级原语	98
5.2.2	用户定义时序原语	100
5.2.3	使用赋值的存储器单元	101
5.2.4	行为存储器单元	102
5.2.5	触发器时序	107
5.2.6	存储器向量和数组	110
5.3	功能寄存器	114
5.3.1	移位寄存器	114
5.3.2	计数器	117
5.3.3	LFSR 和 MISR	119
5.3.4	堆栈和队列	121
5.4	状态机编码	125
5.4.1	Moore 状态机	125
5.4.2	Mealy 状态机	127
5.4.3	Huffman 编码风格	130
5.4.4	多模块化描述风格	132
5.4.5	基于ROM 的控制器	132
5.5	时序综合	134
5.5.1	锁存器模型	135
5.5.2	触发器模型	135
5.5.3	存储器初始化	136
5.5.4	通用时序电路综合	137
5.6	小结	137
	习题	137
	参考文献	139
第6章	设计的测试与验证	140
6.1	测试平台	140

6.1.1	组合电路测试	140
6.1.2	时序电路测试	141
6.2	测试平台技术	143
6.2.1	测试数据	144
6.2.2	对仿真的控制	144
6.2.3	设置数据限制	144
6.2.4	采用同步数据	146
6.2.5	输出结果的同步显示	146
6.2.6	交互式测试平台	147
6.2.7	随机的时间间隔	149
6.2.8	数据缓存的应用	151
6.3	设计的验证	151
6.4	断言验证	152
6.4.1	断言验证的优点	152
6.4.2	开放式验证库	153
6.4.3	断言监视器的应用	153
6.4.4	断言的模板	159
6.5	基于文本的测试平台	161
6.6	小结	161
	习题	162
	参考文献	162
第 7 章	详细建模	163
7.1	开关级建模	163
7.1.1	开关级原语	163
7.1.2	基本开关	164
7.1.3	CMOS 门	165
7.1.4	传输门逻辑	168
7.1.5	开关级存储器单元	172
7.2	强度建模	177
7.2.1	强度值	177
7.2.2	决策使用的强度	178
7.2.3	强度衰减	181
7.3	小结	183
	习题	183
	参考文献	184
第 8 章	RTL 设计与测试	185
8.1	时序乘法器	185
8.1.1	移位相加实现乘法的过程	185
8.1.2	时序乘法器的设计	187
8.1.3	乘法器的测试	191

8.2	冯·诺伊曼处理器模型	194
8.2.1	处理器与存储器模型	194
8.2.2	处理器模型的详细介绍	195
8.2.3	加法处理器的设计	196
8.2.4	数据通路的设计	196
8.2.5	控制部分的设计	197
8.2.6	AddingCPU 的 Verilog 描述	197
8.2.7	加法处理器的测试	201
8.3	CPU 的设计与测试	205
8.3.1	处理器功能的详细介绍	206
8.3.2	SAYEH 的数据通路	207
8.3.3	SAYEH 的 Verilog 描述	209
8.3.4	SAYEH 顶层的测试平台	219
8.3.5	测试排序程序	223
8.3.6	SAYEH 的硬件实现	224
8.4	小结	224
	习题	224
	参考文献	225
附录 A	关键字列表	226
附录 B	常用的系统任务和函数	227
附录 C	编译指令	234
附录 D	Verilog 的正式语法定义	235
附录 E	Verilog 断言监视器	258