

信息与电子学科百本精品教材工程

新编电气与电子信息类本科规划教材

EDA技术与应用 (第2版)

江国强 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

内 容 简 介

EDA 是当今世界上最先进的电子电路设计技术,其重要作用逐步被我国的产业界、科技界和教育界认可。本书共 7 章,包括 EDA 技术概述、EDA 工具软件的使用方法、VHDL、Verilog HDL、常用 EDA 工具软件、可编程逻辑器件和 EDA 技术的应用。另外,附录部分介绍康芯 GW48、伟福 EDA6000 和友晶 DE2 等 EDA 实验开发系统的使用方法,供具有不同实验设备的读者学习或参考。

本书可作为高等院校工科电子类、通信信息类、自动化类专业师生 EDA 技术教学和学习的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

EDA 技术与应用 / 江国强编著. — 2 版. — 北京: 电子工业出版社, 2007.4

新编电气与电子信息类本科规划教材

ISBN 978-7-121-04015-3

I. E… II. 江… III. 电子电路—电路设计: 计算机辅助设计—高等学校—教材 IV. TN702

中国版本图书馆 CIP 数据核字(2007)第 036701 号

责任编辑: 凌 毅

印 刷: 北京牛山世兴印刷厂

装 订:

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 19.75 字数: 506 千字

印 次: 2007 年 4 月第 1 次印刷

印 数: 5000 册 定价: 25.80 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系。联系电话: (010) 68279077。邮购电话: (010) 88254888。

质量投诉请发邮件至 zlt@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，我社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396；(010) 88258888

传 真：(010) 88254397

E-mail: dbqq@phei.com.cn

通信地址：北京市万寿路 173 信箱

电子工业出版社总编办公室

邮 编：100036

前 言

在 20 世纪 90 年代,国际上电子和计算机技术先进的国家,一直在积极探索新的电子电路设计方法,在设计方法、工具等方面进行了彻底的变革,并取得了巨大的成功。在电子设计技术领域,可编程逻辑器件(如 CPLD、FPGA)的应用,已得到很好的普及,这些器件为数字系统的设计带来了极大的灵活性。由于可编程逻辑器件可以通过软件编程而对其硬件结构和工作方式进行重构,使得硬件的设计可以如同软件设计那样方便快捷。这一切极大地改变了传统的数字系统设计方法、设计过程和设计观念,促进了 EDA 技术的迅速发展。

EDA 是电子设计自动化(Electronic Design Automation)的缩写,在 20 世纪 90 年代初从计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)和计算机辅助工程(CAE)的概念发展而来。EDA 技术以计算机为工具,设计者在 EDA 软件平台上,用硬件描述语言 HDL 完成设计文件,然后由计算机自动完成逻辑编译、化简、分割、综合、优化、布局、布线、仿真,直至对于特定目标芯片的适配编译、逻辑映射和编程下载等工作。EDA 技术的出现,极大地提高了电路设计的效率和可靠性,减轻了设计者的劳动强度。

本书是在《EDA 技术与应用》(电子工业出版社,2004 年)基础上编写而成的,根据 EDA 技术的发展,对原书的部分内容进行了更换、补充、修改或删除。主要变化包括:

(1) 在第 2 章介绍 EDA 工具软件的使用方法时,用最新的 EDA 软件工具 Quartus II (6.0 版本)代替原书中的 MAX+PLUS II。考虑到部分教学单位可能仍然使用 MAX+PLUS II,因此将这种 EDA 工具的使用方法放到第 5 章中继续介绍。

(2) 删除了目前还没有成为 IEEE 标准的 AHDL 硬件描述语言。

(3) 在附录中,除了介绍康芯 GW48 EDA 实验开发系统的使用方法外,还增加了伟福 EDA6000 和友晶 DE2 实验开发系统的使用方法,以供具有不同实验设备的读者学习或参考。

本书共有 7 章,第 1 章为 EDA 技术概述,介绍 EDA 技术的发展、EDA 设计流程及 EDA 技术涉及的领域。

第 2 章介绍 EDA 工具软件的使用方法。EDA 的核心是利用计算机完成电路设计的全程自动化,因此,基于计算机环境的 EDA 工具软件是不可缺少的。利用 EDA 技术进行电路设计的大部分工作是在 EDA 开发设计平台上进行的,离开了 EDA 工具,电路设计的自动化是不可能实现的。因此,掌握 EDA 工具软件的使用方法,应该是 EDA 技术学习的第一步。

第 3 章和第 4 章分别介绍 VHDL 和 Verilog HDL 两种常用硬件描述语言的基础知识。VHDL 和 Verilog HDL 作为 IEEE 标准的硬件描述语言,经过 20 多年的发展、应用和完善,以其强大的系统描述能力、规范的程序设计结构、灵活的语言表达风格和多层次的仿真测试手段,在电子设计领域受到了普遍的认同和广泛的接受,成为现代 EDA 领域的首选硬件描述语言。专家认为,在 21 世纪,VHDL 与 Verilog HDL 语言将承担起几乎全部的数字系统设计任务。

第 5 章介绍几种目前世界上最流行和实用的 EDA 工具软件,包括 MAX+PLUS II、ModelSim 和 Matlab,以适应不同读者的需要。这些软件主要是基于 PC 平台的,面向 FPGA 和 CPLD 或 ASIC 设计,比较适合学校教学、项目开发和相关的科研。

第 6 章介绍 PLA、PAL、GAL、EPLD 和 FPGA 等各种类型可编程逻辑器件的电路结构、

工作原理、使用方法和编程方法。

第7章介绍 EDA 技术在组合逻辑、时序逻辑电路设计及测量仪器、通信系统和自动控制等技术领域的综合应用。

为了方便读者能较系统和较完整地学习 EDA 技术,本书从教学的目的出发,尽量将有关 EDA 技术的内容编入书中,并力求内容精练,语言通俗易懂。读者可以根据实际需要,节选学习书中的部分内容,尽快掌握 EDA 基本技术,然后通过相关 EDA 技术书籍的学习,达到精通 EDA 技术的目的。

本教材的教学可安排 32 学时,其中第 1 章 EDA 技术概述占 2 学时,第 2 章 EDA 工具软件的使用方法占 4 学时,第 3 章 VHDL 占 8 学时,第 4 章 Verilog HDL 占 8 学时,第 5 章常用 EDA 工具软件作为选学内容(需 6~8 学时),第 6 章可编程逻辑器件占 2 学时,第 7 章 EDA 技术的应用占 8 学时。另外,还需要安排 4~8 学时的实验,第 1 个实验安排 EDA 工具软件的使用方法,其余的实验可安排 HDL 的编程实验。

本书由桂林电子科技大学江国强编著,对于书中的错误和不足之处,恳请读者指正。

编者

2007 年 3 月

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术及发展	2
1.2 EDA 设计流程	3
1.2.1 设计准备	3
1.2.2 设计输入	3
1.2.3 设计处理	4
1.2.4 设计校验	5
1.2.5 器件编程	5
1.2.6 器件测试和设计验证	6
1.3 硬件描述语言	6
1.3.1 VHDL	6
1.3.2 Verilog HDL	7
1.3.3 AHDL	7
1.4 可编程逻辑器件	7
1.5 常用 EDA 工具	8
1.5.1 设计输入编辑器	8
1.5.2 仿真器	9
1.5.3 HDL 综合器	9
1.5.4 适配器(布局布线器)	9
1.5.5 下载器(编程器)	10
本章小结	10
思考题和习题	10
第 2 章 EDA 工具软件的使用方法	11
2.1 Quartus II 软件的安装	12
2.2 Quartus II 软件的主界面	15
2.3 Quartus II 的图形编辑输入法	16
2.3.1 编辑输入图形设计文件	17
2.3.2 编译设计文件	20
2.3.3 仿真设计文件	22
2.3.4 编程下载设计文件	25
2.4 MAX+PLUS II 设计项目的转换	32
2.5 Quartus II 宏功能模块的使用方法	33
2.5.1 设计原理	33
2.5.2 编辑输入顶层设计文件	33

2.5.3	仿真顶层设计文件	41
2.5.4	硬件验证与测试	41
2.5.5	图形文件的转换	42
2.6	嵌入式锁相环宏功能模块的使用方法	44
2.7	设计优化	47
2.7.1	面积与速度的优化	48
2.7.2	时序约束与选项设置	49
2.7.3	Fitter 设置	49
2.8	Quartus II 的 RTL 阅读器	50
	本章小结	51
	思考题和习题	52
第 3 章	VHDL	53
3.1	VHDL 设计实体的基本结构	54
3.1.1	库、程序包	54
3.1.2	实体	54
3.1.3	结构体	56
3.1.4	配置	56
3.1.5	基本逻辑器件的 VHDL 描述	56
3.2	VHDL 语言要素	60
3.2.1	VHDL 文字规则	60
3.2.2	VHDL 数据对象	62
3.2.3	VHDL 数据类型	63
3.2.4	VHDL 的预定义数据类型	64
3.2.5	IEEE 预定义的标准逻辑位和矢量	66
3.2.6	用户自定义数据类型方式	66
3.2.7	VHDL 操作符	67
3.2.8	VHDL 的属性	69
3.3	VHDL 的顺序语句	71
3.3.1	赋值语句	71
3.3.2	流程控制语句	72
3.3.3	WAIT 语句	78
3.3.4	ASSERT (断言) 语句	79
3.3.5	NULL (空操作) 语句	79
3.4	并行语句	79
3.4.1	PROCESS (进程) 语句	80
3.4.2	块语句	81
3.4.3	并行信号赋值语句	83
3.4.4	子程序和并行过程调用语句	85
3.4.5	元件例化 (COMPONENT) 语句	87
3.4.6	生成语句	90

3.5	VHDL 的库和程序包	92
3.5.1	VHDL 库	92
3.5.2	VHDL 程序包	92
3.6	VHDL 设计流程	94
3.6.1	编辑 VHDL 源程序	94
3.6.2	设计 8 位计数显示译码电路顶层文件	97
3.6.3	编译顶层设计文件	98
3.6.4	仿真顶层设计文件	98
3.6.5	下载顶层设计文件	98
	本章小结	98
	思考题和习题	99
第 4 章	Verilog HDL	101
4.1	Verilog HDL 设计模块的基本结构	102
4.1.1	模块端口定义	102
4.1.2	模块内容	102
4.2	Verilog HDL 的词法	105
4.2.1	空白符和注释	105
4.2.2	常数	105
4.2.3	字符串	106
4.2.4	标识符	106
4.2.5	关键词	106
4.2.6	操作符	106
4.2.7	Verilog HDL 数据对象	110
4.2.8	系统任务和系统函数	112
4.2.9	编译指令	115
4.3	Verilog HDL 的语句	115
4.3.1	赋值语句	115
4.3.2	条件语句	117
4.3.3	循环语句	120
4.3.4	结构声明语句	122
4.3.5	语句的顺序执行与并行执行	125
4.4	不同抽象级别的 Verilog HDL 模型	127
4.4.1	Verilog HDL 门级描述	127
4.4.2	Verilog HDL 的行为级描述	128
4.4.3	用结构描述实现电路系统设计	130
4.5	Verilog HDL 设计流程	133
4.5.1	编辑 Verilog HDL 源程序	133
4.5.2	设计 BCD 数加法器电路顶层文件	135
4.5.3	编译顶层设计文件	136
4.5.4	仿真顶层设计文件	136

4.5.5 下载顶层设计文件	137
本章小结	137
思考题和习题	137
第 5 章 常用 EDA 工具软件	139
5.1 MAX+PLUS II	140
5.1.1 MAX+PLUS II 的安装	140
5.1.2 MAX+PLUS II 的原理图输入设计法	141
5.1.3 原理图输入法的层次化设计	149
5.1.4 MAX+PLUS II 老式宏函数的应用	151
5.1.5 MAX+PLUS II 强函数的应用	153
5.2 ModelSim	156
5.2.1 ModelSim 的安装	156
5.2.2 ModelSim 的使用方法	157
5.2.3 ModelSim 与 MAX+PLUS II 及 Quartus II 的接口	161
5.2.4 ModelSim 交互命令方式仿真	162
5.2.5 ModelSim 批处理工作方式	163
5.3 基于 Matlab/DSP Builder 的 DSP 模块设计	163
5.3.1 设计原理	164
5.3.2 建立 Matlab 设计模型	164
5.3.3 Matlab 模型仿真	169
5.3.4 SignalCompiler 使用方法	171
5.3.5 使用 ModelSim 进行 RTL 级仿真	178
5.3.6 使用 Quartus II 实现时序仿真	179
5.3.7 硬件实现与测试	179
5.3.8 DSP Builder 的层次设计	181
本章小结	182
思考题和习题	183
第 6 章 可编程逻辑器件	185
6.1 PLD 的基本原理	186
6.1.1 PLD 的分类	186
6.1.2 阵列型 PLD	188
6.1.3 现场可编程门阵列 FPGA	192
6.1.4 基于查找表 (LUT) 的结构	194
6.2 PLD 的设计技术	196
6.2.1 PLD 的设计方法	196
6.2.2 在系统可编程技术	197
6.2.3 边界扫描技术	199
6.3 PLD 的编程与配置	200
6.3.1 CPLD 的 ISP 方式编程	201

6.3.2 使用 PC 的并口配置 FPGA	202
本章小结	203
思考题和习题	204
第 7 章 EDA 技术的应用	205
7.1 组合逻辑电路设计应用	206
7.1.1 运算电路设计	206
7.1.2 编码器设计	207
7.1.3 译码器设计	209
7.1.4 数据选择器设计	211
7.1.5 数据比较器设计	213
7.1.6 ROM 的设计	215
7.2 时序逻辑电路设计应用	218
7.2.1 触发器设计	218
7.2.2 锁存器设计	220
7.2.3 移位寄存器设计	222
7.2.4 计数器设计	224
7.2.5 随机读写存储器 RAM 的设计	226
7.3 EDA 技术综合应用	228
7.3.1 4 位十进制频率计设计	228
7.3.2 数字相关器的设计	234
7.3.3 HDB3 码编码器与解码器的设计	236
7.3.4 步进电机控制电路的设计	242
本章小结	245
思考题和习题	246
附录 A GW48 EDA 系统使用说明	249
A.1 GW48 教学实验系统原理与使用介绍	249
A.1.1 GW48 使用注意事项	249
A.1.2 GW48 主板结构与使用方法	249
A.2 实验电路结构图	256
A.2.1 实验电路信号资源符号图说明	256
A.2.2 各实验电路结构图特点与适用范围	256
A.2.3 GW48 结构图信号名与芯片引脚对照表	263
附录 B EDA6000 实验开发系统	269
B.1 EDA6000 的特点	269
B.2 EDA6000 的使用方法	270
B.2.1 EDA6000 的硬件结构	270
B.2.2 EDA6000 软件平台的使用方法	273
附录 C Altera DE2 开发板使用方法	284
C.1 Altera DE2 开发板的结构	284
C.2 DE2 开发板的实验模式与目标芯片的引脚连接	285

C.3 DE2 开发板实验的操作.....	289
C.3.1 编辑.....	289
C.3.2 编译.....	292
C.3.3 仿真.....	292
C.3.4 引脚锁定.....	292
C.3.4 编程下载.....	294
C.3.5 硬件验证.....	294
C.4 DE2 开发板的控制嵌板.....	294
C.4.1 打开控制嵌板.....	294
C.4.2 设备检测.....	295
附录 D Quartus II 的宏函数和强函数.....	296
D.1 宏函数.....	296
D.2 强函数.....	302
参考文献.....	304

第 1 章

EDA 技术概述

本章概要：本章介绍 EDA 技术的发展、EDA 设计流程及 EDA 技术涉及的领域。

知识要点：

- (1) EDA 设计流程；
- (2) “自顶向下”的设计流程；
- (3) EDA 工具各模块的主要功能。

教学安排：本章教学安排 2 学时，重点让读者熟悉 EDA 设计“自顶向下”的流程，了解 EDA 工具各模块的主要功能。

1.1 EDA 技术及发展

20 世纪末, 数字电子技术的飞速发展, 有力地推动了社会生产力的发展和社会信息化的提高。在其推动下, 数字电子技术的应用已经渗透到人类生活的各个方面。从计算机到手机, 从数字电话到数字电视, 从家用电器到军用设备, 从工业自动化到航天技术, 都尽可能采用了数字电子技术。

微电子技术, 即大规模集成电路加工技术的进步是现代数字电子技术发展的基础。目前, 在硅片的单位面积上集成的晶体管数量越来越多, 1978 年推出的 8086 微处理器芯片集成的晶体管数是 4 万只, 到 2000 年推出的 Pentium 4 微处理器芯片的集成度上升到 4200 万只晶体管, 2005 年生产可编程逻辑器件 (PLD) 的集成度达到 5 亿只晶体管, 包含的逻辑元件 (Logic Elements, LEs) 有 18 万个, 而 2006 年生产的 PLD 中的 LEs 达到 33 万个。原来需要成千上万只电子元器件组成的计算机主板或彩色电视机电路, 现在仅用一片或几片超大规模集成电路就可以代替, 现代集成电路已经能够实现单片电子系统 SOC (System On a Chip) 的功能。

现代电子设计技术的核心是 EDA (Electronic Design Automation) 技术。EDA 技术就是依靠功能强大的电子计算机, 在 EDA 工具软件平台上, 对以硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件, 自动地完成逻辑编译、化简、分割、综合、优化、仿真, 直至下载到可编程逻辑器件 CPLD/FPGA 或专用集成电路 ASIC (Application Specific Integrated Circuit) 芯片中, 实现既定的电子电路设计功能。EDA 技术使得电子电路设计者的工作仅限于利用硬件描述语言和 EDA 软件平台来完成对系统硬件功能的实现, 极大地提高了设计效率, 缩短了设计周期, 节省了设计成本。

EDA 是在 20 世纪 90 年代初从计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 和计算机辅助工程 (CAE) 的概念发展而来的。一般把 EDA 技术的发展分为 CAD、CAE 和 EDA 这三个阶段。

CAD (Computer Aided Design) 是 EDA 技术发展的早期阶段, 在这个阶段, 人们开始利用计算机取代手工劳动。但当时的计算机硬件功能有限, 软件功能较弱, 人们主要借助计算机对所设计的电路进行一些模拟和预测, 辅助进行集成电路版图编辑、印制电路板 (Printed Circuit Board, PCB) 布局布线等简单的版图绘制工作。

CAE (Computer Aided Engineering) 是在 CAD 的工具逐步完善的基础上发展起来的, 尤其是人们在设计方法学、设计工具集成化方面取得了长足的进步, 可以利用计算机作为单点设计工具, 并建立各种设计单元库, 开始用计算机将许多单点工具集成在一起使用, 大大提高了工作效率。

20 世纪 90 年代以来, 微电子工艺有了惊人的发展, 2006 年工艺水平已经达到了 60 nm, 目前正向 45nm 迈进。在一个芯片上已经可以集成上百万只乃至数亿只晶体管, 芯片速度达到了 Gb/s 量级。大容量的可编程逻辑器件陆续面世, 对电子设计的工具提出了更高的要求, 提供了广阔的发展空间, 促进了 EDA 技术的形成。特别重要的是, 世界各 EDA 公司致力推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件, 有效地将 EDA 技术推向成熟。

今天, EDA 技术已经成为电子设计的重要工具, 无论是设计芯片还是设计系统, 如果没有 EDA 工具的支持, 都将是难以完成的。EDA 工具已经成为现代电路设计师的重要武器, 正在发挥着越来越重要的作用。

1.2 EDA 设计流程

利用 EDA 技术进行电路设计的大部分工作是在 EDA 软件工作平台上进行的，EDA 设计流程如图 1.1 所示。EDA 设计流程包括设计准备、设计输入、设计处理和器件编程 4 个步骤，以及相应的功能仿真、时序仿真和器件测试 3 个设计验证过程。

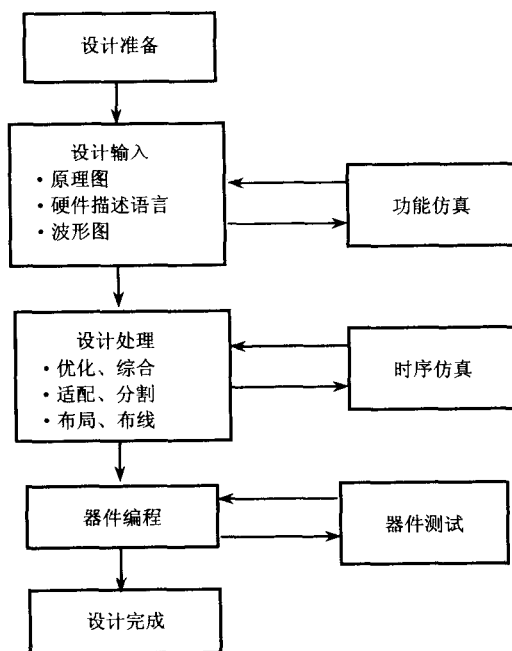


图 1.1 EDA 设计流程

1.2.1 设计准备

设计准备是设计者在进行设计之前，依据任务要求，确定系统所要完成的功能及复杂程度，器件资源的利用、成本等所要做的准备工作，如进行方案论证、系统设计和器件选择等。

1.2.2 设计输入

设计输入是将设计的电路或系统按照 EDA 开发软件要求的某种形式表示出来，并送入计算机的过程。设计输入有多种方式，包括采用硬件描述语言（如 VHDL 和 Verilog HDL）进行设计的文本输入方式、图形输入方式和波形输入方式，或者采用文本、图形两者混合的设计输入方式。也可以采用自顶向下（Top-Down）的层次结构设计方法，将多个输入文件合并成一个设计文件等。

1. 图形输入方式

图形输入也称为原理图输入，这是一种最直接的设计输入方式。它使用软件系统提供的元器件库及各种符号和连线画出设计电路的原理图，形成图形输入文件。这种方式大多用在对系

统及各部分电路很熟悉的情况，或在系统对时间特性要求较高的场合。优点是容易实现仿真，便于信号的观察和电路的调整。

2. 文本输入方式

文本输入是采用硬件描述语言进行电路设计的方式。硬件描述语言有普通硬件描述语言和行为描述语言，它们用文本方式描述设计和输入。普通硬件描述语言有 AHDL、CUPL 等，它们支持逻辑方程、真值表、状态机等逻辑表达方式。

行为描述语言是目前常用的高层硬件描述语言，有 VHDL、Verilog HDL 等，它们具有很强的逻辑描述和仿真功能，可实现与工艺无关的编程与设计，可以使设计者在系统设计、逻辑验证阶段就确立方案的可行性，而且输入效率高，在不同的设计输入库之间转换也非常方便。运用 VHDL 或 Verilog HDL 硬件描述语言进行设计已是当前的趋势。

3. 波形输入方式

波形输入主要用于建立和编辑波形设计文件及输入仿真向量和功能测试向量。波形设计输入适合用于时序逻辑和有重复性的逻辑函数，系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

波形编辑功能还允许设计者对波形进行复制、剪切、粘贴、重复与伸展，从而可以用内部节点、触发器和状态机建立设计文件，并将波形进行组合，显示各种进制的状态值。还可以通过将一组波形重叠到另一组波形上，对两组仿真结果进行比较。

1.2.3 设计处理

设计处理是 EDA 设计中的核心环节。在设计处理阶段，编译软件对设计输入文件进行逻辑化简、综合和优化，并适当地用一片或多片器件自动地进行适配，最后产生编程用的编程文件。设计处理主要包括设计编译和检查、设计优化和综合、适配和分割、布局和布线、生成编程数据文件等过程。

1. 设计编译和检查

设计输入完成之后，立即进行编译。在编译过程中，首先进行语法检验，如检查原理图的信号线有无漏接、信号有无双重来源、文本输入文件中关键词有无错误等各种语法错误，并及时标出错误的类型及位置，供设计者修改。然后进行设计规则检验，检查总的设计有无超出器件资源或规定的限制并将编译报告列出，指明违反规则和潜在不可靠电路的情况以供设计者纠正。

2. 设计优化和综合

设计优化主要包括面积优化和速度优化。面积优化的结果使得设计所占用的逻辑资源（门数或逻辑元件数）最少；时间优化的结果使得输入信号经历最短的路径到达输出，即传输延迟时间最短。综合的目的是将多个模块化设计文件合并为一个网表文件，并使层次设计平面化（即展开）。

3. 适配和分割

在适配和分割过程，确定优化以后的逻辑能否与下载目标器件 CPLD 或 FPGA 中的宏单元和 I/O 单元适配，然后将设计分割为多个便于适配的逻辑小块形式映射到器件相应的宏单元中。如果整个设计不能装入一片器件时，可以将整个设计自动分割成多块并装入同一系列的多片器件中去。

分割工作可以全部自动实现，也可以部分由用户控制，还可以全部由用户控制。分割时应使所需器件数目和用于器件之间通信的引脚数目尽可能少。

4. 布局和布线

布局和布线工作是在设计检验通过以后由软件自动完成的，它能以最优的方式对逻辑元件布局，并准确地实现元件间的布线互连。布局和布线完成后，软件会自动生成布线报告，提供有关设计中各部分资源的使用情况等信息。

5. 生成编程数据文件

设计处理的最后一步是产生可供器件编程使用的数据文件。对 CPLD 来说，是产生熔丝图文件，即 JEDEC 文件（电子器件工程联合会制定的标准格式，简称 JED 文件）；对于 FPGA 来说，是生成位流数据文件（Bit-stream Generation，简称 BG 文件）。

1.2.4 设计校验

设计校验过程包括功能仿真和时序仿真，这两项工作是在设计处理过程中同时进行的。功能仿真是在设计输入完成之后，选择具体器件进行编译之前进行的逻辑功能验证，因此又称为前仿真。此时的仿真没有延时信息或者只有由系统添加的微小标准延时，这对于初步的功能检测非常方便。仿真前，要先利用波形编辑器或硬件描述语言等建立波形文件或测试向量（即将所关心的输入信号组合成序列），仿真结果将会生成报告文件和输出信号波形，从中便可以观察到各个节点的信号变化。若发现错误，则返回设计输入中修改逻辑设计。

时序仿真是在选择了具体器件并完成布局、布线之后进行的时序关系仿真，因此又称为后仿真或延时仿真。由于不同器件的内部延时不一样，不同的布局、布线方案也会给延时造成不同的影响，因此在设计处理以后，对系统和各模块进行时序仿真，分析其时序关系，估计设计的性能及检查和消除竞争冒险等，是非常有必要的。

1.2.5 器件编程

器件编程是指将设计处理中产生的编程数据文件通过软件放到具体的可编程逻辑器件中去。对 CPLD 器件来说，是将 JED 文件下载（Down Load）到 CPLD 器件中去；对 FPGA 来说，是将位流数据 BG 文件配置到 FPGA 中去。

器件编程需要满足一定的条件，如编程电压、编程时序和编程算法等。普通的 CPLD 器件和一次性编程的 FPGA 需要专用的编程器完成器件的编程工作。基于 SRAM 的 FPGA 可以由 EPROM 或其他存储体进行配置。在系统可编程器件（ISP-PLD）则不需要专门的编程器，只要一根与计算机互连的下载编程电缆就可以了。

1.2.6 器件测试和设计验证

器件在编程完毕之后，可以用编译时产生的文件对器件进行检验、加密等工作，或采用边界扫描测试技术进行功能测试，测试成功后才完成其设计。

设计验证可以在 EDA 硬件开发平台上进行。EDA 硬件开发平台的核心部件是一片可编程逻辑器件 FPGA 或 CPLD，再附加一些输入/输出设备，如按键、数码显示器、指示灯、喇叭等，还提供时序电路需要的脉冲源。将设计电路编程下载到 FPGA 或 CPLD 中后，根据 EDA 硬件开发平台的操作模式要求，进行相应的输入操作，然后检查输出结果，验证设计电路。

1.3 硬件描述语言

硬件描述语言 HDL 是 EDA 技术中的重要组成部分，常用的硬件描述语言有 AHDL、VHDL 和 Verilog HDL，而 VHDL 和 Verilog HDL 是当前最流行并已成为 IEEE 标准的硬件描述语言。

1.3.1 VHDL

VHDL 是超高速集成电路硬件描述语言 (Very High Speed Integrated Circuit Hardware Description Language) 的缩写，在美国国防部的支持下于 1985 年正式推出，是目前标准化程度最高的硬件描述语言。IEEE (The Institute of Electrical and Electronics Engineers) 于 1987 年将 VHDL 采纳为 IEEE1076 标准 (VHDL 1995 版本)，并于 1993 年升级为 VHDL 1993 版本。VHDL 经过 20 多年的发展、应用和完善，以其强大的系统描述能力、规范的程序设计结构、灵活的语言表达风格和多层次的仿真测试手段，在电子设计领域受到了普遍的认同和广泛的接受，成为现代 EDA 领域的首选硬件描述语言。目前，流行的 EDA 工具软件全部支持 VHDL，它在 EDA 领域的学术交流、电子设计的存档、专用集成电路 (ASIC) 设计等方面，担当着不可缺少的角色。专家认为，在 21 世纪，VHDL 与 Verilog VHD 语言将承担起几乎全部的数字系统设计任务。显然，VHDL 是现代电子设计师必须掌握的硬件设计计算机语言。

概括起来，VHDL 有以下几个特点。

(1) VHDL 具有强大的功能，覆盖面广，描述能力强。VHDL 支持门级电路的描述，也支持以寄存器、存储器、总线及运算单元等构成的寄存器传输级电路的描述，还支持以行为算法和结构的混合描述为对象的系统级电路的描述。

(2) VHDL 有良好的可读性。它可以被计算机接受，也容易被读者理解。用 VHDL 书写的源文件，既是程序又是文档，既可作为工程技术人员之间交换信息的文件，又可作为合同签约者之间的文件。

(3) VHDL 具有良好的可移植性。作为一种已被 IEEE 承认的工业标准，VHDL 事实上已成为通用的硬件描述语言，可以在各种不同的设计环境和系统平台中使用。

(4) 使用 VHDL 可以延长设计的生命周期。用 VHDL 描述的硬件电路与工艺无关，不会因工艺变化而使描述过时。与工艺有关的参数可以通过 VHDL 提供的属性加以描述，工艺改变时，只需要修改相应程序中的属性参数即可。

(5) VHDL 支持对大规模设计的分解和已有设计的再利用。VHDL 可以描述复杂的电路系统，支持对大规模设计的分解，由多人、多项目组来共同承担和完成。标准化的规则和风格，